



## (12) 发明专利申请

(10) 申请公布号 CN 104299591 A

(43) 申请公布日 2015. 01. 21

(21) 申请号 201410605754. X

(22) 申请日 2014. 10. 31

(71) 申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道 9—2 号

(72) 发明人 戴超

(74) 专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51) Int. Cl.

G09G 3/36 (2006. 01)

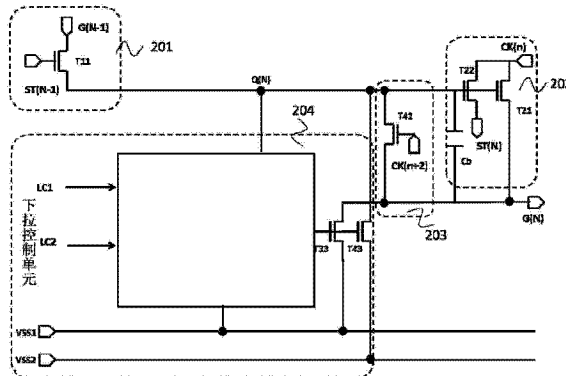
权利要求书3页 说明书10页 附图6页

### (54) 发明名称

阵列基板行驱动电路及液晶显示装置

### (57) 摘要

本发明提供一种阵列基板行驱动电路及液晶显示装置,所述电路包括多级连接的阵列基板行驱动单元和多级高频时钟信号,所述多级高频时钟信号由相应级的高频时钟信号输入端输入,第  $N$  级阵列基板行驱动单元包括:上拉控制单元、上拉单元、下拉控制单元、下拉单元;所述下拉单元包括第一薄膜晶体管,分别与所述第  $n+2$  级高频时钟信号输入端、所述下拉控制单元连接,并与所述上拉单元及所述上拉控制单元共同连接于所述下拉点,用于下拉所述下拉点的电位,其中  $N$  为大于 3 的正整数; $n$  表示所述阵列基板行驱动电路包括的所述高频时钟信号的级数。本发明的阵列基板行驱动电路及液晶显示装置,解决了现有技术中下拉单元漏电的问题,提高了液晶显示器的显示效果。



1. 一种阵列基板行驱动电路,其特征在于,包括多级连接的阵列基板行驱动单元以及多级高频时钟信号,所述多级高频时钟信号由相应级的高频时钟信号输入端输入,其中第 N 级阵列基板行驱动单元包括:

第 N-1 级信号第一输入端、第 N-1 级信号第二输入端、第 n+2 级高频时钟信号输入端、第一输出端、第二输出端、下拉点、低电平输入端、以及第 n 级高频时钟信号输入端,其中 N 为大于 3 的正整数;n 为正整数,表示所述阵列基板行驱动电路包括的所述高频时钟信号的级数;

其中,所述第 N-1 级信号第一输入端与第 N-1 级的阵列基板行驱动单元的第一输出端相连;所述第 N-1 级信号第二输入端与第 N-1 级的阵列基板行驱动单元的第二输出端相连、所述第一输出端与第 N+1 级的阵列基板行驱动单元的第 N-1 级信号第一输入端相连、第二输出端与第 N+1 级的阵列基板行驱动单元的第 N-1 级信号第二输入端连接,所述第一输出端,用于向显示区域的第 N 级水平扫描线提供扫描信号;

所述第 N 级阵列基板行驱动单元还包括:

上拉控制单元,分别与所述第 N-1 级信号第一输入端、所述第 N-1 级信号第二输入端以及所述下拉点连接,用于上拉所述下拉点的电位;

上拉单元,分别与所述第 n 级高频时钟信号输入端、所述第一输出端、以及所述第二输出端连接,并与所述上拉控制单元共同连接于所述下拉点,用于对所述第一输出端和所述第二输出端的信号进行充电,以及使所述下拉点达到更高的电位;

下拉控制单元,分别与低电平输入端、所述上拉控制单元、所述上拉单元及所述下拉单元连接,用于在所述第一输出端的信号处于非充电状态时,控制所述下拉点和所述第一输出端保持低电位;

下拉单元,包括第一薄膜晶体管,分别与所述第 n+2 级高频时钟信号输入端、所述下拉控制单元连接、并与所述上拉单元及所述上拉控制单元共同连接于所述下拉点,用于下拉所述下拉点的电位。

2. 根据权利要求 1 所述的阵列基板行驱动电路,其特征在于,所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极;

所述第一栅极电性连接至所述第 n+2 级高频时钟信号输入端,所述第一源极与所述下拉点电性连接,所述第一漏极与所述下拉控制单元共同连接于所述第一输出端。

3. 根据权利要求 1 所述的阵列基板行驱动电路,其特征在于,所述阵列基板行驱动电路包括相互之间不级联的第一级联体和第二级联体,所述第一级联体由多个位于第  $2k+1$  级的阵列基板行驱动单元级联而成,所述第二级联体由多个位于第  $2k$  级的阵列基板行驱动单元级联而成,所述第一级联体和所述第二级联体单独驱动,其中 k 为正整数。

4. 根据权利要求 3 所述的阵列基板行驱动电路,其特征在于,所述第一级联体和所述第二级联体的时钟信号的占空比都为  $1/3$ 。

5. 根据权利要求 1 所述的阵列基板行驱动电路,其特征在于,所述上拉控制单元包括第二薄膜晶体管,所述第二薄膜晶体管具有第二栅极、第二源极、第二漏极;

所述第二栅极连接于所述第 N-1 级信号第二输入端、所述第二漏极连接于所述第 N-1 级信号第一输入端,所述第二源极连接于所述下拉点。

6. 根据权利要求 5 所述的阵列基板行驱动电路,其特征在于,所述上拉单元包括电容、

第三薄膜晶体管、第四薄膜晶体管、所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极,所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极;

所述第三栅极、所述第四栅极及所述电容的一端共同连接于所述下拉点,所述第三漏极与所述第四漏极共同连接于所述第 n 级高频时钟信号输入端,所述第三源极及所述电容的另一端连接于所述第一输出端、所述第四源极连接于所述第二输出端。

7. 根据权利要求 6 所述的阵列基板行驱动电路,其特征在于,所述低电平输入端包括第一低电平输入端、第二低电平输入端;所述第 N 级阵列基板行驱动单元还包括低频时钟信号第一输入端和低频时钟信号第二输入端;所述下拉控制单元包括:第一下拉控制单元,所述第一下拉控制单元包括:

第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管,所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极;所述第六薄膜晶体管具有第六栅极、第六源极及第六漏极;所述第七薄膜晶体管具有第七栅极、第七源极及第七漏极;

所述第五源极与所述第二源极连接,所述第五漏极与所述第二低电平输入端连接;所述第五栅极与所述第六栅极共同连接至第九源极以及第十漏极;

所述第六源极与所述第一输出端连接,所述第六漏极与所述第一低电平输入端连接;

所述第七栅极连接所述下拉点,所述第七漏极连接所述第一低电平输入端,所述第七源极连接第九栅极和第八源极;

所述第一下拉控制单元还包括:

第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管,所述第八薄膜晶体管具有第八栅极、第八源极及第八漏极;所述第九薄膜晶体管具有第九栅极、第九源极及第九漏极;所述第十薄膜晶体管具有第十栅极、第十源极及第十漏极;

所述第八栅极、所述第八漏极、所述第九漏极及所述第十源极共同连接于所述低频时钟信号第一输入端;

所述第九栅极连接所述第八源极,所述第九源极连接所述第六栅极;

所述第十栅极连接所述低频时钟信号第二输入端,所述第十漏极连接所述第六栅极。

8. 根据权利要求 7 所述的阵列基板行驱动电路,其特征在于,所述下拉控制单元还包括第二下拉控制子单元,所述第二下拉控制单元包括:

第十一薄膜晶体管、第十二薄膜晶体管、第十三薄膜晶体管,所述第十一薄膜晶体管具有第十一栅极、第十一源极及第十一漏极;所述第十二薄膜晶体管具有第十二栅极、第十二源极及第十二漏极;所述第十三薄膜晶体管具有第十三栅极、第十三源极及第十三漏极;

所述第十一漏极连接所述下拉点,第十一源极与所述第二低电平输入端连接;所述第十一栅极与所述第十二栅极共同连接至第十五漏极以及第十六源极;

所述第十二漏极与所述第一输出端连接,所述第十二源极与所述第一低电平输入端连接;

所述第十三栅极连接所述下拉点,所述第十三源极连接所述第一低电平输入端,所述第十三漏极连接第十五栅极和第十四漏极;

所述第二下拉控制单元还包括:

第十四薄膜晶体管、第十五薄膜晶体管、第十六薄膜晶体管,所述第十四薄膜晶体管具有第十四栅极、第十四源极及第十四漏极;所述第十五薄膜晶体管具有第十五栅极、第十五

源极及第十五漏极；所述第十六薄膜晶体管具有第十六栅极、第十六源极及第十六漏极；

所述第十四源极、所述第十四栅极、所述第十五源极、所述第十六漏极共同连接于所述低频时钟信号第二输入端；

所述第十五栅极连接所述第十四漏极，所述第十五漏极连接所述第十二栅极；

所述第十六栅极连接所述低频时钟信号第一输入端，所述第十六源极连接所述第十二栅极。

9. 根据权利要求 8 所述的阵列基板行驱动电路，其特征在于，所述下拉控制单元还包括桥接单元，所述桥接单元包括：

第十七薄膜晶体管，所述第十七薄膜晶体管具有第十七栅极、第十七源极及第十七漏极，所述第十七栅极连接所述下拉点，所述第十七漏极分连接所述第六栅极；所述第十七源极连接所述第十二栅极。

10. 一种液晶显示装置，其特征在于，包括阵列基板行驱动电路，以及与所述阵列基板行驱动电路连接的显示区域，所述阵列基板行驱动电路包括多级连接的阵列基板行驱动单元以及多级高频时钟信号，所述多级高频时钟信号由相应级的高频时钟信号输入端输入，其中第  $N$  级阵列基板行驱动单元包括：

第  $N-1$  级信号第一输入端、第  $N-1$  级信号第二输入端、第  $n+2$  级高频时钟信号输入端、第一输出端、第二输出端、下拉点、低电平输入端、以及第  $n$  级高频时钟信号输入端，其中  $N$  为大于 3 的正整数； $n$  为正整数，表示所述阵列基板行驱动电路包括的所述高频时钟信号的级数；

其中，所述第  $N-1$  级信号第一输入端与第  $N-1$  级的阵列基板行驱动单元的第一输出端相连；所述第  $N-1$  级信号第二输入端与第  $N-1$  级的阵列基板行驱动单元的第二输出端相连、所述第一输出端与第  $N+1$  级的阵列基板行驱动单元的第  $N-1$  级信号第一输入端相连、第二输出端与第  $N+1$  级的阵列基板行驱动单元的第  $N-1$  级信号第二输入端连接，所述第一输出端，用于向显示区域的第  $N$  级水平扫描线提供扫描信号；

所述第  $N$  级阵列基板行驱动单元还包括：

上拉控制单元，分别与所述第  $N-1$  级信号第一输入端、所述第  $N-1$  级信号第二输入端以及所述下拉点连接，用于上拉所述下拉点的电位；

上拉单元，分别与所述第  $n$  级高频时钟信号输入端、所述第一输出端、所述第二输出端连接，并与所述上拉控制单元共同连接于所述下拉点，用于对所述第一输出端和所述第二输出端的信号进行充电，以及使所述下拉点达到更高的电位；

下拉控制单元，分别与低电平输入端、所述上拉控制单元、所述上拉单元及所述下拉单元连接，用于在所述第一输出端的信号处于非充电状态时，控制所述下拉点和所述第一输出端保持低电位；

下拉单元，包括第一薄膜晶体管，分别与所述第  $n+2$  级高频时钟信号输入端、所述下拉控制单元连接、并与所述上拉单元及所述上拉控制单元共同连接于所述下拉点，用于下拉所述下拉点的电位。

## 阵列基板行驱动电路及液晶显示装置

### 技术领域

[0001] 本发明涉及显示器领域,特别是涉及一种阵列基板行驱动电路及液晶显示装置。

### 背景技术

[0002] 阵列基板行驱动电路简称 GOA (Gate Driver On Array) 电路,利用现有薄膜晶体管液晶显示器的阵列制程技术将栅极行扫描驱动信号电路制作在阵列基板上,实现对栅极逐行扫描的驱动方式。

[0003] 目前,氧化物半导体薄膜晶体管,由于具有良好的电学特性得到了越来越多的关注,而将氧化物半导体薄膜晶体管集成到液晶显示器的驱动电路中的应用也越来越广泛。对于氧化物半导体薄膜晶体管,由于其电学特性中的阈值电压,有时候会小于 0V。

[0004] 现有的第 N 级 GOA 单元的结构图,如图 1 所示,主要包括:上拉控制单元 101、上拉单元 102、下拉单元 103、以及下拉控制单元 104。在实际应用过程中,下拉单元 103 存在明显的漏电现象。薄膜晶体管 T11 的漏极输入的信号为 G(N-2)、薄膜晶体管 T11 的栅极输入的信号为 ST(N-2)、薄膜晶体管 T41 和 T31 的栅极输入的信号为 G(N+2),薄膜晶体管 T21 和 T22 的漏极输入的时钟信号为 CK(n)、第一输出端的输出信号为 G(N)、第二输出端的输出信号为 ST(N)、下拉点 Q(N)、低电平输入端 (VSS1)、所述薄膜晶体管 T43 和 T33 以及低电平输入端的信号 LC1、LC2 是所述下拉控制单元的一部分,鉴于下拉控制单元 104 的具体结构已在现有技术记载,此处不详细说明。

[0005] 如图 2 所示,STV 表示阵列基板行驱动电路的开启信号,CK1-CK4 表示所述阵列基板行驱动电路包括的时钟信号,G1-G4 表示所述第 1-4 级 GOA 单元的第一输出端的信号,后一级 GOA 单元的时钟信号的周期和前一级 GOA 单元的时钟信号的周期重叠 1/4 个周期,所述时钟信号的占空比都为 50/50。由于当薄膜晶体管 T21 关闭时,此时薄膜晶体管 T21 的栅极接 VSS1,源极接 VSS1,使得  $V_{GS} = 0V$ ,当薄膜晶体管的阈值电压小于 0V 时,存在着较大的漏电。

[0006] 因此,有必要提供一种阵列基板行驱动电路及液晶显示装置,以解决现有技术所存在的问题。

### 发明内容

[0007] 本发明的目的在于提供一种阵列基板行驱动电路及液晶显示装置,以解决现有技术中下拉单元出现的漏电问题,以提高液晶显示器的显示效果。

[0008] 为解决上述技术问题,本发明构造了一种阵列基板行驱动电路,其包括多级连接的阵列基板行驱动单元以及多级高频时钟信号,所述多级高频时钟信号由相应级的高频时钟信号输入端输入,其中第 N 级阵列基板行驱动单元包括:

[0009] 第 N-1 级信号第一输入端、第 N-1 级信号第二输入端、第 n+2 级高频时钟信号输入端、第一输出端、第二输出端、下拉点、低电平输入端、以及第 n 级高频时钟信号输入端,其中 N 为大于 3 的正整数;n 为正整数,表示所述阵列基板行驱动电路包括的所述高频时钟信

号的级数；

[0010] 其中,所述第 N-1 级信号第一输入端与第 N-1 级的阵列基板行驱动单元的第一输出端相连;所述第 N-1 级信号第二输入端与第 N-1 级的阵列基板行驱动单元的第二输出端相连、所述第一输出端与第 N+1 级的阵列基板行驱动单元的第 N-1 级信号第一输入端相连、第二输出端与第 N+1 级的阵列基板行驱动单元的第 N-1 级信号第二输入端连接,所述第一输出端,用于向显示区域的第 N 级水平扫描线提供扫描信号;

[0011] 所述第 N 级阵列基板行驱动单元还包括:

[0012] 上拉控制单元,分别与所述第 N-1 级信号第一输入端、所述第 N-1 级信号第二输入端以及所述下拉点连接,用于上拉所述下拉点的电位;

[0013] 上拉单元,分别与所述第 n 级高频时钟信号输入端、所述第一输出端、以及所述第二输出端连接,并与所述上拉控制单元共同连接于所述下拉点,用于对所述第一输出端和所述第二输出端的信号进行充电,以及使所述下拉点达到更高的电位;

[0014] 下拉控制单元,分别与低电平输入端、所述上拉控制单元、所述上拉单元、及所述下拉单元连接,用于在所述第一输出端的信号处于非充电状态时,控制所述下拉点和所述第一输出端保持低电位;

[0015] 下拉单元,包括第一薄膜晶体管,分别与所述第 n+2 级高频时钟信号输入端、所述下拉控制单元连接、并与所述上拉单元及所述上拉控制单元共同连接于所述下拉点,用于下拉所述下拉点的电位。

[0016] 在本发明的阵列基板行驱动电路中,所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极;所述第一栅极电性连接至所述第 n+2 级高频时钟信号输入端,所述第一源极与所述下拉点电性连接,所述第一漏极与所述下拉控制单元共同连接于所述第一输出端。

[0017] 在本发明的阵列基板行驱动电路中,所述阵列基板行驱动电路包括相互之间不级联的第一级联体和第二级联体,所述第一级联体由多个位于第  $2k+1$  级的阵列基板行驱动单元级联而成,所述第二级联体由多个位于第  $2k$  级的阵列基板行驱动单元级联而成,所述第一级联体和所述第二级联体单独驱动,其中 k 为正整数。

[0018] 在本发明的阵列基板行驱动电路中,所述第一级联体和所述第二级联体的时钟信号的占空比都为  $1/3$ 。

[0019] 在本发明的阵列基板行驱动电路中,所述上拉控制单元包括第二薄膜晶体管,所述第二薄膜晶体管具有第二栅极、第二源极、第二漏极;

[0020] 所述第二栅极连接于所述第 N-1 级信号第二输入端、所述第二漏极连接于所述第 N-1 级信号第一输入端,所述第二源极连接于所述下拉点。

[0021] 在本发明的阵列基板行驱动电路中,所述上拉单元包括电容、第三薄膜晶体管、第四薄膜晶体管、所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极,所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极;

[0022] 所述第三栅极、所述第四栅极及所述电容的一端共同连接于所述下拉点,所述第三漏极与所述第四漏极共同连接于所述第 n 级高频时钟信号输入端,所述第三源极及所述电容的另一端连接于所述第一输出端、所述第四源极连接于所述第二输出端。

[0023] 在本发明的阵列基板行驱动电路中,所述低电平输入端包括第一低电平输入端、

第二低电平输入端；所述第 N 级阵列基板行驱动单元还包括低频时钟信号第一输入端和低频时钟信号第二输入端；所述下拉控制单元包括：第一下拉控制单元；所述第一下拉控制单元包括：

[0024] 第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管，所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极；所述第六薄膜晶体管具有第六栅极、第六源极及第六漏极；所述第七薄膜晶体管具有第七栅极、第七源极及第七漏极；

[0025] 所述第五源极与所述第二源极连接，所述第五漏极与所述第二低电平输入端连接；所述第五栅极与所述第六栅极共同连接至第九源极以及第十漏极；

[0026] 所述第六源极与所述第一输出端连接，所述第六漏极与所述第一低电平输入端连接；

[0027] 所述第七栅极连接所述下拉点，所述第七漏极连接所述第一低电平输入端，所述第七源极连接第九栅极和第八源极；

[0028] 所述第一下拉控制单元还包括：

[0029] 第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管，所述第八薄膜晶体管具有第八栅极、第八源极及第八漏极；所述第九薄膜晶体管具有第九栅极、第九源极及第九漏极；所述第十薄膜晶体管具有第十栅极、第十源极及第十漏极；

[0030] 所述第八栅极、所述第八漏极、所述第九漏极及所述第十源极共同连接于所述低频时钟信号第一输入端；

[0031] 所述第九栅极连接所述第八源极，所述第九源极连接所述第六栅极；

[0032] 所述第十栅极连接所述低频时钟信号第二输入端，所述第十漏极连接所述第六栅极。

[0033] 在本发明的阵列基板行驱动电路中，所述下拉控制单元还包括第二下拉控制子单元，所述第二下拉控制单元包括：

[0034] 第十一薄膜晶体管、第十二薄膜晶体管、第十三薄膜晶体管，所述第十一薄膜晶体管具有第十一栅极、第十一源极及第十一漏极；所述第十二薄膜晶体管具有第十二栅极、第十二源极及第十二漏极；所述第十三薄膜晶体管具有第十三栅极、第十三源极及第十三漏极；

[0035] 所述第十一漏极连接所述下拉点，第十一源极与所述第二低电平输入端连接；所述第十一栅极与所述第十二栅极共同连接至第十五漏极以及第十六源极；

[0036] 所述第十二漏极与所述第一输出端连接，所述第十二源极与所述第一低电平输入端连接；

[0037] 所述第十三栅极连接所述下拉点，所述第十三源极连接所述第一低电平输入端，所述第十三漏极连接第十五栅极和第十四漏极；

[0038] 所述第二下拉控制单元还包括：

[0039] 第十四薄膜晶体管、第十五薄膜晶体管、第十六薄膜晶体管，所述第十四薄膜晶体管具有第十四栅极、第十四源极及第十四漏极；所述第十五薄膜晶体管具有第十五栅极、第十五源极及第十五漏极；所述第十六薄膜晶体管具有第十六栅极、第十六源极及第十六漏极；

[0040] 所述第十四源极、所述第十四栅极、所述第十五源极、所述第十六漏极共同连接于

所述低频时钟信号第二输入端；

[0041] 所述第十五栅极连接所述第十四漏极,所述第十五漏极连接所述第十二栅极；

[0042] 所述第十六栅极连接所述低频时钟信号第一输入端,所述第十六源极连接所述第十二栅极。

[0043] 在本发明的阵列基板行驱动电路中,所述下拉控制单元还包括桥接单元,所述桥接单元包括：

[0044] 第十七薄膜晶体管,所述第十七薄膜晶体管具有第十七栅极、第十七源极及第十七漏极,所述第十七栅极连接所述下拉点,所述第十七漏极分连接所述第六栅极；所述第十七源极连接所述第十二栅极。

[0045] 本发明另一个目的在于提供一种液晶显示装置,所述装置包括阵列基板行驱动电路,以及与所述阵列基板行驱动电路连接的显示区域,所述阵列基板行驱动电路包括多级连接的阵列基板行驱动单元以及多级高频时钟信号,所述多级高频时钟信号由相应级的高频时钟信号输入端输入,其中第  $N$  级阵列基板行驱动单元包括：

[0046] 第  $N-1$  级信号第一输入端、第  $N-1$  级信号第二输入端、第  $n+2$  级高频时钟信号输入端、第一输出端、第二输出端、下拉点、低电平输入端、以及第  $n$  级高频时钟信号输入端,其中  $N$  为大于 3 的正整数； $n$  为正整数,表示所述阵列基板行驱动电路包括的所述高频时钟信号的级数；

[0047] 其中,所述第  $N-1$  级信号第一输入端与第  $N-1$  级的阵列基板行驱动单元的第一输出端相连；所述第  $N-1$  级信号第二输入端与第  $N-1$  级的阵列基板行驱动单元的第二输出端相连、所述第一输出端与第  $N+1$  级的阵列基板行驱动单元的第  $N-1$  级信号第一输入端相连、第二输出端与第  $N+1$  级的阵列基板行驱动单元的第  $N-1$  级信号第二输入端连接,所述第一输出端,用于向显示区域的第  $N$  级水平扫描线提供扫描信号；

[0048] 所述第  $N$  级阵列基板行驱动单元还包括：

[0049] 上拉控制单元,分别与所述第  $N-1$  级信号第一输入端、所述第  $N-1$  级信号第二输入端以及所述下拉点连接,用于上拉所述下拉点的电位；

[0050] 上拉单元,分别与所述第  $n$  级高频时钟信号输入端、所述第一输出端、所述第二输出端连接,并与所述上拉控制单元共同连接于所述下拉点,用于对所述第一输出端和所述第二输出端的信号进行充电,以及使所述下拉点达到更高的电位；

[0051] 下拉控制单元,分别与低电平输入端、所述上拉控制单元、所述上拉单元、及所述下拉单元连接,用于在所述第一输出端的信号处于非充电状态时,控制所述下拉点和所述第一输出端保持低电位；

[0052] 下拉单元,包括第一薄膜晶体管,分别与所述第  $n+2$  级高频时钟信号输入端、所述下拉控制单元连接、并与所述上拉单元及所述上拉控制单元共同连接于所述下拉点,用于下拉所述下拉点的电位。

[0053] 本发明的阵列基板行驱动电路及液晶显示装置,通过对现有技术下拉单元进行改进,解决了现有技术的阵列基板行驱动电路漏电的问题,进而提高液晶显示器的显示效果。

[0054] 为了让本发明的上述内容能更明显易懂,下文特举优选实施例,并配合所附图式,作详细说明如下：

## 附图说明

- [0055] 图 1 为现有技术的第 N 级阵列基板行驱动单元的结构图；  
[0056] 图 2 为现有技术的阵列基板行驱动电路的波形示意图；  
[0057] 图 3 为本发明第一实施例的第 N 级阵列基板行驱动单元的结构示意图；  
[0058] 图 4 为本发明第二实施例的第 N 级阵列基板行驱动单元的结构示意图；  
[0059] 图 5 为本发明的阵列基板行驱动电路的波形示意图；  
[0060] 图 6 为本发明的阵列基板行驱动电路的结构示意图；  
[0061] 图 7 为图 6 中阵列基板行驱动电路在普通模式下的波形示意图；  
[0062] 图 8 为图 6 中阵列基板行驱动电路在显示 3D 模式下的波形示意图。

## 具体实施方式

[0063] 以下各实施例的说明是参考附加的图式,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。

[0064] 在图中,结构相似的单元是以相同标号表示。

[0065] 请参照图 3,图 3 为本发明第一实施例的第 N 级阵列基板行驱动单元的结构图。

[0066] 本发明的阵列基板行驱动电路,如图 3 所示,其包括多级连接的阵列基板行驱动单元以及多级高频时钟信号,所述多级高频时钟信号由相应级的高频时钟信号输入端输入,所述阵列基板行驱动电路中的第 N 级阵列基板行驱动单元包括:第 N-1 级信号第一输入端的信号为  $G(N-1)$ 、第 N-1 级信号第二输入端的信号为  $ST(N-1)$ 、第 n+2 级高频时钟信号输入端的信号为  $CK(n+2)$ 、第一输出端的信号为  $G(N)$ 、第二输出端的信号为  $ST(N)$ 、下拉点的信号为  $Q(N)$ 、低电平输入端、以及第 n 级高频时钟信号输入端的信号为  $CK(n)$ ,其中 N 为大于 3 的正整数,n 为正整数,表示所述阵列基板行驱动电路包括的所述高频时钟信号的级数;

[0067] 所述 n 级高频时钟信号按顺序分别输入 N 级阵列基板行驱动单元,上述方式譬如将第 1 级高频时钟信号输入第 1 级阵列基板行驱动单元,将第 2 级高频时钟信号输入第 2 级阵列基板行驱动单元,以此类推。上述方式还可以为,将第 3 级高频时钟信号输入第 1 级阵列基板行驱动单元,将第 4 级高频时钟信号输入第 2 级阵列基板行驱动单元,将第 1 级高频时钟信号输入第 3 级阵列基板行驱动单元,将第 2 级高频时钟信号输入第 4 级阵列基板行驱动单元。当然也可以有其他方式,在此不一一列举。

[0068] 其中,所述第 N-1 级信号第一输入端与第 N-1 级的阵列基板行驱动单元的第一输出端相连;所述第 N-1 级信号第二输入端与第 N-1 级的阵列基板行驱动单元的第二输出端相连、所述第一输出端与第 N+1 级的阵列基板行驱动单元的第 N-1 级信号第一输入端相连、第二输出端与第 N+1 级的阵列基板行驱动单元的第 N-1 级信号第二输入端连接,所述第一输出端,用于向显示区域的第 N 级水平扫描线提供扫描信号;

[0069] 所述第 N 级阵列基板行驱动单元还包括:

[0070] 上拉控制单元 201、上拉单元 202、下拉单元 203、下拉控制单元 204。

[0071] 所述上拉控制单元 201,分别与所述第 N-1 级信号第一输入端、所述第 N-1 级信号第二输入端以及所述下拉点连接,用于上拉所述下拉点的信号 Q(N) 的电位;以控制所述上拉单元 202 是否开启。

[0072] 上拉单元 202,分别与所述第 n 级高频时钟信号输入端、所述第一输出端、所述第二输出端连接,并与所述上拉控制单元 201 共同连接于所述下拉点,用于对所述第一输出端的信号 G(N) 进行充电,以使所述下拉点的信号 Q(N) 达到更高的电位;

[0073] 下拉控制单元 204,分别与低电平输入端、所述上拉控制单元 201、所述上拉单元 202、及所述下拉单元 203 连接,所述下拉控制单元 204 在所述第一输出端的信号处于非充电状态时(即 CK(n) 为低电平时),控制所述下拉点和所述第一输出端保持低电位;其中所述下拉控制单元 204 的具体结构详见本发明第二实施例及图 4。

[0074] 下拉单元 203,包括第一薄膜晶体管,分别与第 n+2 级高频时钟信号输入端、所述下拉控制单元连接、并与所述上拉单元及所述上拉控制单元共同连接于所述下拉点,用于下拉所述下拉点的电位。

[0075] 本发明与现有技术的区别之处在于:所述下拉单元仅设置了一个薄膜晶体管,而现有技术采用两个薄膜晶体管,本发明的所述下拉单元 203 包括:第一薄膜晶体管 T41,所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极;所述第一栅极电性连接至所述第 n+2 级高频时钟信号输入端,所述第一源极与所述下拉点电性连接,所述第一漏极与所述下拉控制单元 204 共同连接于所述第一输出端。

[0076] 优选地,所述上拉控制单元 201 包括第二薄膜晶体管 T11,所述第二薄膜晶体管 T11 具有第二栅极、第二源极、第二漏极;

[0077] 所述第二栅极连接于所述第 N-1 级信号第二输入端、所述第二漏极连接于所述第 N-1 级信号第一输入端,所述第二源极连接于所述下拉点。

[0078] 所述上拉单元 202 包括电容 Cb、第三薄膜晶体管 T21、第四薄膜晶体管 T22、所述第三薄膜晶体管 T21 具有第三栅极、第三源极及第三漏极,所述第四薄膜晶体管 T22 具有第四栅极、第四源极及第四漏极;

[0079] 所述第三栅极与所述第四栅极及所述电容的一端共同连接于所述下拉点,所述第三漏极与所述第四漏极共同连接于第 n 级高频时钟信号输入端,所述第三源极及所述电容的另一端连接于所述第一输出端、所述第四源极连接于所述第二输出端。

[0080] 图 4 为本发明第二实施例的第 N 级阵列基板行驱动单元的结构示意图;本实例中给出所述下拉控制单元 204 的优选方式,其余部分与实施例一相同。

[0081] 结合图 4,所述第 N 级阵列基板行驱动单元还包括低频时钟信号第一输入端的信号为 LC1 和低频时钟信号第二输入端的信号为 LC2;所述低电平输入端包括第一低电平输入端的信号为 VSS1、第二低电平输入端的信号为 VSS2;所述下拉控制单元 204 包括:第一下拉控制单元 2041;

[0082] 所述第一下拉控制单元 2041 包括:

[0083] 第五薄膜晶体管 T42、第六薄膜晶体管 T32、第七薄膜晶体管 T52,所述第五薄膜晶体管 T42 具有第五栅极、第五源极及第五漏极;所述第六薄膜晶体管 T32 具有第六栅极、第六源极及第六漏极;所述第七薄膜晶体管 T52 具有第七栅极、第七源极及第七漏极;

[0084] 所述第五源极与第二源极连接,所述第五漏极与所述第二低电平输入端连接;所

述第五栅极与所述第六栅极共同连接至第九源极以及第十漏极；

[0085] 所述第六源极与所述第一输出端连接,所述第六漏极与所述第一低电平输入端连接;所述第七栅极连接所述下拉点,所述第七漏极连接所述第一低电平输入端,所述第七源极连接第九栅极和第八源极;

[0086] 所述第一下拉控制单元还包括:

[0087] 第八薄膜晶体管 T51、第九薄膜晶体管 T53、第十薄膜晶体管 T54,所述第八薄膜晶体管 T51 具有第八栅极、第八源极及第八漏极;所述第九薄膜晶体管 T53 具有第九栅极、第九源极及第九漏极;所述第十薄膜晶体管 T54 具有第十栅极、第十源极及第十漏极;

[0088] 所述第八栅极、所述第八漏极、所述第九漏极及所述第十源极共同连接于所述低频时钟信号第一输入端;所述第八源极连接所述第七源极;

[0089] 所述第九栅极连接所述第八源极,所述第九源极连接所述第六栅极,同时还连接至第五栅极;所述第十栅极连接所述低频时钟信号第二输入端;所述第十漏极连接所述第六栅极。

[0090] 所述下拉控制单元还包括第二下拉控制子单元 2042,所述第二下拉控制单元 2042 包括:

[0091] 第十一薄膜晶体管 T43、第十二薄膜晶体管 T33、第十三薄膜晶体管 T62,所述第十一薄膜晶体管 T43 具有第十一栅极、第十一源极及第十一漏极;所述第十二薄膜晶体管 T33 具有第十二栅极、第十二源极及第十二漏极;所述第十三薄膜晶体管 T62 具有第十三栅极、第十三源极及第十三漏极;

[0092] 所述第十一漏极通过所述下拉点与所述第二漏极连接,并与所述第一源极连接,第十一源极与所述第二低电平输入端连接;

[0093] 所述第十一栅极与所述第十二栅极共同连接至第十五漏极以及第十六源极;

[0094] 所述第十二漏极与所述第一输出端连接,所述第十二源极与所述第一低电平输入端连接;

[0095] 所述第十三栅极连接所述下拉点,所述第十三源极连接所述第一低电平输入端,所述第十三漏极连接第十五栅极和第十四漏极;所述第十五栅极和所述第十四漏极连接在一起。

[0096] 所述第二下拉控制单元 2042 还包括:

[0097] 第十四薄膜晶体管 T61、第十五薄膜晶体管 T63、第十六薄膜晶体管 T64,所述第十四薄膜晶体管 T61 具有第十四栅极、第十四源极及第十四漏极;所述第十五薄膜晶体管 T63 具有第十五栅极、第十五源极及第十五漏极;所述第十六薄膜晶体管 T64 具有第十六栅极、第十六源极及第十六漏极;

[0098] 所述第十五栅极连接所述第十四漏极,所述第十五漏极连接所述第十二栅极;所述第十五源极、所述第十六漏极、所述第十四源极、所述第十四栅极共同连接于所述低频时钟信号第二输入端;

[0099] 所述第十六栅极连接所述低频时钟信号第一输入端 LC1,所述第十六源极连接所述第十二栅极。

[0100] 所述下拉控制单元还包括桥接单元,所述桥接单元包括:

[0101] 第十七薄膜晶体管 T55,所述第十七薄膜晶体管 T55 具有第十七栅极、第十七源极

及第十七漏极,所述第十七栅极连接所述下拉点,所述第十七漏极(或源极)分连接所述第六栅极;所述第十七源极(或漏极)连接所述第十二栅极。

[0102] 本发明的 GOA 电路的工作原理为:当所述上拉控制单元 201 的第  $N-1$  级信号第二输入端的信号  $ST(N-1)$  为高电平时,所述第二薄膜晶体管 T11 闭合,当所述第  $N-1$  级信号第一输入端的信号  $G(N-1)$  输入为高电平时,所述下拉点的信号  $Q(N)$  变为高电平,此时所述上拉单元 202 的第三薄膜晶体管 T21 以及所述第四薄膜晶体管 T22 闭合,同时输入所述第  $n$  级高频时钟信号输入端的信号  $CK(n)$ 。

[0103] 图 5 本发明的阵列基板行驱动电路的波形示意图,结合图 5 具体说明,以所述阵列基板行驱动电路包括 4 级 GOA 单元为例说明,STV 表示开启信号,所述阵列基板行驱动电路包括 4 级所述高频时钟信号(当然也可以为其他的级数),分别为  $CK1-CK4$ ,譬如将第 1 级高频时钟信号  $CK1$  输入第 1 级 GOA 单元,将第 2 级高频时钟信号  $CK2$  输入第 2 级 GOA 单元,将第 3 级高频时钟信号  $CK3$  输入第 3 级 GOA 单元,将第 4 级高频时钟信号  $CK4$  输入第 4 级 GOA 单元, $G1-G4$  分别表示第 1-4 级所述 GOA 单元的第一输出端的信号, $Q4$  表示第 4 级 GOA 单元的所述下拉点的信号。譬如当所述 GOA 电路包括 6 级 GOA 单元时,前 4 级 GOA 单元的高频时钟信号的输入方式同上,其余两级为:将第 1 级高频时钟信号  $CK1$  输入第 5 级 GOA 单元,将第 2 级高频时钟信号  $CK2$  输入第 6 级 GOA 单元,以此类推。

[0104] 以第 4 级 GOA 单元为例,在时间为  $t1$  时,所述第 3 级 GOA 单元第一输入端的信号  $CK3$  为高电平时,从而使得所述下拉点的信号  $Q4$  的电位第一次升高,所述下拉控制单元维持当前所述下拉点的信号  $Q4$  的电位,同时所述第三薄膜晶体管 T21 闭合,由于所述第 4 级高频时钟信号输入端的高频时钟信号  $CK4$  为低电平,此时所述第一输出端信号  $G4$  的电位等于  $CK4$  的电位( $CK4$  的电位低于在所述第三薄膜晶体管 T21 断开时  $G4$  的电位)。

[0105] 在时间为  $t2$  时,所述第 4 级高频时钟信号输入端的高频时钟信号  $CK4$  为高电平,使得所述下拉点的信号  $Q4$  的电位再次升高,所述下拉控制单元维持当前所述下拉点的信号  $Q4$  的电位,此时所述第一输出端信号  $G4$  的电位为高电平。

[0106] 在时间为  $t3$  时,所述第 4 级高频时钟信号输入端的高频时钟信号  $CK4$  为低电平,所述下拉点的信号  $Q4$  的电位第一次降低,所述下拉控制单元维持当前所述下拉点的信号  $Q4$  的电位,由于所述下拉点的电位仍比较高,所述第三薄膜晶体管 T21 此时仍闭合,同时随着所述第 4 级高频时钟信号输入端的高频时钟信号  $CK4$  变为低电平,此时所述第一输出端信号  $G4$  的电位等于所述  $CK4$  的电位( $CK4$  的电位低于在所述第三薄膜晶体管 T21 断开时  $G4$  的电位)。

[0107] 在时间为  $t4$  时,所述第  $n+2$  级高频时钟信号输入端的高频时钟信号  $CK2$  为高电平,当  $n+2$  大于 4 时,所述第  $n+2$  级高频时钟信号输入端的高频时钟信号此时对应为第  $n+2-4$  级的高频时钟信号输入端的高频时钟信号,所述下拉单元的第一薄膜晶体管 T41 闭合,控制所述下拉点保持低电位,从而使所述下拉点的信号  $Q(N)$  的恢复初始状态的低电位。此时所述第三薄膜晶体管 T21 断开,此时所述第一输出端信号  $G4$  的电位为低电位。

[0108] 具体控制过程为,当所述下拉点的信号  $Q(N)$  电位为低电位时,此时所述下拉控制单元 204 工作,使得所述第十二薄膜晶体管 T33、所述第十一薄膜晶体管 T43 开始工作,由于所述第三薄膜晶体管 T21 的栅极通过所述第十一薄膜晶体管 T43 连接所述第二低电平输入端的信号  $VSS2$ 、所述第三薄膜晶体管 T21 的漏极通过所述第十二薄膜晶体管 T33 连接所

述第一低电平输入端的信号 VSS1, 由于 VSS2 的电位小于 VSS1, 因此使所述第三薄膜晶体管 T21 的  $V_{gs}$  小于 0, 从而在所述第一输出端的信号处于非充电状态时, 能够很好地关闭所述第三薄膜晶体管 T21, 避免栅漏极之间的电压大于阈值电压, 而产生漏电现象。

[0109] 同时本发明为了满足预充电的需求, 对阵列基板行驱动电路的结构做了改进, 图 6 为本发明的阵列基板行驱动电路的结构示意图, 如图 6 所示, 所述阵列基板行驱动电路包括相互之间不级联的第一级联体 301 和第二级联体 302, 所述第一级联体由多个位于第  $2k+1$  级的阵列基板行驱动单元 (譬如图中位于奇数级的 GOA1、GOA3、GOA5、GOA7、GOA9) 级联而成, GOA1-GOA9 分别表示第 1-9 级的 GOA 单元, 所述第二级联体由多个位于第  $2k$  级的阵列基板行驱动单元 (譬如图中位于偶数级的 GOA2、GOA4、GOA6、GOA8) 级联而成, 所述第一级联体和所述第二级联体单独驱动, 其中  $k$  为正整数。级联是将相互连接的上一级 GOA 单元的输出信号传递给下一级 GOA 单元。STV1 表示所述第一级联体 301 的开启信号, STV2 表示所述第二级联体 302 的开启信号。所述第一级联体 301 包括 4 级所述高频时钟信号, 即 CK1-CK4。CK1-CK4 分别表示所述第 1、3、5、7 级阵列基板行驱动单元输入的高频时钟信号, 第 9 级阵列基板行驱动单元对应的高频时钟信号为 CK1。所述第二级联体 302 包括 4 级所述高频时钟信号, 即 XCK1-XCK4。XCK1-XCK4 分别表示第 2、4、6、8 级阵列基板行驱动单元输入的高频时钟信号, G1-G9 分别表示第 1-9 级 GOA 单元的第一输出端的信号。

[0110] 结合图 7, 图 7 为图 6 中阵列基板行驱动电路在普通模式下的波形示意图; 所述第二级联体 302 的开启信号的周期比所述第一级联体 301 的开启信号的周期推迟半个脉冲宽度, 所述第一级联体和所述第二级联体的高频时钟信号的占空比都为  $1/3$ , 第  $2k$  级 GOA 单元的高频时钟信号的周期比第  $2K+1$  级 GOA 单元的的高频时钟信号的周期推迟半个脉冲宽度, 譬如 XCK1 比 CK1 的周期推迟半个脉冲宽度。本发明采用两个级联体交替驱动的方式, 譬如 CK1 驱动第 1 级 GOA 单元、XCK1 驱动第 2 级 GOA 单元、CK2 驱动第 3 级 GOA 单元、XCK2 驱动第 4 级 GOA 单元, 能够使得 G1-G4 相邻两级之间的输出信号之间有交叠, 实现了预充电的效果, 从而节省了充电时间。

[0111] 图 8 为图 6 中阵列基板行驱动电路在显示 3D 模式下的波形示意图, 如图 8 所示, 所述液晶显示器显示 3D 图像时, 所述第二级联体的开动信号 STV2 的周期与所述第一级联体的开动信号 STV1 的周期相同, 第  $2k$  级 GOA 单元的的高频时钟信号的周期与第  $2K+1$  级 GOA 单元的的高频时钟信号的周期相同, 即所述第一级联体的高频时钟信号 CK1 与所述第二级联体的高频时钟信号 XCK1 的周期相同、所述第一级联体的高频时钟信号 CK2 与所述第二级联体的高频时钟信号 XCK2 的周期相同、所述第一级联体的高频时钟信号 CK3 与所述第二级联体的高频时钟信号 XCK3 的周期相同、所述第一级联体的高频时钟信号 CK4 与所述第二级联体的高频时钟信号 XCK4 的周期相同。CK1 驱动第 1 级 GOA 单元、XCK1 驱动第 2 级 GOA 单元、CK2 驱动第 3 级 GOA 单元、XCK2 驱动第 4 级 GOA 单元, 此处仅以 4 级输出信号为例说明, 由于其它级数的驱动方式与上述驱动方式相同, 在此不一一列举。

[0112] 本发明的阵列基板行驱动电路, 通过对下拉单元进行改进, 解决了现有技术中下拉单元的漏电问题, 以提高液晶显示器的显示效果。

[0113] 本发明还提供一种液晶显示装置, 其包括阵列基板行驱动电路, 以及与所述阵列基板行驱动电路连接的显示区域, 所述阵列基板行驱动电路包括多级连接的阵列基板行驱动单元以及多级高频时钟信号, 所述多级高频时钟信号由相应级的高频时钟信号输入端输

入,其中第 N 级阵列基板行驱动单元包括:

[0114] 第 N-1 级信号第一输入端、第 N-1 级信号第二输入端、第 n+2 级高频时钟信号输入端、第一输出端、第二输出端、下拉点、低电平输入端、以及第 n 级高频时钟信号输入端,其中 N 为大于 3 的正整数;n 为正整数,表示所述阵列基板行驱动电路包括的所述高频时钟信号的级数;

[0115] 其中,所述第 N-1 级信号第一输入端与第 N-1 级的阵列基板行驱动单元的第一输出端相连;所述第 N-1 级信号第二输入端与第 N-1 级的阵列基板行驱动单元的第二输出端相连、所述第一输出端与第 N+1 级的阵列基板行驱动单元的第 N-1 级信号第一输入端相连、第二输出端与第 N+1 级的阵列基板行驱动单元的第 N-1 级信号第二输入端连接,所述第一输出端,用于向显示区域的第 N 级水平扫描线提供扫描信号;

[0116] 所述第 N 级阵列基板行驱动单元还包括:

[0117] 上拉控制单元,分别与所述第 N-1 级信号第一输入端、所述第 N-1 级信号第二输入端以及所述下拉点连接,用于上拉所述下拉点的电位;

[0118] 上拉单元,分别与所述第 n 级高频时钟信号输入端、所述第一输出端、所述第二输出端连接,并与所述上拉控制单元共同连接于所述下拉点,用于对所述第一输出端和所述第二输出端的信号进行充电,以及使所述下拉点达到更高的电位;

[0119] 下拉控制单元,分别与低电平输入端、所述上拉控制单元、所述上拉单元、及所述下拉单元连接,用于在所述第一输出端的信号处于非充电状态时,控制所述下拉点和所述第一输出端保持低电位;

[0120] 下拉单元,包括第一薄膜晶体管,分别与第 n+2 级高频时钟信号输入端、所述下拉控制单元连接、并与所述上拉单元及所述上拉控制单元共同连接于所述下拉点,用于下拉所述下拉点的电位。

[0121] 本发明的液晶显示装置可包括上述任何一种 GOA 电路,鉴于所述 GOA 电路在上文已有详细的描述,此处不再赘述。

[0122] 本发明的液晶显示装置,通过对下拉单元进行改进,解决了现有技术中下拉单元的漏电问题,以提高液晶显示器的显示效果。

[0123] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

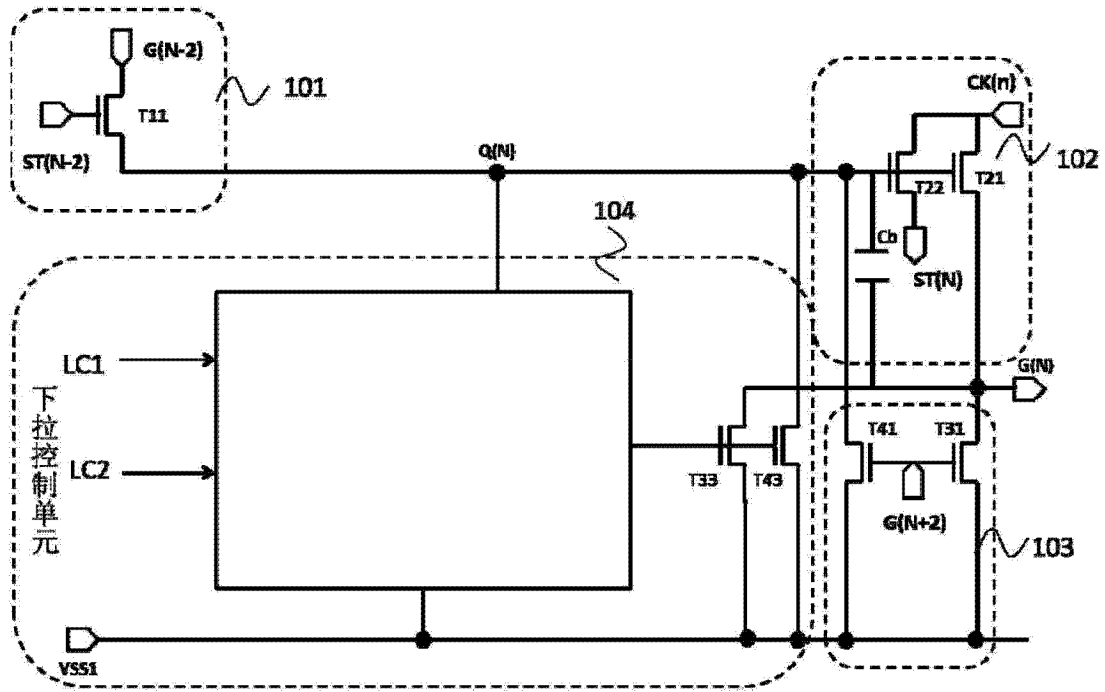


图 1

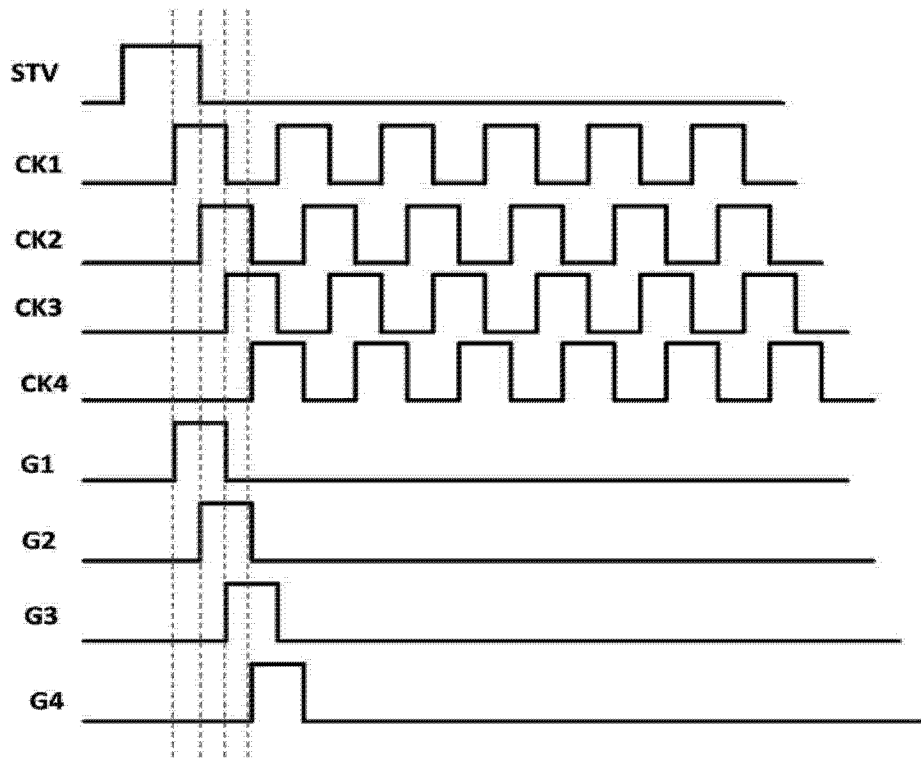


图 2

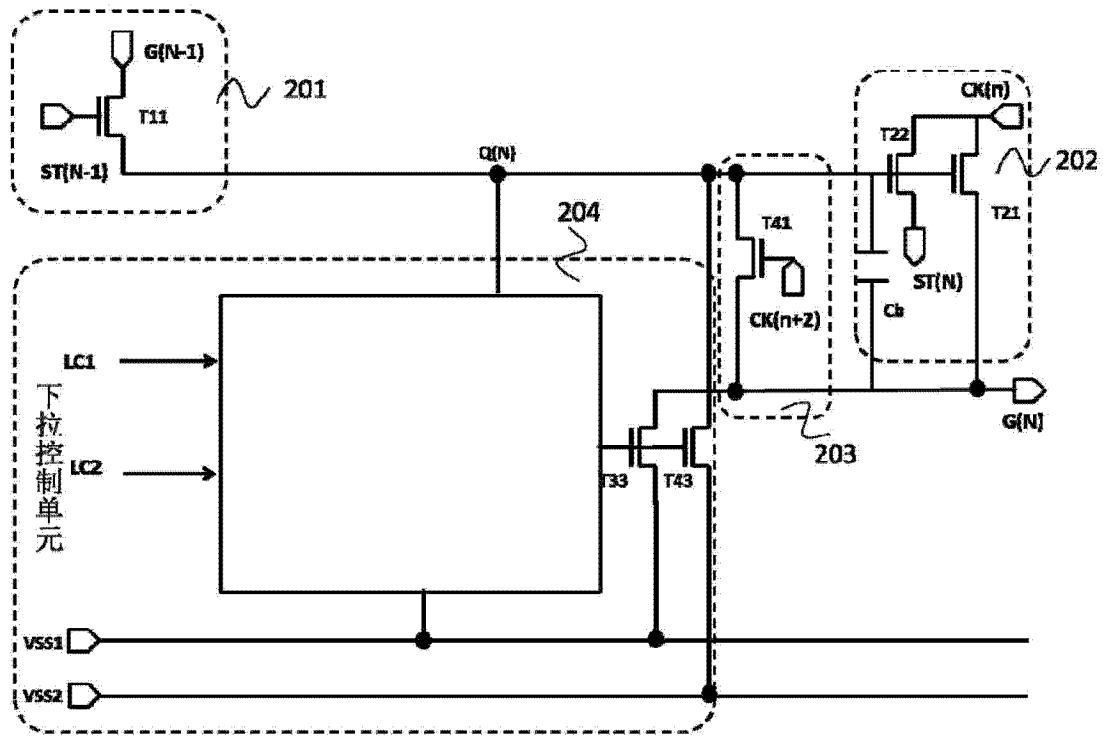


图 3

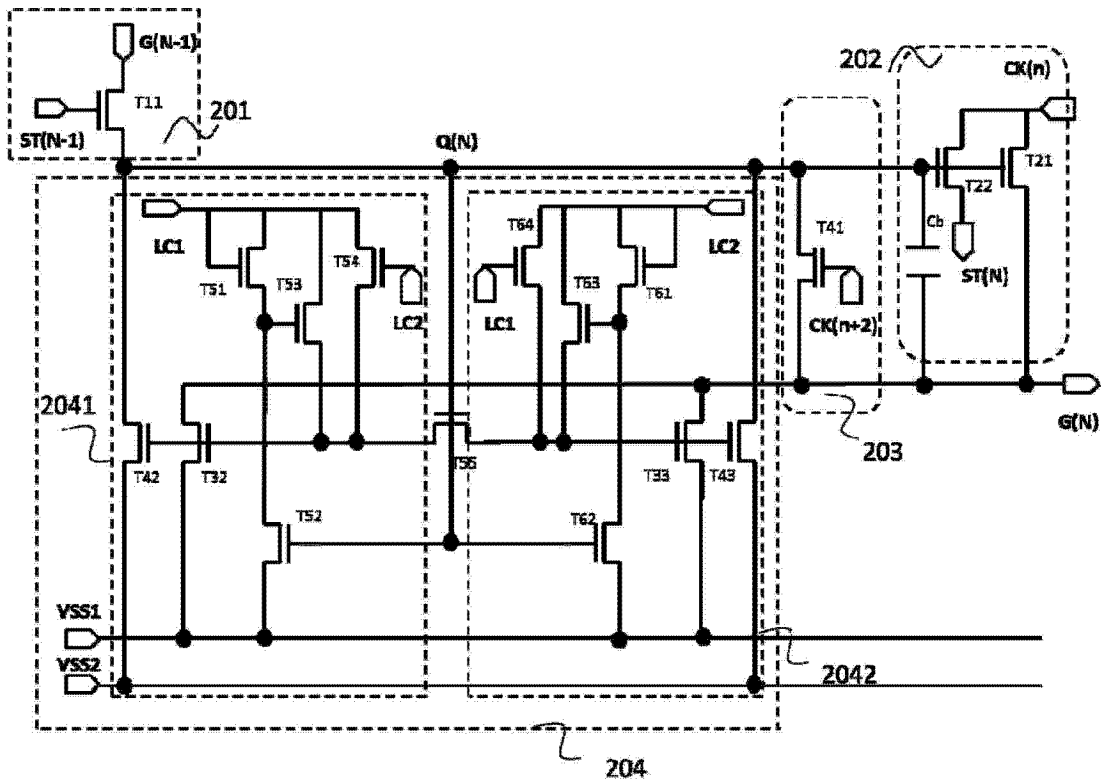


图 4

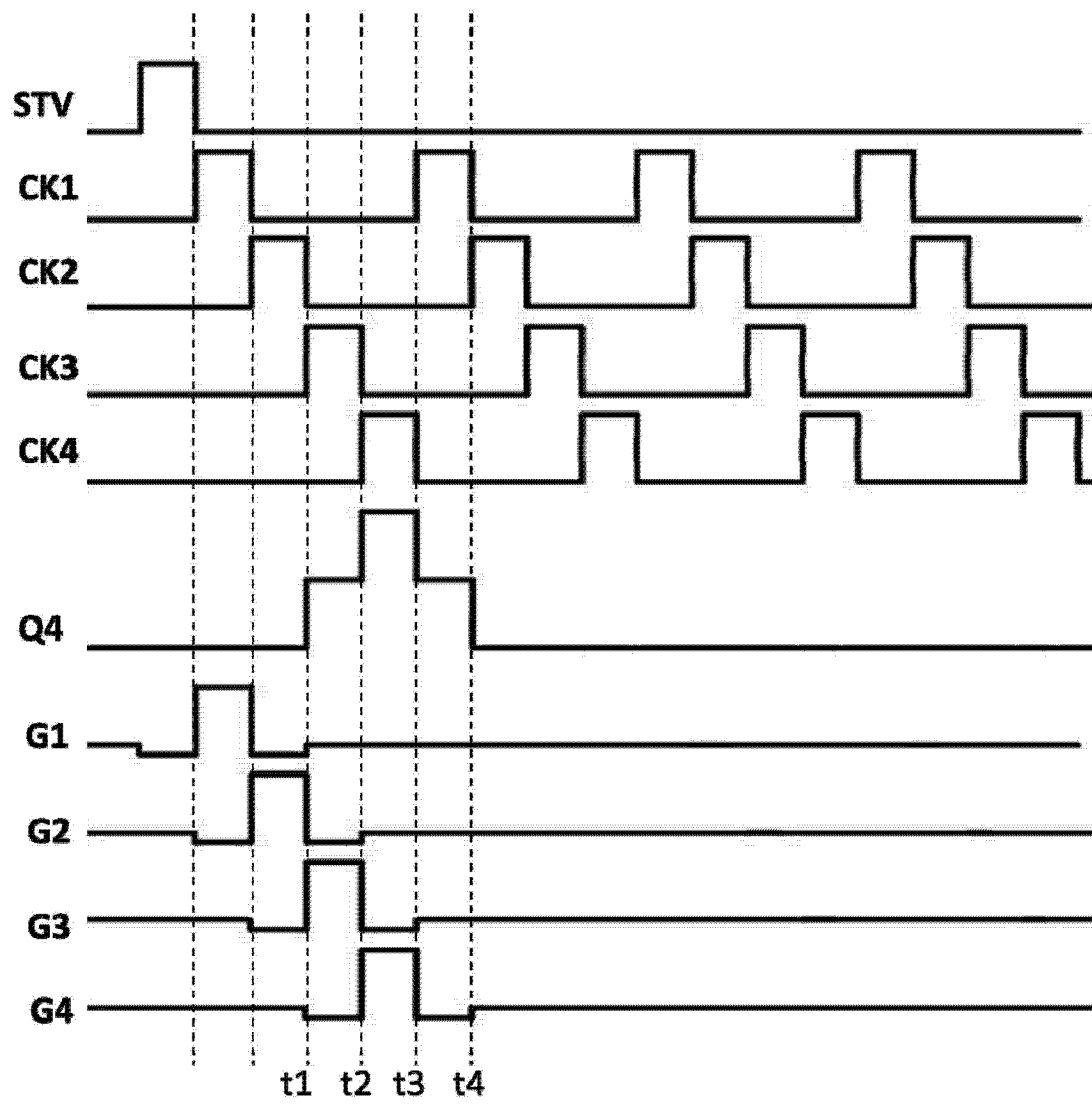


图 5

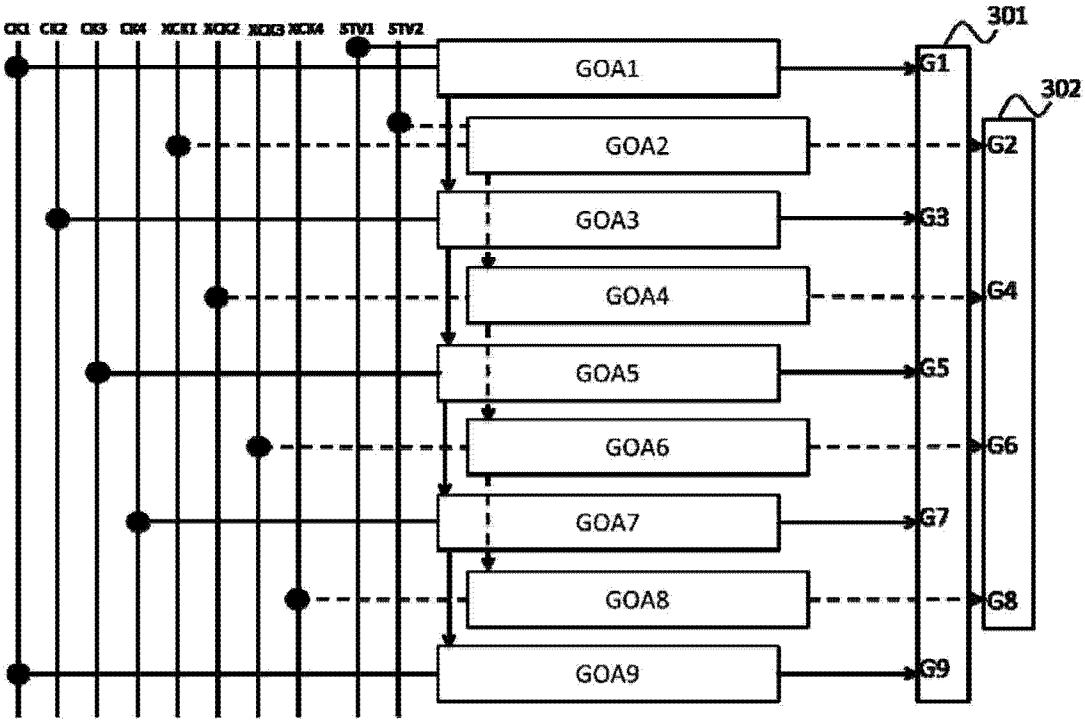


图 6

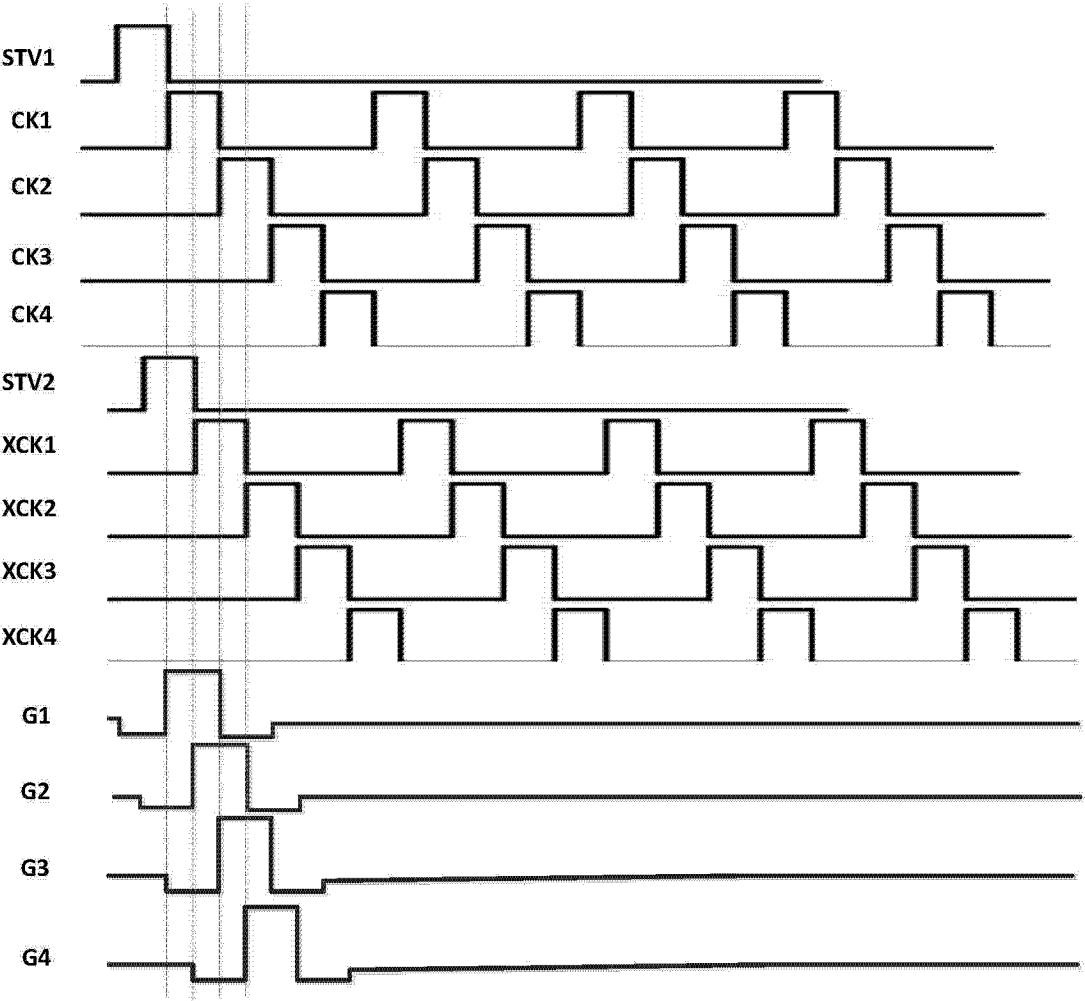


图 7

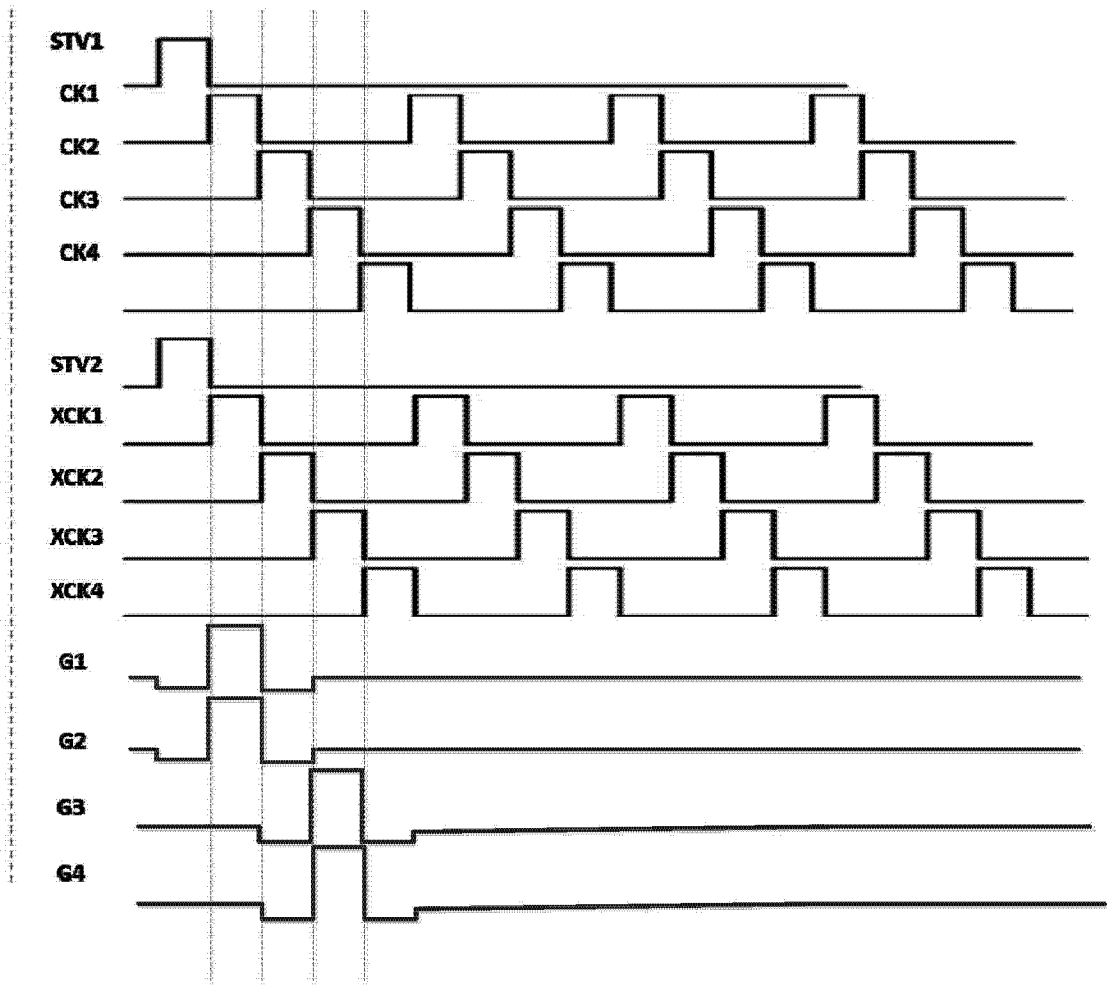


图 8

|                |                                                |         |            |
|----------------|------------------------------------------------|---------|------------|
| 专利名称(译)        | 阵列基板行驱动电路及液晶显示装置                               |         |            |
| 公开(公告)号        | <a href="#">CN104299591A</a>                   | 公开(公告)日 | 2015-01-21 |
| 申请号            | CN201410605754.X                               | 申请日     | 2014-10-31 |
| [标]申请(专利权)人(译) | 深圳市华星光电技术有限公司                                  |         |            |
| 申请(专利权)人(译)    | 深圳市华星光电技术有限公司                                  |         |            |
| 当前申请(专利权)人(译)  | 深圳市华星光电技术有限公司                                  |         |            |
| [标]发明人         | 戴超                                             |         |            |
| 发明人            | 戴超                                             |         |            |
| IPC分类号         | G09G3/36                                       |         |            |
| CPC分类号         | G09G3/36 G09G3/3677                            |         |            |
| 代理人(译)         | 黄威                                             |         |            |
| 其他公开文献         | CN104299591B                                   |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a> |         |            |

#### 摘要(译)

本发明提供一种阵列基板行驱动电路及液晶显示装置，所述电路包括多级连接的阵列基板行驱动单元和多级高频时钟信号，所述多级高频时钟信号由相应级的高频时钟信号输入端输入，第N级阵列基板行驱动单元包括：上拉控制单元、上拉单元、下拉控制单元、下拉单元；所述下拉单元包括第一薄膜晶体管，分别与所述第n+2级高频时钟信号输入端、所述下拉控制单元连接，并与所述上拉单元及所述上拉控制单元共同连接于所述下拉点，用于下拉所述下拉点的电位，其中N为大于3的正整数；n表示所述阵列基板行驱动电路包括的所述高频时钟信号的级数。本发明的阵列基板行驱动电路及液晶显示装置，解决了现有技术中下拉单元漏电的问题，提高了液晶显示器的显示效果。

