



(12) 发明专利申请

(10) 申请公布号 CN 104133312 A

(43) 申请公布日 2014. 11. 05

(21) 申请号 201310611261. 2

(22) 申请日 2013. 11. 26

(30) 优先权数据

10-2013-0047867 2013. 04. 30 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 郑义显 李正一 金可卿

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 吕俊刚 刘久亮

(51) Int. Cl.

G02F 1/1333 (2006. 01)

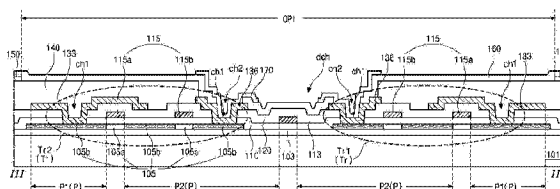
权利要求书2页 说明书9页 附图4页

(54) 发明名称

用于液晶显示装置的阵列基板

(57) 摘要

一种用于液晶显示装置的阵列基板,该阵列基板包括:基板,其具有显示区域和非显示区域;所述基板上的选通线以及第一数据线和第二数据线;分别位于第一像素区域和第二像素区域中的第一薄膜晶体管和第二薄膜晶体管,该第一薄膜晶体管连接至所述选通线和所述第一数据线,该第二薄膜晶体管连接至所述选通线和所述第二数据线;所述第一薄膜晶体管和所述第二薄膜晶体管上的平面化层,该平面化层具有用于暴露所述第一薄膜晶体管的漏电极和所述第二薄膜晶体管的漏电极这二者的漏接触孔;以及所述平面化层上方的像素电极和公共电极。



1. 一种用于液晶显示装置的阵列基板,该阵列基板包括:

基板,具有显示区域和包围该显示区域的非显示区域;

所述基板上的选通线以及第一数据线和第二数据线,所述选通线平行于水平方向,所述第一数据线和所述第二数据线彼此间隔开并平行于竖直方向,所述选通线与所述第一数据线和所述第二数据线交叉,以限定在所述显示区域中沿着竖直方向设置的第一像素区域和第二像素区域;

分别位于所述第一像素区域和所述第二像素区域中的第一薄膜晶体管和第二薄膜晶体管,所述第一薄膜晶体管连接至所述选通线和所述第一数据线,所述第二薄膜晶体管连接至所述选通线和所述第二数据线;

位于所述第一薄膜晶体管和所述第二薄膜晶体管上的平面化层,该平面化层具有用于暴露所述第一薄膜晶体管的漏电极和所述第二薄膜晶体管的漏电极这二者的漏接触孔;以及

所述平面化层上的像素电极和公共电极,该像素电极和该公共电极在所述第一像素区域和所述第二像素区域中彼此交叠。

2. 根据权利要求1所述的阵列基板,其中,所述第一薄膜晶体管和所述第二薄膜晶体管被设置为与所述选通线相邻。

3. 根据权利要求1所述的阵列基板,其中,所述像素电极形成在所述第一像素区域和所述第二像素区域中的每一个中,并且通过所述漏接触孔连接至所述第一薄膜晶体管和所述第二薄膜晶体管中的每一个的所述漏电极。

4. 根据权利要求1所述的阵列基板,其中,所述公共电极形成在整个所述显示区域中,并且具有用于暴露所述第一薄膜晶体管和所述第二薄膜晶体管的第一开口。

5. 根据权利要求4所述的阵列基板,其中,钝化层形成在所述公共电极上,并且所述像素电极形成在所述钝化层上,并且其中,所述像素电极具有各自具有条状的多个第二开口。

6. 根据权利要求5所述的阵列基板,其中,所述钝化层具有漏暴露孔,该漏暴露孔暴露所述漏接触孔中的、所述第一薄膜晶体管和所述第二薄膜晶体管中的每一个的所述漏电极。

7. 根据权利要求4所述的阵列基板,其中,钝化层形成在所述像素电极上,并且所述公共电极形成在所述钝化层上,并且其中,所述公共电极具有各自具有条状的多个第二开口。

8. 根据权利要求1所述的阵列基板,其中,所述第一薄膜晶体管和所述第二薄膜晶体管中的每一个包括:

多晶硅的半导体层;

所述半导体层上的栅绝缘层;

所述半导体层上的所述栅绝缘层上的栅电极;

所述栅电极上的层间绝缘层,该层间绝缘层具有用于暴露所述半导体层的半导体接触孔;以及

彼此间隔开的源电极和所述漏电极,所述源电极和所述漏电极通过所述半导体接触孔连接至所述半导体层。

9. 根据权利要求8所述的阵列基板,其中,所述栅电极包括与所述半导体层交叉并且彼此间隔开的第一栅电极和第二栅电极。

10. 根据权利要求 9 所述的阵列基板,其中,所述第一栅电极包括所述选通线的一部分,并且所述第二栅电极从所述选通线突出。

11. 根据权利要求 10 所述的阵列基板,其中,所述源电极包括所述第一数据线和所述第二数据线中的每一个的一部分,并且所述半导体层的一部分被设置在所述源电极下方以与所述源电极交叠。

用于液晶显示装置的阵列基板

技术领域

[0001] 本发明涉及液晶显示装置。本发明还涉及用于孔径比得到改进的边缘场开关模式液晶显示装置的阵列基板。

背景技术

[0002] 有利于显示运动图像并且由于高对比度而广泛用作便携式装置的显示器、计算机的监视器以及电视的液晶显示(LCD)装置可基于光学各向异性和液晶分子的偏振来形成图像。由于液晶分子具有薄和长的外形,所以液晶分子的排列具有一定方向。当液晶分子被设置在电场中时,液晶分子的排列方向根据电场的强度和方向而改变。

[0003] LCD 装置可包括作为基本组件的液晶面板。LC 面板可包括上面具有两个电极的两个基板以及该两个基板之间的液晶层。可通过改变在所述两个电极之间产生的电场来调节液晶层中的液晶分子的排列方向,并且可改变液晶层的透射率以显示各种图像。

[0004] 通常,LCD 装置包括阵列基板、滤色器基板以及该阵列基板与该滤色器基板之间的液晶层。选通线和数据线、开关元件和像素电极形成在阵列基板上,并且滤色器层和公共电极形成在滤色器基板上。液晶层中的液晶分子通过像素电极和公共电极之间产生的竖直电场来驱动。

[0005] 然而,利用垂直于阵列基板的竖直电场的 LCD 装置具有相对窄的视角。为了改进视角,提出了面内切换(IPS)模式 LCD 装置。在 IPS 模式 LCD 装置中,像素电极和公共电极交替地形成在阵列基板上,并且在像素电极和公共电极之间产生水平电场。由于液晶分子由水平电场驱动以沿着平行于阵列基板的方向运动,所以 IPS 模式 LCD 装置的视角改进。

[0006] 然而,IPS 模式 LCD 装置具有相对低的孔径比和相对低的透射率。为了改进孔径比和透射率,提出了通过边缘场驱动液晶分子的边缘场开关(FFS)模式 LCD 装置。

[0007] 图 1 是示出用于根据现有技术的边缘场开关模式液晶显示装置的阵列基板的平面图。

[0008] 在图 1 中,选通线 43 和数据线 51 形成在用于边缘场开关(FFS)模式液晶显示(LCD)装置的阵列基板 1 上。选通线 43 与数据线交叉以限定像素区域 P。连接至选通线 43 和数据线 51 的薄膜晶体管(TFT)Tr 形成在像素区域 P 中。TFT Tr 包括多晶硅的半导体层 41、半导体层 41 上的栅绝缘层(未示出)、栅绝缘层上的第一栅电极 44a 和第二栅电极 44b 以及接触半导体层 41 的源电极 55 和漏电极 58。第一栅电极 44a 和第二栅电极 44b 彼此间隔开,并且源电极 55 和漏电极 58 彼此间隔开。

[0009] 虽然与包括非晶硅半导体层的 TFT 相比,包括多晶硅的半导体层的 TFT 具有较高的迁移率,但是与包括非晶硅半导体层的 TFT 相比,包括多晶硅的半导体层的 TFT 由于漏电流(leakage current)而具有较高的漏电流(off current)。为了减小漏电流,包括多晶硅的半导体层 41 的 TFT Tr 形成成为具有双栅极(第一栅电极 44a 和第二栅电极 44b)。

[0010] 光丙烯酸材料(photo acrylic material)的平面化层(未示出)形成在 TFT Tr 上,并且公共电极 60 形成在平面化层上。公共电极 60 具有与像素区域 P 中的 TFT Tr 对应的

第一开口(未示出)。

[0011] 钝化层(未示出)形成在公共电极 60 上,并且连接至 TFT Tr 的像素电极 70 形成在像素区域 P 中的钝化层上。像素电极 70 通过漏接触孔 dch 接触 TFT Tr 的漏电极 58,并具有多个第二开口 op2,所述第二开口 op2 具有平行于数据线 51 的条状。

[0012] FFS 模式 LCD 装置 1 可用作诸如电视的大尺寸显示器或用于诸如智能电话和平板个人计算机的个人便携式设备的小尺寸显示器。大尺寸显示器或小尺寸显示器由于高分辨率而需要优良的显示质量。显示装置中的分辨率可定义为单位面积中的像素数(每英寸像素:PPI),并且高分辨率的装置具有等于或大于大约 200PPI 的分辨率。

[0013] 为了获得高分辨率,单位面积中的像素数应该增大并且像素区域的面积应该减小。然而,由于像素区域的面积涉及显示装置的元件、元件的布置和显示装置的孔径比,所以在减小像素区域的面积方面存在限制。具体地说,由于在各种显示装置当中,孔径比是 LCD 装置的高分辨率的关键因素,所以高分辨率的 LCD 装置需要高孔径比。

[0014] FFS 模式 LCD 装置的阵列基板 1 包括光丙烯酸材料的平面化层,并且该平面化层具有用于暴露 TFT Tr 的漏电极 58 的漏接触孔 dch。漏接触孔 dch 具有用于防止劣化的最小面积并形成在各个像素区域 P 中。结果,漏接触孔 dch 是减小孔径比的因素。为了高分辨率,要求用于 FFS 模式 LCD 装置的阵列基板 1 具有高孔径比的结构。

发明内容

[0015] 一种用于液晶显示装置的阵列基板,该阵列基板包括:基板,其具有显示区域和包围该显示区域的非显示区域;位于所述基板上的选通线以及第一数据线和第二数据线,所述选通线平行于水平方向,所述第一数据线和第二数据线彼此间隔开并平行于竖直方向,所述选通线与所述第一数据线和第二数据线交叉,以限定在所述显示区域中沿着竖直方向设置的第一像素区域和第二像素区域;分别位于第一像素区域和第二像素区域中的第一薄膜晶体管和第二薄膜晶体管,第一薄膜晶体管连接至选通线和第一数据线,第二薄膜晶体管连接至选通线和第二数据线;位于第一薄膜晶体管和第二薄膜晶体管上的平面化层,该平面化层具有用于暴露第一薄膜晶体管的漏电极和第二薄膜晶体管的漏电极这二者的漏接触孔;以及平面化层上的像素电极和公共电极,该像素电极和该公共电极在所述第一像素区域和第二像素区域中彼此交叠。

[0016] 应该理解,以上总体说明和以下详细说明这二者均为示例性和解释性的,并且旨在提供对本发明的进一步解释。

附图说明

[0017] 附图被包括以提供对本发明的进一步理解,并且被并入本说明书并构成本说明书的一部分,附图示出了本发明的实施方式,并且与说明书一起用于解释本发明的原理。附图中:

[0018] 图 1 是用于根据现有技术的边缘场开关模式液晶显示装置的阵列基板的平面图;

[0019] 图 2 是示出用于根据本发明的第一实施方式的边缘场开关模式液晶显示装置的阵列基板的平面图;

[0020] 图 3 是沿着图 2 的线 III-III 截取的截面图;

[0021] 图 4 是沿着图 2 的线 IV-IV 截取的截面图；

[0022] 图 5 是沿着图 2 的线 V-V 截取的截面图；

[0023] 图 6 是与图 2 的线 III-III 对应的截面图，并示出了用于根据本发明的第二实施方式的边缘场开关模式液晶显示装置的阵列基板；

[0024] 图 7 是与图 2 的线 IV-IV 对应的截面图，并示出了用于根据本发明的第二实施方式的边缘场开关模式液晶显示装置的阵列基板；以及

[0025] 图 8 是与图 2 的线 V-V 对应的截面图，并示出了用于根据本发明的第二实施方式的边缘场开关模式液晶显示装置的阵列基板。

具体实施方式

[0026] 现在将详细描述优选实施方式，其示例示出在附图中。

[0027] 图 2 是示出用于根据本发明的第一实施方式的边缘场开关模式液晶显示装置的阵列基板的平面图。

[0028] 在图 2 中，选通线 113 和数据线 130 形成在用于边缘场开关 (FFS) 模式液晶显示 (LCD) 装置的基板 101 上的显示区域中。选通线 113 和数据线 130 中的每一个包括金属材料。例如，铝 (Al)、诸如铝钕合金 (AlNd) 的铝合金、铜 (Cu)、铜合金、钼 (Mo) 和诸如钼钛合金 (MoTi) 的钼合金中的至少一个可用于选通线 113 和数据线 130 中的每一个。选通线 113 和数据线 130 彼此交叉以限定区域 P。例如，数据线 130 可包括彼此间隔开并平行于竖直方向的第一数据线 130a 和第二数据线 130b，并且像素区域 P 可包括沿着竖直方向设置的第一像素区域 P1 和第二像素区域 P2。选通线 113 可与第一数据线 130a 和第二数据线 130b 交叉，以限定第一像素区域 P1 和第二像素区域 P2。

[0029] 形成连接至选通线 113 和数据线 130 的薄膜晶体管 (TFT) Tr 以与各个像素区域 P 对应。例如，可形成第一 TFT Tr1 和第二 TFT Tr2 以分别与第一像素区域 P1 和第二像素区域 P2 对应。TFT Tr 包括多晶硅的半导体层 105、第一栅电极 115a 和第二栅电极 115b 以及源电极 133 和漏电极 136。由于 TFT Tr 包括多晶硅的半导体层 105，所以与包括非晶硅半导体层的 TFT 相比，TFT Tr 具有优良的迁移率。另外，由于 TFT Tr 具有包括彼此间隔开的第一栅电极 115a 和第二栅电极 115b 的双栅结构，所以与具有单栅结构的 TFT 相比，TFT Tr 具有优良的漏电流。

[0030] 第一栅电极 115a 可为选通线 113 的一部分，并且第二电极 115b 可为从选通线 113 突出的一部分。另外，半导体层 105 可设置在竖直地相邻的第一像素区域 P1 和第二像素区域 P2 中，以与选通线 113 的第一栅电极 115a 交叉。此外，源电极 133 可设置在竖直地相邻的第一像素区域 P1 和第二像素区域 P2 中，以与选通线 113 的第一栅电极 115a 交叉。例如，源电极 133 可为在竖直地相邻的第一像素区域 P1 和第二像素区域 P2 中与选通线 113 交叉的数据线 130 的一部分。由于半导体层 105 和源电极 133 设置在像素区域 P 的边界处并且不减小孔径比，所以与现有技术的阵列基板 1 相比，根据本发明的第一实施方式的基板 101 的孔径比改进了。

[0031] 分别驱动第一像素区域 P1 和第二像素区域 P2 的第一 TFT Tr1 和第二 TFT Tr2 被设置为与第一像素区域 P1 和第二像素区域 P2 之间的选通线 113 相邻。另外，第一 TFT Tr1 和第二 TFT Tr2 不设置在第一像素区域 P1 与第一像素区域 P1 之前的上像素区域之间的边

框区域以及第二像素区域 P2 与第二像素区域 P2 之后的下像素区域之间的边框区域中。此外,第一 TFT Tr1 和第二 TFT Tr2 不设置在与第一像素区域 P1 相邻的第一右像素区域和与第二像素区域 P2 相邻的第二右像素区域之间的边框区域中。因此,第一 TFT Tr1 和第二 TFT Tr2 沿着竖直方向以及沿着水平方向交替地设置在竖直地相邻的第一像素区域 P1 和第二像素区域 P2 之间。例如,第一 TFT Tr1 和第二 TFT Tr2 整体可被设置为在基板 101 上沿着竖直和水平方向中的每一个具有锯齿形。

[0032] 平面化层 140 (图 3)形成在 TFT Tr 上。由于通过平面化层 140 使选通线 113、数据线 130 和 TFT Tr 导致的阶梯差异(step difference)最小化,因此在公共电极 150 和像素电极 170 之间获得均匀的间距。平面化层 140 具有用于将第一 TFT Tr1 的漏电极 136 和第二 TFT Tr2 的漏电极 136 这二者一起暴露的漏接触孔 dch。因此,第一 TFTTr1 的漏电极 136 和第二 TFT Tr2 的漏电极 136 这二者通过单个漏接触孔 dch 暴露出来。

[0033] 平面化层 140 可包括诸如光丙烯酸材料的有机绝缘材料,从而与无机绝缘材料层相比具有较大的厚度。例如,有机绝缘材料的平面化层 140 可具有大约 $1\mu\text{m}$ 至大约 $2\mu\text{m}$ 的厚度,而无机绝缘材料层可具有大约 $0.2\mu\text{m}$ 至大约 $0.6\mu\text{m}$ 的厚度。由于与无机绝缘材料层相比,有机绝缘材料的平面化层 140 具有较大厚度,所以在有机绝缘材料的平面化层 140 中形成漏接触孔 dch 需要较大的区域。

[0034] 与漏接触孔 dch 对应的一部分并不有助于显示图像,并且被面对阵列基板的滤色器基板的黑色基底阻挡。结果,孔径比通过漏接触孔 dch 而减小。在阵列基板中,由于单个漏接触孔 dch 被形成为与相邻的两个像素区域 P1 和 P2 对应,所以与现有技术的阵列基板 1 (图 1) (其中漏接触孔 dch (图 1)形成为与各个像素区域 P (图 1)对应)相比,孔径比得到了改进。

[0035] 公共电极 150 形成在平面化层 140 上。公共电极 150 和平面化层 140 中的每一个可形成在基板 101 的整个表面上。公共电极 150 可包括诸如铟锡氧化物(ITO)和铟锌氧化物(IZO)的透明导电材料。

[0036] 公共电极 150 具有对应于第一 TFT Tr1 和第二 TFT Tr2 的第一开口 op1 (图 3)。第一开口 op1 将第一 TFT Tr1 和第二 TFT Tr2 暴露出来,以防止公共电极 150 与漏电极 136 和像素电极 170 中的一个之间的电短路(electrical shortage),并且减小公共电极 150 与第一栅电极 115a 和第二栅电极 115b 以及源电极 133 和漏电极 136 中的一个之间的寄生电容。

[0037] 另外,公共电极 150 可具有对应于数据线 130 的第二开口。第二开口可对应于数据线 130 的一部分或整个数据线 130。当第二开口对应于整个数据线 130 时,公共电极 150 可具有在显示区域中相对于数据线 130 分离的部分,并且公共电极 150 的所述分离的部分可以在包围显示区域的非显示区域中彼此电连接。

[0038] 在各个像素区域 P 中,钝化层 160 (图 3)形成在公共电极 150 上,并且像素电极 170 形成在钝化层 160 上。钝化层 160 可形成在基板 101 的整个表面上。像素电极 170 可具有板状并且可包括诸如铟锡氧化物(ITO)和铟锌氧化物(IZO)的透明导电材料。钝化层 160 具有用于暴露 TFT Tr 的漏电极 136 的漏暴露孔 ch2。

[0039] 像素电极 170 具有彼此间隔开并通过漏暴露孔 ch2 和漏接触孔 dch 连接至 TFT Tr 的漏电极 136 的多个第三开口 op3。所述多个第三开口 op3 中的每一个可具有条状。

[0040] 在阵列基板中,虽然与现有技术的各个像素区域 P (图 1) 中的漏接触孔 dch (图 1) 相比,单个漏接触孔 dch 具有较大的面积,但是与现有技术的两个像素区域 P (图 1) 中的两个漏接触孔 dch (图 1) 之和相比,所述单个漏接触孔 dch 的面积较小。因此,与现有技术的 FFS 模式 LCD 装置的阵列基板 1 (图 1) 相比,用于 FFS 模式 LCD 装置的阵列基板的孔径比得到了改进。

[0041] 另外,半导体层 105 和源电极 133 被设置在像素区域 P 的边界处以与数据线 130 交叠。因此,与用于半导体层 41 (图 1) 和漏电极 58 (图 1) 被设置在像素区域 P (图 1) 中的现有技术的 FFS 模式 LCD 装置的阵列基板 1 (图 1) 相比,用于 FFS 模式 LCD 装置的阵列基板的孔径比进一步得到改进。

[0042] 图 3 是沿着图 2 的线 III-III 截取的截面图,图 4 是沿着图 2 的线 IV-IV 截取的截面图,并且图 5 是沿着图 2 的线 V-V 截取的截面图。

[0043] 在图 3 至图 5 中,缓冲层 103 形成在基板 101 上。缓冲层 103 可包括诸如二氧化硅(SiO_2)或氮化硅(SiN_x)的无机绝缘材料,并且基板 101 可包括诸如玻璃或塑料的透明绝缘材料。当非晶硅结晶为多晶硅时,诸如钾离子(K^+)或钠离子(Na^+)的碱性离子可通过激光或热从基板喷射出。缓冲层 103 阻挡碱性离子,以防止多晶硅的半导体层由于碱性离子而导致劣化。在另一实施方式中,可省略缓冲层 103。

[0044] 多晶硅的半导体层 105 形成在缓冲层 103 上。半导体层 105 包括本征多晶硅的活动区域 105a 和掺杂有杂质的多晶硅的欧姆接触区域 105b。活动区域 105a 可彼此间隔开以与第一栅电极 115a 和第二栅电极 115b 对应。欧姆接触区域 105b 可设置在活动区域 105a 的两侧和活动区域 105a 之间,并且可掺杂有负(N)型或正(P)型杂质。

[0045] 栅绝缘层 110 形成在半导体层 105 上,并且选通线 113 形成在栅绝缘层 110 上。栅绝缘层 110 可包括诸如二氧化硅(SiO_2)或氮化硅(SiN_x)的无机绝缘材料。选通线 113 可具有金属材料的单层结构或多层结构。例如,铝(Al)、诸如铝钕合金(AlNd)的铝合金、铜(Cu)、铜合金、钼(Mo)和诸如钼钛合金(MoTi)的钼合金中的至少一个可用于选通线 113。选通线 113 的与数据线 130 交叉的一部分构成第一栅电极 115a,并且第二栅电极 115b 从选通线 113 突出。

[0046] 层间绝缘层 120 形成在选通线 113、第一栅电极 115a 和第二栅电极 115b 上。层间绝缘层 120 可包括诸如二氧化硅(SiO_2)或氮化硅(SiN_x)的无机绝缘材料。层间绝缘层 120 具有用于暴露位于半导体层 105 的活动区域 105a 两侧的欧姆接触区域 105b 的半导体接触孔 ch1。因此,半导体层 105 与两个半导体接触孔 ch1 对应。

[0047] 数据线 130、源电极 133 和漏电极 136 形成在层间绝缘层 120 上。包括第一数据线 130a 和第二数据线 130b 的数据线 130 与选通线 113 交叉,以限定包括第一像素区域 P1 和第二像素区域 P2 的像素区域 P。数据线 130 可具有金属材料的单层结构或多层结构。例如,铝(Al)、诸如铝钕合金(AlNd)的铝合金、铜(Cu)、铜合金、钼(Mo)和诸如钼钛合金(MoTi)的钼合金中的至少一个可用于数据线 130。

[0048] 另外,源电极 133 和漏电极 136 彼此间隔开并且通过半导体接触孔 ch1 连接至半导体层 105 的欧姆接触区域 105b。源电极 133 可为数据线 130 的一部分,并且半导体层 105 的一部分设置在源电极 133 下方以与源电极 133 交叠。由于半导体层 105 和源电极 133 被设置在像素区域 P 的边界处,因此改进了孔径比。

[0049] 半导体层 105、栅绝缘层 110、第一栅电极 115a 和第二栅电极 115b、层间绝缘层 120、源电极 133 和漏电极 136 构成薄膜晶体管(TFT) Tr。例如,分别驱动第一像素区域 P1 和第二像素区域 P2 的第一 TFT Tr1 和第二 TFT Tr2 可被设置为与第一像素区域 P1 和第二像素区域 P2 之间的选通线 113 相邻。

[0050] 具体地说,第一 TFT Tr1 的漏电极 136 和第二 TFT Tr2 的漏电极 136 可分别设置在第一像素区域 P1 和第二像素区域 P2 中,与选通线 113 相邻。由于第一 TFT Tr1 和第二 TFT Tr2 的两个漏电极 136 被设置为彼此相邻,所以平面化层 140 的单个漏接触孔 dch 可暴露第一 TFT Tr1 和第二 TFT Tr2 的两个相邻的漏电极 136 这二者。

[0051] 平面化层 140 形成在数据线 130 和 TFT Tr 上。平面化层 140 可包括诸如光丙烯酸材料的有机绝缘材料。平面化层 140 具有漏接触孔 dch,所述漏接触孔 dch 用于暴露第一 TFT Tr1 和第二 TFT Tr2 的两个相邻的漏电极 136 这二者以及第一 TFT Tr1 和第二 TFT Tr2 的两个相邻的漏电极 136 之间的选通线 113 的一部分。结果,在第一实施方式中,形成平面化层 140 的单个漏接触孔 dch,以与两个相邻的像素区域 P1 和 P2 对应,而在现有技术中,形成平面化层的漏接触孔 dch (图 1),以与各个像素区域 P (图 1) 对应。结果,减小了用于所述两个相邻的漏电极 136 的漏接触孔 dch 的面积并且改进了孔径比。

[0052] 此外,与现有技术的像素区域 P (图 1)中的漏接触孔 dch (图 1)相比,第一实施方式的第一像素区域 P1 和第二像素区域 P2 中的单个漏接触孔 dch 具有较大的面积。结果,改进了形成漏接触孔 dch 的制造步骤的可靠性,使得稳定地暴露漏电极 136。因此,改进了漏电极 136 与像素电极 170 之间通过漏接触孔 dch 电连接的可靠性。

[0053] 公共电极 150 形成在平面化层 140 上。公共电极 150 可包括诸如铟锡氧化物(ITO)和铟锌氧化物(IZO)的透明导电材料,并可形成在基板 101 的整个表面上。公共电极 150 具有对应于第一 TFT Tr1 和第二 TFT Tr2 的第一开口 op1。与漏接触孔 dch 相比,第一开口 op1 可具有较大面积。第一开口 op1 与第一 TFT Tr1 和第二 TFT Tr2 的漏接触孔 dch 完全交叠,以防止公共电极 150 与漏电极 136 和像素电极 170 中的一个之间的电短路。另外,公共电极 150 可具有对应于数据线 130 的第二开口。

[0054] 钝化层 160 形成在公共电极 150 上。钝化层 160 可包括诸如二氧化硅(SiO_2)或氮化硅(SiN_x)的无机绝缘材料,并可形成在基板 101 的整个表面上。钝化层 160 具有对应于漏接触孔 dch 并暴露出漏电极 136 的漏暴露孔 ch2。因此,用于第一 TFTTr1 和第二 TFT Tr2 的钝化层 160 的两个相邻的暴露孔 ch2 在平面化层 140 的单个漏接触孔 dch 中彼此间隔开。

[0055] 在各个像素区域 P 中,像素电极 170 形成在钝化层 160 上。像素电极 170 可包括诸如铟锡氧化物(ITO)和铟锌氧化物(IZO)的透明导电材料,并可通过漏暴露孔 ch2 和漏接触孔 dch 连接至漏电极 136。像素电极 170 与公共电极 150 交叠。两个相邻的像素电极 170 在漏接触孔 dch 中彼此间隔开。另外,像素电极 170 可具有彼此间隔开的多个第三开口 op3。多个第三开口 op3 中的每一个具有条状。

[0056] 虽然第一实施方式的阵列基板具有像素电极 170 形成在公共电极 150 上方的像素顶结构,但是另一实施方式的阵列基板可具有公共电极形成在像素电极上方的公共顶结构。在公共顶结构的阵列基板中,可省略平面化层的漏接触孔中的钝化层的漏暴露孔。

[0057] 图 6、图 7 和图 8 是示出用于根据本发明的第二实施方式的边缘场开关模式液晶显

示装置的阵列基板的截面图。图 6、图 7 和图 8 示出了分别对应于图 2 的线 III-III、IV-IV 和 V-V 的截面。

[0058] 在图 6 至图 8 中,缓冲层 203 形成在基板 201 上。缓冲层 203 可包括诸如二氧化硅(SiO_2)或氮化硅(SiNx)的无机绝缘材料,并且基板 201 可包括诸如玻璃或塑料的透明绝缘材料。当非晶硅结晶为多晶硅时,诸如钾离子(K^+)或钠离子(Na^+)的碱性离子可通过激光或热从基板喷射出。缓冲层 203 阻挡碱性离子,以防止多晶硅的半导体层由于碱性离子而劣化。在另一实施方式中,可省略缓冲层 203。

[0059] 多晶硅的半导体层 205 形成在缓冲层 203 上。半导体层 205 包括本征多晶硅的活动区域 205a 和掺杂有杂质的多晶硅的欧姆接触区域 205b。活动区域 205a 可彼此间隔开,以与第一栅电极 215a 和第二栅电极 215b 对应。欧姆接触区域 205b 可设置在活动区域 205a 的两侧以及活动区域 205a 之间,并且可以掺杂有负(N)型或正(P)型杂质。

[0060] 栅绝缘层 210 形成在半导体层 205 上,并且选通线 213 形成在栅绝缘层 210 上。栅绝缘层 210 可包括诸如二氧化硅(SiO_2)或氮化硅(SiNx)的无机绝缘材料。选通线 213 可具有金属材料的单层结构或多层结构。例如,铝(Al)、诸如铝钕合金(AlNd)的铝合金、铜(Cu)、铜合金、钼(Mo)和诸如钼钛合金(MoTi)的钼合金中的至少一个可用于选通线 213。选通线 213 的与数据线 230 交叉的一部分构成第一栅电极 215a,并且第二栅电极 215b 从选通线 213 突出。

[0061] 层间绝缘层 220 形成在选通线 213、第一栅电极 215a 和第二栅电极 215b 上。层间绝缘层 220 可包括诸如二氧化硅(SiO_2)或氮化硅(SiNx)的无机绝缘材料。层间绝缘层 220 具有用于暴露位于半导体层 205 的活动区域 205a 两侧的欧姆接触区域 205b 的半导体接触孔 ch1。因此,半导体层 205 与两个半导体接触孔 ch1 对应。

[0062] 数据线 230、源电极 233 和漏电极 236 形成在层间绝缘层 220 上。包括第一数据线 230a 和第二数据线 230b 的数据线 230 与选通线 213 交叉,以限定包括第一像素区域 P1 和第二像素区域 P2 的像素区域 P。数据线 230 可具有金属材料的单层结构或多层结构。例如,铝(Al)、诸如铝钕合金(AlNd)的铝合金、铜(Cu)、铜合金、钼(Mo)和诸如钼钛合金(MoTi)的钼合金中的至少一个可用于数据线 230。

[0063] 另外,源电极 233 和漏电极 236 彼此间隔开并通过半导体接触孔 ch1 连接至半导体层 205 的欧姆接触区域 205b。源电极 233 可为数据线 230 的一部分,并且半导体层 205 的一部分设置在源电极 233 下方以与源电极 233 交叠。由于半导体层 205 和源电极 233 被设置在像素区域 P 的边界处,所以改进了孔径比。

[0064] 半导体层 205、栅绝缘层 210、第一栅电极 215a 和第二栅电极 215b、层间绝缘层 220、源电极 233 和漏电极 236 构成薄膜晶体管(TFT) Tr。例如,分别驱动第一像素区域 P1 和第二像素区域 P2 的第一 TFT Tr1 和第二 TFT Tr2 可被设置为与第一像素区域 P1 和第二像素区域 P2 之间的选通线 213 相邻。

[0065] 具体地说,第一 TFT Tr1 的漏电极 236 和第二 TFT Tr2 的漏电极 236 可分别设置在第一像素区域 P1 和第二像素区域 P2 中,与选通线 213 相邻。由于第一 TFT Tr1 和第二 TFT Tr2 的两个漏电极 236 被设置为彼此相邻,所以平面化层 240 的单个漏接触孔 dch 可暴露出第一 TFT Tr1 和第二 TFT Tr2 的两个相邻的漏电极 236 这二者。

[0066] 平面化层 240 形成在数据线 230 和 TFT Tr 上。平面化层 240 可包括诸如光丙烯

酸材料的有机绝缘材料。平面化层 240 具有漏接触孔 dch, 所述漏接触孔 dch 暴露出第一 TFT Tr1 和第二 TFT Tr2 的两个相邻的漏电极 236 这二者以及第一 TFT Tr1 和第二 TFT Tr2 的两个相邻的漏电极 236 之间的选通线 213 的一部分。结果, 在第二实施方式中, 平面化层 240 的单个漏接触孔 dch 形成为与两个相邻的像素区域 P1 和 P2 对应, 而在现有技术中, 平面化层的漏接触孔 dch (图 1) 形成为与各个像素区域 P (图 1) 对应。结果, 减小了用于两个相邻的漏电极 236 的漏接触孔 dch 的面积, 并改进了孔径比。

[0067] 此外, 与现有技术的像素区域 P (图 1) 中的漏接触孔 dch (图 1) 相比, 第二实施方式的第一像素区域 P1 和第二像素区域 P2 中的单个漏接触孔 dch 具有较大面积。结果, 改进了形成漏接触孔 dch 的制造步骤的可靠性, 使得稳定地暴露出漏电极 236。因此, 改进了漏电极 236 和像素电极 270 之间通过漏接触孔 dch 电连接的可靠性。

[0068] 像素电极 270 形成在平面化层 240 上。像素电极 270 可包括诸如铟锡氧化物 (ITO) 和铟锌氧化物 (IZO) 的透明导电材料, 并可通过漏接触孔 dch 连接至漏电极 236。两个相邻的像素电极 270 在漏接触孔 dch 中彼此间隔开。

[0069] 钝化层 260 形成在像素电极 270 上。钝化层 260 可包括诸如二氧化硅 (SiO_2) 或氮化硅 (SiN_x) 的无机绝缘材料, 并可形成在基板 201 的整个表面上。在没有漏暴露孔的情况下, 钝化层 260 可完全覆盖像素电极 270。

[0070] 公共电极 250 形成在钝化层 260 上。公共电极 250 可包括诸如铟锡氧化物 (ITO) 和铟锌氧化物 (IZO) 的透明导电材料, 并可形成在基板 201 的整个表面上。公共电极 250 与像素电极 270 交叠。公共电极 270 可具有第一开口 op1, 所述第一开口 op1 暴露出第一 TFT Tr1 和第二 TFT Tr2 并与第一 TFT Tr1 和第二 TFT Tr2 对应, 以减小公共电极 250 与第一栅电极 215a 和第二栅电极 215b 以及源电极 233 和漏电极 236 中的一个之间的寄生电容。

[0071] 另外, 公共电极 270 可具有对应于数据线 230 的第二开口。第二开口可对应于数据线 230 的一部分或整个数据线 230。当第二开口对应于整个数据线 230 时, 公共电极 250 可在显示区域中相对于数据线 230 具有分离的部分, 并且公共电极 250 的分离的部分可在包围显示区域的非显示区域中彼此电连接。此外, 公共电极 250 可具有彼此间隔开的多个第三开口 op3。多个第三开口 op3 中的每一个可具有条状。

[0072] 在公共顶结构的阵列基板中, 由于平面化层 240 的单个漏接触孔 dch 形成为与两个相邻的像素区域 P1 和 P2 对应, 所以用于两个相邻的漏电极 236 的漏接触孔 dch 的面积减小。另外, 半导体层 205 和源电极 233 设置在像素区域 P 的边界处。结果, 改进了孔径比。

[0073] 结果, 在用于根据本发明的边缘场开关模式液晶显示装置的阵列基板中, 由于平面化层的单个漏接触孔被形成为与两个相邻的像素区域对应, 所以用于两个相邻的漏电极的漏接触孔的面积减小了。另外, 半导体层和源电极被设置在像素区域的边界处。结果, 改进了阵列基板的孔径比, 并且边缘场开关模式液晶显示装置具有高分辨率。此外, 由于半导体层包括多晶硅, 所以改进了薄膜晶体管的迁移率。由于薄膜晶体管具有双栅结构, 所以减小了漏电流导致的漏电流。

[0074] 本领域技术人员应该清楚, 在不脱离本发明的精神和范围的情况下, 可在用于本发明的液晶显示装置的阵列基板中进行各种修改和变型。因此, 本发明旨在覆盖落入所附权利要求及其等同物的范围内的本发明的修改和变型形式。

[0075] 相关申请的交叉引用

[0076] 本申请要求于 2013 年 4 月 30 日在韩国提交的韩国专利申请 No. 10-2013-0047867 的优先权权益,通过引用将其全部内容并入本文。

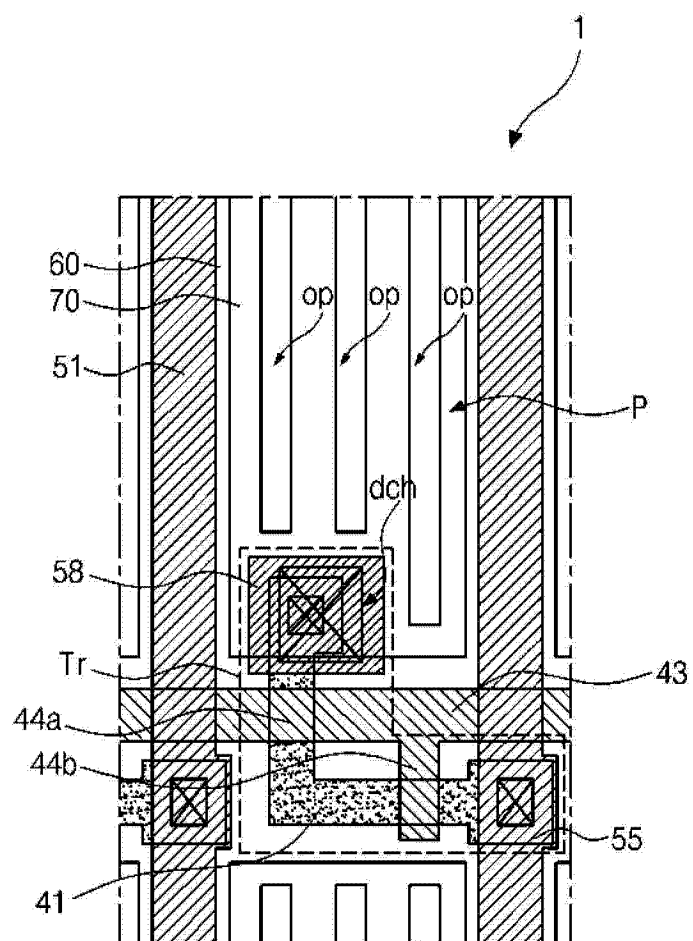


图 1

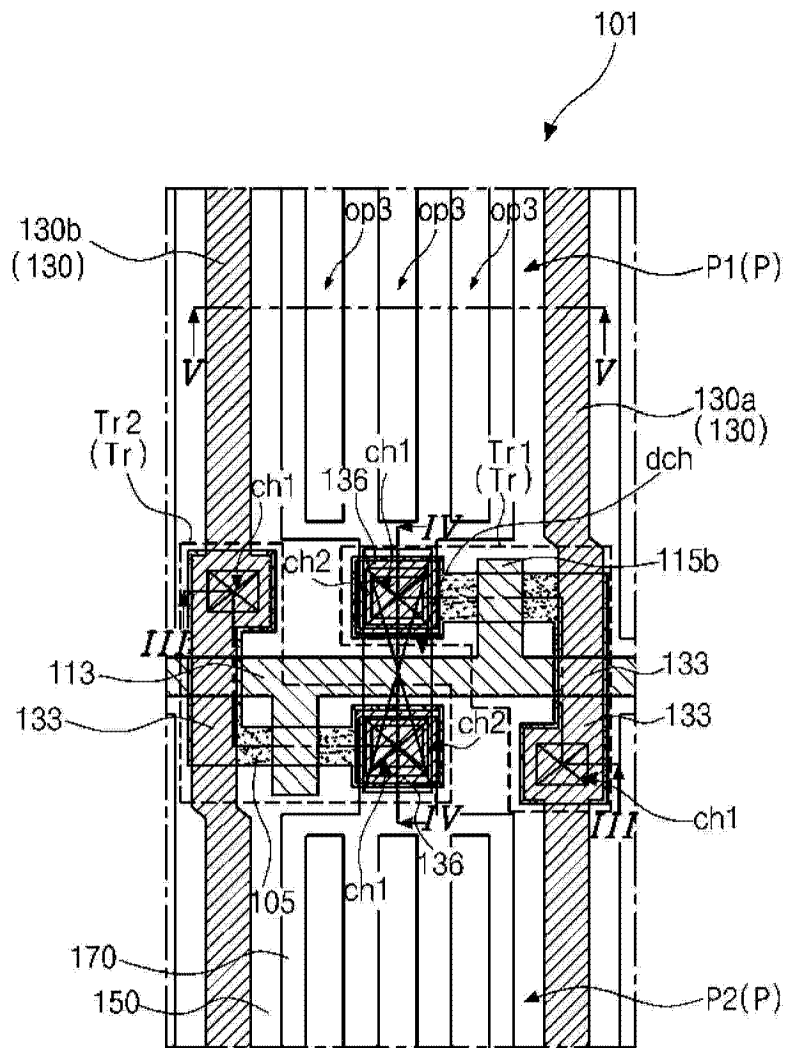


图 2

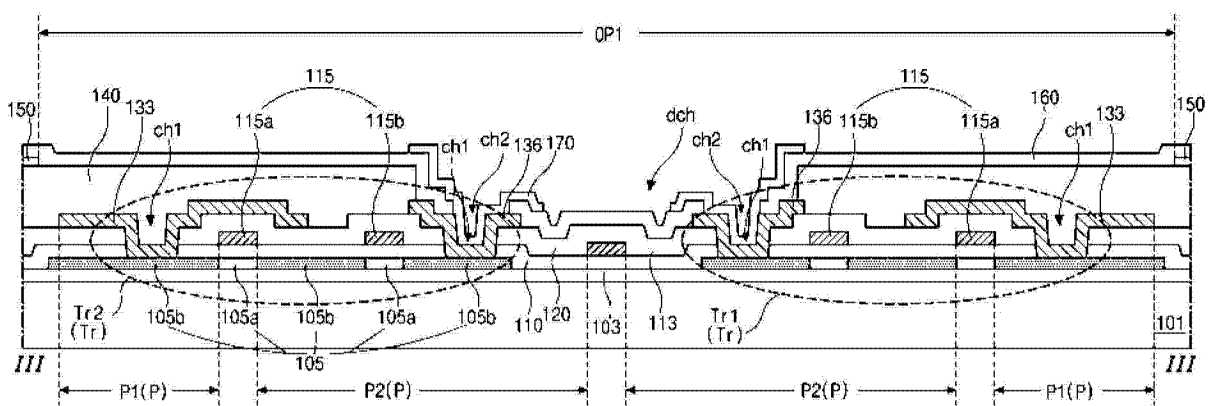


图 3

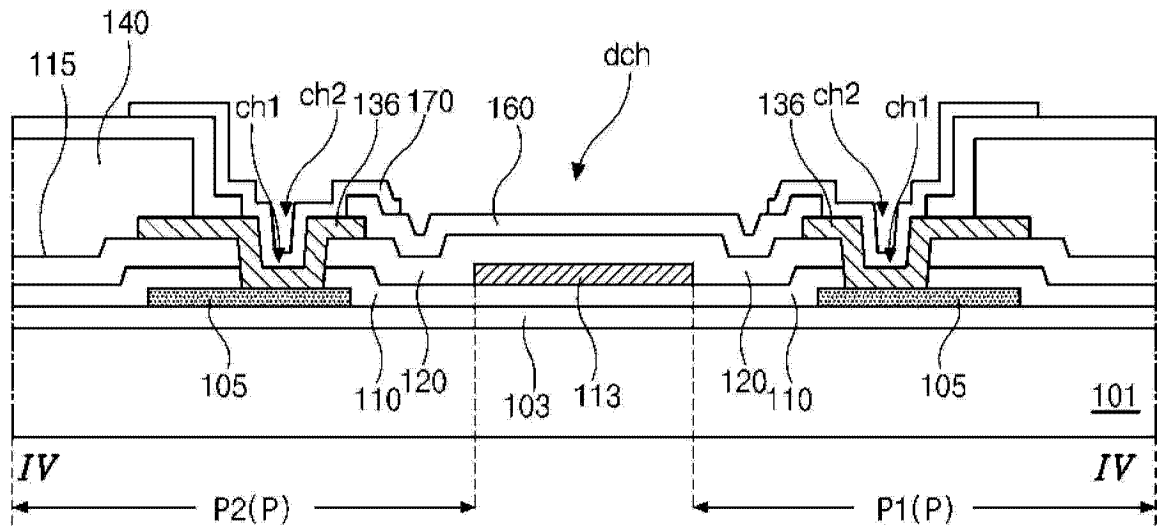


图 4

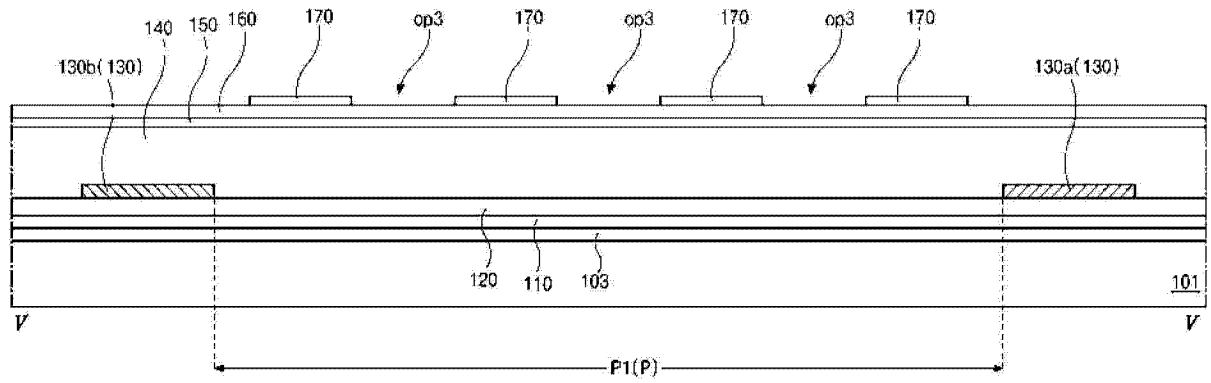


图 5

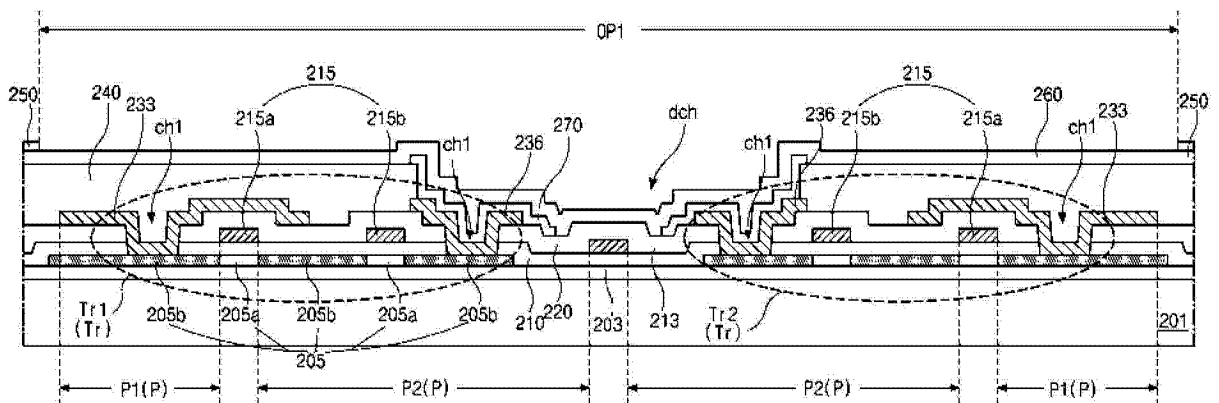


图 6

专利名称(译)	用于液晶显示装置的阵列基板		
公开(公告)号	CN104133312A	公开(公告)日	2014-11-05
申请号	CN201310611261.2	申请日	2013-11-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	郑义显 李正一 金可卿		
发明人	郑义显 李正一 金可卿		
IPC分类号	G02F1/1333		
CPC分类号	H01L27/124 G02F1/1362		
代理人(译)	刘久亮		
优先权	1020130047867 2013-04-30 KR		
其他公开文献	CN104133312B		
外部链接	Espacenet SIPO		

摘要(译)

一种用于液晶显示装置的阵列基板，该阵列基板包括：基板，其具有显示区域和非显示区域；所述基板上的选通线以及第一数据线和第二数据线；分别位于第一像素区域和第二像素区域中的第一薄膜晶体管和第二薄膜晶体管，该第一薄膜晶体管连接至所述选通线和所述第一数据线，该第二薄膜晶体管连接至所述选通线和所述第二数据线；所述第一薄膜晶体管和所述第二薄膜晶体管上的平面化层，该平面化层具有用于暴露所述第一薄膜晶体管的漏电极和所述第二薄膜晶体管的漏电极这二者的漏接触孔；以及所述平面化层上方的像素电极和公共电极。

