



(12) 发明专利申请

(10) 申请公布号 CN 103985369 A

(43) 申请公布日 2014. 08. 13

(21) 申请号 201410226117. 1

(22) 申请日 2014. 05. 26

(71) 申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道 9—2 号

(72) 发明人 虞晓江 李长晔 赖梓杰

(74) 专利代理机构 深圳翼盛智成知识产权事务所 (普通合伙) 44300

代理人 刁文魁 唐秀萍

(51) Int. Cl.

G09G 3/36 (2006. 01)

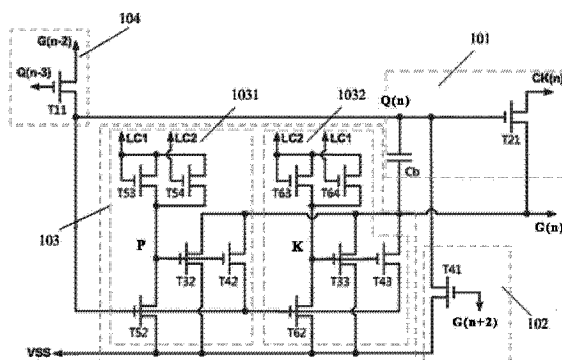
权利要求书3页 说明书13页 附图4页

(54) 发明名称

阵列基板行驱动电路及液晶显示装置

(57) 摘要

本发明实施例公开了一种阵列基板行驱动电路及液晶显示装置,该阵列基板行驱动电路中的第 n 级阵列基板行驱动单元,包括第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端、第 $n+2$ 级信号输入端、第一输出端、第二输出端、低电平输入端、高频时钟信号输入端以及上拉控制单元,上拉控制单元为一第一薄膜晶体管,分别与第 $n-2$ 级信号输入端、第 $n-3$ 级信号输入端以及第二输出端连接,其中,第 $n-3$ 级信号输入端的信号的峰值电压为第 $n-2$ 级信号输入端的信号的峰值电压的两倍。本发明避免 GOA 电路中 TFT 元件阈值电压漂移,从而提高 GOA 电路输出的稳定性。



1. 一种阵列基板行驱动电路,包括多级连接的阵列基板行驱动单元,其特征在于:对于所述阵列基板行驱动电路中的第 n 级阵列基板行驱动单元,包括:

第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端、第 $n+2$ 级信号输入端、第一输出端、第二输出端、低电平输入端以及高频时钟信号输入端, n 为大于 3 的正整数;

其中,所述第 $n-3$ 级信号输入端与第 $n-3$ 级的阵列基板行驱动单元的第二输出端相连;所述第 $n-2$ 级信号输入端与第 $n-2$ 级的阵列基板行驱动单元的第一输出端相连;所述第 $n+2$ 级信号输入端与第 $n+2$ 级的阵列基板行驱动单元的第一输出端相连;所述第二输出端与第 $n+3$ 级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连;所述第一输出端与第 $n+2$ 级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连,且与第 $n-2$ 级的阵列基板行驱动单元的第 $n+2$ 级信号输入端相连,用于向显示区域的第 n 级水平扫描线提供扫描信号;

所述第 n 级阵列基板行驱动单元还包括:

上拉控制单元,包括一第一薄膜晶体管,分别与所述第 $n-2$ 级信号输入端、所述第 $n-3$ 级信号输入端以及所述第二输出端连接,其中,所述第 $n-3$ 级信号输入端的信号的峰值电压为所述第 $n-2$ 级信号输入端的信号的峰值电压的两倍,用于上拉所述第二输出端的电位;

上拉单元,分别与所述高频时钟信号输入端、所述第一输出端连接,并与所述上拉控制单元共同连接于所述第二输出端,用于对所述第一输出端的信号进行充电,以使所述第二输出端达到更高的电位;

下拉控制单元,分别与低电平输入端、所述上拉控制单元及所述上拉单元连接,用于在所述第一输出端的信号处于非充电状态时,控制所述第二输出端和所述第一输出端保持低电位;

下拉单元,分别与所述第 $n+2$ 级信号输入端、所述低电平输入端、所述下拉控制单元连接,并与所述上拉单元及所述上拉控制单元共同连接于所述第二输出端,用于下拉所述第二输出端的电位。

2. 根据权利要求 1 所述的阵列基板行驱动电路,其特征在于,所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极;

所述第一栅极电性连接至所述第 $n-3$ 级信号输入端,所述第一源极电性连接至所述第 $n-2$ 级信号输入端,所述第一漏极分别与所述下拉控制单元电性连接,并与所述下拉单元及所述上拉单元共同连接于所述第二输出端。

3. 根据权利要求 1 所述的阵列基板行驱动电路,其特征在于,所述上拉单元包括一电容和第二薄膜晶体管,所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极,所述电容包括第一极板和第二极板;

所述第二栅极通过第二输出端分别与所述上拉控制单元和所述电容的第一极板电性连接,所述第二源极与所述高频时钟信号输入端电性连接,所述第二漏极与第一输出端电性连接。

4. 根据权利要求 2 所述的阵列基板行驱动电路,其特征在于,所述下拉控制单元包括第一下拉控制子单元;

所述第一下拉控制子单元包括第三薄膜晶体管,所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极;

所述第三栅极与所述第一漏极连接,第三漏极与所述低电平输入端连接;

所述第一下拉控制子单元还包括第四薄膜晶体管和第五薄膜晶体管,所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极,所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极;

所述第四栅极与所述第五栅极连接至所述第三源极,所述第四源极与第五源极连接至所述电容的第二极板,且与第一输出端连接;所述第四漏极与所述低电平输入端连接,所述第五漏极与第三栅极连接。

5. 根据权利要求4所述的阵列基板行驱动电路,其特征在于,所述第n级阵列基板行驱动单元还包括低频时钟信号第一输入端和低频时钟信号第二输入端;

所述第一下拉控制子单元还包括第六薄膜晶体管和第七薄膜晶体管,所述第六薄膜晶体管具有第六栅极、第六源极及第六漏极,所述第七薄膜晶体管具有第七栅极、第七源极及第七漏极;

所述第六栅极、第六源极与第七源极连接至所述低频时钟信号第一输入端,所述第七栅极与所述低频时钟信号第二输入端连接;所述第六漏极与所述第七漏极连接至所述第四栅极。

6. 根据权利要求5所述的阵列基板行驱动电路,其特征在于,所述第n级阵列基板行驱动单元还包括第二下拉控制子单元;

所述第二下拉控制子单元包括第八薄膜晶体管,所述第八薄膜晶体管具有第八栅极、第八源极及第八漏极;

所述第八栅极与所述第一漏极连接,所述第八漏极与所述低电平输入端连接;

所述第二下拉控制子单元还包括第九薄膜晶体管和第十薄膜晶体管,所述第九薄膜晶体管具有第九栅极、第九源极及第九漏极,所述第十薄膜晶体管具有第十栅极、第十源极及第十漏极;

所述第九栅极与所述第十栅极连接至所述第八源极,所述第九源极与第十源极均与所述第四源极和第五源极连接,并连接至所述电容的第二极板,且与所述第一输出端连接;所述第九漏极与所述低电平输入端连接,所述第十漏极与所述第八栅极连接。

7. 根据权利要求6所述的阵列基板行驱动电路,其特征在于,所述第二下拉控制子单元还包括第十一薄膜晶体管和第十二薄膜晶体管,所述第十一薄膜晶体管具有第十一栅极、第十一源极及第十一漏极;所述第十二薄膜晶体管具有第十二栅极、第十二源极及第十二漏极;

所述第十一栅极、第十一源极与第十二源极连接至所述低频时钟信号第二输入端,所述第十二栅极与所述低频时钟信号第一输入端连接;所述第十一漏极与所述第十二漏极连接至第九栅极。

8. 根据权利要求7所述的阵列基板行驱动电路,其特征在于,所述下拉单元为一第十三薄膜晶体管,所述第十三薄膜晶体管具有第十三栅极、第十三源极及第十三漏极;

所述第十三栅极与所述第n+2级信号输入端连接,所述第十三漏极与所述低电平输入端连接,所述第十三源极与所述第二栅极连接。

9. 一种液晶显示装置,包括阵列基板行驱动电路,以及与所述阵列基板行驱动电路连接的显示区域,其特征在于,所述阵列基板行驱动电路,包括多级连接的阵列基板行驱动单

元,其中,

对于所述阵列基板行驱动电路中的第 n 级阵列基板行驱动单元,包括:第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端、第 $n+2$ 级信号输入端、第一输出端、第二输出端、低电平输入端以及高频时钟信号输入端, n 为大于 3 的正整数;

其中,所述第 $n-3$ 级信号输入端与第 $n-3$ 级的阵列基板行驱动单元的第二输出端相连;所述第 $n-2$ 级信号输入端与第 $n-2$ 级的阵列基板行驱动单元的第一输出端相连;所述第 $n+2$ 级信号输入端与第 $n+2$ 级的阵列基板行驱动单元的第一输出端相连;所述第二输出端与第 $n+3$ 级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连;所述第一输出端与第 $n+2$ 级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连,且与第 $n-2$ 级的阵列基板行驱动单元的第 $n+2$ 级信号输入端相连,用于向显示区域的第 n 级水平扫描线提供扫描信号;

所述第 n 级阵列基板行驱动单元还包括:

上拉控制单元,包括一第一薄膜晶体管,分别与所述第 $n-2$ 级信号输入端、所述第 $n-3$ 级信号输入端以及所述第二输出端连接,其中,所述第 $n-3$ 级信号输入端的信号的峰值电压为所述第 $n-2$ 级信号输入端的信号的峰值电压的两倍,用于上拉所述第二输出端的电位;

上拉单元,分别与所述高频时钟信号输入端、所述第一输出端连接,并与所述上拉控制单元共同连接于所述第二输出端,用于对所述第一输出端的信号进行充电,以使所述第二输出端达到更高的电位;

下拉控制单元,分别与低电平输入端、所述上拉控制单元及所述上拉单元连接,用于在所述第一输出端的信号处于非充电状态时,控制所述第二输出端和所述第一输出端保持低电位;

下拉单元,分别与所述第 $n+2$ 级信号输入端、所述低电平输入端、所述下拉控制单元连接,并与所述上拉单元及所述上拉控制单元共同连接于所述第二输出端,用于下拉所述第二输出端的电位。

10. 根据权利要求 9 所述的液晶显示装置,其特征在于,所述显示区域具有水平扫描线,每条所述水平扫描线的两端各连接一个所述阵列基板行驱动单元,所述水平扫描线与所述阵列基板行驱动单元的第一输出端连接。

阵列基板行驱动电路及液晶显示装置

【技术领域】

[0001] 本发明涉及显示面板技术领域,特别涉及一种阵列基板行驱动电路及液晶显示装置。

【背景技术】

[0002] 传统的显示面板一般采用窄边框设计的技术方案。

[0003] 传统的窄边框设计的技术方案一般采用多层金属走线或 GOA (Gate driver On array) 二种技术来实现。其中,多层金属走线的技术方案并不能显著地实现窄边框,相反,其会增加面板短路的几率,使得良率下降以及成本上升。而 GOA 技术可以使用显示面板的现有制程,将控制水平扫描线的驱动电路制作在面板显示区域周围的基板上,使之替代 IC 来完成水平扫描线的驱动。GOA 技术能简化显示面板的制作工序,降低成本,使显示面板更适合制作窄边框或无边框的显示产品,近年来在平板显示领域受到广泛关注。

[0004] 在实践中,发明人发现目前大部分的 GOA 电路也具有一定局限性:比如,组成 GOA 电路的 TFT 元件会由于应力阻抗 stress 效应而出现阈值电压漂移,从而使 GOA 电路输出的稳定性受到影响。

[0005] 因此,需解决现有技术 GOA 电路中,存在的 TFT 元件阈值电压漂移,影响 GOA 电路输出的稳定性的技术问题。

【发明内容】

[0006] 本发明的目的在于提供一种阵列基板行驱动电路及液晶显示装置,其能避免 GOA 电路中 TFT 元件阈值电压漂移,从而提高 GOA 电路输出的稳定性。

[0007] 为解决上述问题,本发明实施例的技术方案如下:

[0008] 一种阵列基板行驱动电路,包括多级连接的阵列基板行驱动单元,其中,对于所述阵列基板行驱动电路中的第 n 级阵列基板行驱动单元,包括第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端、第 $n+2$ 级信号输入端、第一输出端、第二输出端、低电平输入端以及高频时钟信号输入端, n 为大于 3 的正整数;

[0009] 其中,所述第 $n-3$ 级信号输入端与第 $n-3$ 级的阵列基板行驱动单元的第二输出端相连;所述第 $n-2$ 级信号输入端与第 $n-2$ 级的阵列基板行驱动单元的第一输出端相连;所述第 $n+2$ 级信号输入端与第 $n+2$ 级的阵列基板行驱动单元的第一输出端相连;所述第二输出端与第 $n+3$ 级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连;所述第一输出端与第 $n+2$ 级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连,且与第 $n-2$ 级的阵列基板行驱动单元的第 $n+2$ 级信号输入端相连,用于向显示区域的第 n 级水平扫描线提供扫描信号;

[0010] 所述第 n 级阵列基板行驱动单元还包括:

[0011] 上拉控制单元,包括一第一薄膜晶体管,分别与所述第 $n-2$ 级信号输入端、所述第 $n-3$ 级信号输入端以及所述第二输出端连接,其中,所述第 $n-3$ 级信号输入端的信号的峰值电压为所述第 $n-2$ 级信号输入端的信号的峰值电压的两倍,用于上拉所述第二输出端的电

位；

[0012] 上拉单元，分别与所述高频时钟信号输入端、所述第一输出端连接，并与所述上拉控制单元共同连接于所述第二输出端，用于对所述第一输出端的信号进行充电，以使所述第二输出端达到更高的电位；

[0013] 下拉控制单元，分别与低电平输入端、所述上拉控制单元及所述上拉单元连接，用于在所述第一输出端的信号处于非充电状态时，控制所述第二输出端和所述第一输出端保持低电位；

[0014] 下拉单元，分别与所述第 $n+2$ 级信号输入端、所述低电平输入端、所述下拉控制单元连接，并与所述上拉单元及所述上拉控制单元共同连接于所述第二输出端，用于下拉所述第二输出端的电位。

[0015] 在上述阵列基板行驱动电路中，所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极；

[0016] 所述第一栅极电性连接至所述第 $n-3$ 级信号输入端，所述第一源极电性连接至所述第 $n-2$ 级信号输入端，所述第一漏极分别与所述下拉控制单元电性连接，并与所述下拉单元及所述上拉单元共同连接于所述第二输出端。

[0017] 在上述阵列基板行驱动电路中，所述上拉单元包括一电容和第二薄膜晶体管，所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极，所述电容包括第一极板和第二极板；

[0018] 所述第二栅极通过第二输出端分别与所述上拉控制单元和所述电容的第一极板电性连接，所述第二源极与所述高频时钟信号输入端电性连接，所述第二漏极与第一输出端电性连接。

[0019] 在上述阵列基板行驱动电路中，所述下拉控制单元包括第一下拉控制子单元；

[0020] 所述第一下拉控制子单元包括第三薄膜晶体管，所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极；

[0021] 所述第三栅极与所述第一漏极连接，第三漏极与所述低电平输入端连接；

[0022] 所述第一下拉控制子单元还包括第四薄膜晶体管和第五薄膜晶体管，所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极，所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极；

[0023] 所述第四栅极与所述第五栅极连接至所述第三源极，所述第四源极与第五源极连接至所述电容的第二极板，且与第一输出端连接；所述第四漏极与所述低电平输入端连接，所述第五漏极与第三栅极连接。

[0024] 在上述阵列基板行驱动电路中，所述第 n 级阵列基板行驱动单元还包括低频时钟信号第一输入端和低频时钟信号第二输入端；

[0025] 所述第一下拉控制子单元还包括第六薄膜晶体管和第七薄膜晶体管，所述第六薄膜晶体管具有第六栅极、第六源极及第六漏极，所述第七薄膜晶体管具有第七栅极、第七源极及第七漏极；

[0026] 所述第六栅极、第六源极与第七源极连接至所述低频时钟信号第一输入端，所述第七栅极与所述低频时钟信号第二输入端连接；第六漏极与第七漏极连接至第四栅极。

[0027] 在上述阵列基板行驱动电路中，所述第 n 级阵列基板行驱动单元还包括第二下拉

控制子单元；

[0028] 所述第二下拉控制子单元包括第八薄膜晶体管，所述第八薄膜晶体管具有第八栅极、第八源极及第八漏极；

[0029] 所述第八栅极与第一漏极连接，所述第八漏极与所述低电平输入端连接；

[0030] 所述第二下拉控制子单元还包括第九薄膜晶体管和第十薄膜晶体管，所述第九薄膜晶体管具有第九栅极、第九源极及第九漏极，所述第十薄膜晶体管具有第十栅极、第十源极及第十漏极；

[0031] 所述第九栅极与所述第十栅极连接至所述第八源极，所述第九源极与第十源极均和所述第四源极与第五源极连接，并连接至所述电容的第二极板，且与第一输出端连接；所述第九漏极与所述低电平输入端连接，所述第十漏极与第八栅极连接。

[0032] 在上述阵列基板行驱动电路中，所述第二下拉控制子单元还包括第十一薄膜晶体管和第十二薄膜晶体管，所述第十一薄膜晶体管具有第十一栅极、第十一源极及第十一漏极；所述第十二薄膜晶体管具有第十二栅极、第十二源极及第十二漏极；

[0033] 所述第十一栅极、第十一源极与第十二源极连接至所述低频时钟信号第二输入端，所述第十二栅极与所述低频时钟信号第一输入端连接；第十一漏极与第十二漏极连接至第九栅极。

[0034] 在上述阵列基板行驱动电路中，所述下拉单元为一第十三薄膜晶体管，所述第十三薄膜晶体管具有第十三栅极、第十三源极及第十三漏极；

[0035] 所述第十三栅极与所述第 $n+2$ 级信号输入端连接，所述第十三漏极与所述低电平输入端连接，所述第十三源极与所述第二栅极连接。

[0036] 一种液晶显示装置，包括阵列基板行驱动电路，以及与所述阵列基板行驱动电路连接的显示区域，所述阵列基板行驱动电路，包括多级连接的阵列基板行驱动单元；

[0037] 其中对于所述阵列基板行驱动电路中的第 n 级阵列基板行驱动单元，包括：第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端、第 $n+2$ 级信号输入端、第一输出端、第二输出端、低电平输入端以及高频时钟信号输入端， n 为大于 3 的正整数；

[0038] 其中，所述第 $n-3$ 级信号输入端与第 $n-3$ 级的阵列基板行驱动单元的第二输出端相连；所述第 $n-2$ 级信号输入端与第 $n-2$ 级的阵列基板行驱动单元的第一输出端相连；所述第 $n+2$ 级信号输入端与第 $n+2$ 级的阵列基板行驱动单元的第一输出端相连；所述第二输出端与第 $n+3$ 级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连；所述第一输出端与第 $n+2$ 级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连，且与第 $n-2$ 级的阵列基板行驱动单元的第 $n+2$ 级信号输入端相连，用于向显示区域的第 n 级水平扫描线提供扫描信号；

[0039] 所述第 n 级阵列基板行驱动单元还包括：

[0040] 上拉控制单元，包括一第一薄膜晶体管，分别与所述第 $n-2$ 级信号输入端、所述第 $n-3$ 级信号输入端以及所述第二输出端连接，其中，所述第 $n-3$ 级信号输入端的信号的峰值电压为所述第 $n-2$ 级信号输入端的信号的峰值电压的两倍，用于上拉所述第二输出端的电位；

[0041] 上拉单元，分别与所述高频时钟信号输入端、所述第一输出端连接，并与所述上拉控制单元共同连接于所述第二输出端，用于对所述第一输出端的信号进行充电，以使所述第二输出端达到更高的电位；

【0042】 下拉控制单元,分别与低电平输入端、所述上拉控制单元及所述上拉单元连接,用于在所述第一输出端的信号处于非充电状态时,控制所述第二输出端和所述第一输出端保持低电位;

【0043】 下拉单元,分别与所述第 $n+2$ 级信号输入端、所述低电平输入端、所述下拉控制单元连接,并与所述上拉单元及所述上拉控制单元共同连接于所述第二输出端,用于下拉所述第二输出端的电位。

【0044】 在上述液晶显示装置中,所述显示区域具有水平扫描线,每条所述水平扫描线的两端各连接一个所述阵列基板行驱动单元,所述水平扫描线与所述阵列基板行驱动单元的第一输出端连接。

【0045】 相对现有技术,本发明利用一个峰值电压更高的前级信号来控制负责 GOA 电路的上、下级之间的信号传递的第一薄膜晶体管的接通,使 GOA 电路上、下级之间的信号传递受 TFT 元件阈值电压漂移的影响较现有的 GOA 电路更小,从而使 GOA 电路的输出受 TFT 元件阈值电压漂移的影响变小,提高 GOA 电路输出的稳定性。

【附图说明】

【0046】 图 1 为本发明提供的阵列基板行驱动电路的结构示意图;

【0047】 图 2 为本发明提供的阵列基板行驱动电路的驱动时序示意图;

【0048】 图 3 为本发明提供的阵列基板行驱动电路的另一结构示意图;

【0049】 图 4 为本发明提供的液晶显示装置的结构示意图;

【0050】 图 5a 至图 5c 为本发明提供的 GOA 电路与一现有 GOA 电路的输出对比示意图。

【具体实施方式】

【0051】 请参照图式,其中相同的组件符号代表相同的组件,本发明的原理是以实施在一适当的运算环境中来举例说明。以下的说明是基于所例示的本发明具体实施例,其不应被视为限制本发明未在此详述的其它具体实施例。

【0052】 参考图 1,图 1 为本发明提供的阵列基板行驱动电路的第一实施例的示意图。

【0053】 本实施例的阵列基板行驱动电路包括多级连接的阵列基板行驱动单元,其中,对于所述阵列基板行驱动电路中的第 n 级阵列基板行驱动单元,包括第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端、第 $n+2$ 级信号输入端、第一输出端、第二输出端、低电平输入端以及高频时钟信号输入端, n 为大于 3 的正整数;

【0054】 其中,对于所述第 n 级阵列基板行驱动单元,所述第 $n-3$ 级信号输入端与第 $n-3$ 级的阵列基板行驱动单元的第二输出端相连;所述第 $n-2$ 级信号输入端与第 $n-2$ 级的阵列基板行驱动单元的第一输出端相连;所述第 $n+2$ 级信号输入端与第 $n+2$ 级的阵列基板行驱动单元的第一输出端相连;所述第二输出端与第 $n+3$ 级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连;所述第一输出端与第 $n+2$ 级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连,且与第 $n-2$ 级的阵列基板行驱动单元的第 $n+2$ 级信号输入端相连,所述第一输出端用于向显示区域的第 n 级水平扫描线提供扫描信号;

【0055】 可以理解的是,本发明实施例对于第 n 级阵列基板行驱动单元,所述第 $n-3$ 级信号输入端的信号为 $Q(n-3)$,同时,所述 $Q(n-3)$ 为第 $n-3$ 级阵列基板行驱动单元的第二输出

端的信号；所述第 $n-2$ 级信号输入端的信号为 $G(n-2)$ ，同时所述 $G(n-2)$ 为第 $n-2$ 级阵列基板行驱动单元的第一输出端的信号；所述第 $n+2$ 级信号输入端的信号为 $G(n+2)$ ，同时，所述 $G(n+2)$ 为第 $n+2$ 级阵列基板行驱动单元的第一输出端的信号；所述第一输出端的信号为 $G(n)$ ，所述第二输出端的信号为 $Q(n)$ ，所述低电平输入端的信号为 V_{ss} ，所述高频时钟信号输入端的信号为 $CK(n)$ 。

[0056] 所述第 n 级阵列基板行驱动单元还包括：

[0057] 上拉控制单元 104，包括一第一薄膜晶体管，分别与所述第 $n-2$ 级信号输入端、所述第 $n-3$ 级信号输入端以及所述第二输出端连接，其中，所述第 $n-3$ 级信号输入端的信号的峰值电压为所述第 $n-2$ 级信号输入端的信号的峰值电压的两倍，用于上拉所述第二输出端的电位；

[0058] 上拉单元 101，分别与所述高频时钟信号输入端、所述第一输出端连接，并与所述上拉控制单元 104 共同连接于所述第二输出端，用于对所述第一输出端的信号进行充电，以使所述第二输出端达到更高的电位；

[0059] 下拉控制单元 103，分别与所述低电平输入端、所述上拉控制单元 104 及所述上拉单元 101 连接，用于在所述第一输出端的信号处于非充电状态时，控制所述第二输出端和所述第一输出端保持低电位；

[0060] 下拉单元 102，分别与所述第 $n+2$ 级信号输入端、所述低电平输入端、所述下拉控制单元 103 连接，并与所述上拉单元 104 及所述上拉控制单元 104 共同连接于所述第二输出端，用于下拉所述第二输出端的电位。

[0061] 可以理解的是，对于第 1 级阵列基板行驱动单元，所述第 $n-3$ 级信号输入端和所述第 $n-2$ 级信号输入端均用于输入一脉冲激活信号，所述第 $n+2$ 级信号输入端与第 3 级的阵列基板行驱动单元的第一输出端相连，所述第二输出端与第 4 级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连；所述第一输出端与第 3 级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连，用于向显示区域第 1 级水平扫描线提供扫描信号；同理，对于第 2 级的阵列基板行驱动单元和第 3 级的阵列基板行驱动单元可以采用类似的处理，此处不作具体描述。

[0062] 容易想到的是，对于倒数第 1 级，所述第 $n+2$ 级信号输入端用于输入一脉冲激活信号，所述第二输出端可以设置为悬空，同理对于倒数第 2 级和倒数 3 级的阵列基板行驱动单元可以采用类似的处理，此处不作具体描述。

[0063] 以下分别对所述上拉控制单元 104、所述上拉单元 101、所述下拉控制单元 103 以及所述下拉单元 102 的内部连接结构进行具体分析：

[0064] 所述上拉控制单元 104 为一第一薄膜晶体管 T11，所述第一薄膜晶体管 T11 具有第一栅极、第一源极及第一漏极；

[0065] 所述第一栅极电性连接至所述第 $n-3$ 级信号输入端，所述第一源极电性连接至所述第 $n-2$ 级信号输入端，所述第一漏极分别与所述下拉控制单元 103 电性连接，并与所述下拉单元 102 及所述上拉单元 101 共同连接于所述第二输出端。

[0066] 所述上拉单元 101 包括一电容 C_b 和第二薄膜晶体管 T21，所述第二薄膜晶体管 T21 具有第二栅极、第二源极及第二漏极，所述电容 C_b 包括第一极板和第二极板；

[0067] 所述第二栅极通过第二输出端与上拉控制单元 104 和电容 C_b 的第一极板电性连

接,所述第二源极与所述高频时钟信号输入端电性连接,第二漏极与第一输出端电性连接。

[0068] 所述下拉控制单元 103 包括第一下拉控制子单元 1031;

[0069] 所述第一下拉控制子单元 1031 包括第三薄膜晶体管 T52,所述第三薄膜晶体管 T52 具有第三栅极、第三源极及第三漏极;

[0070] 所述第三栅极与第一漏极连接,第三漏极与所述低电平输入端连接;

[0071] 所述第一下拉控制子单元 1031 还包括第四薄膜晶体管 T32 和第五薄膜晶体管 T42,所述第四薄膜晶体管 T32 具有第四栅极、第四源极及第四漏极,所述第五薄膜晶体管 T42 具有第五栅极、第五源极及第五漏极;

[0072] 所述第四栅极与所述第五栅极连接至所述第三源极,所述第四源极与第五源极连接至所述电容 Cb 的第二极板,且与第一输出端连接;所述第四漏极与所述低电平输入端连接,所述第五漏极与第三栅极连接。

[0073] 如图 1 所示,所述第 n 级阵列基板行驱动单元还包括低频时钟信号第一输入端和低频时钟信号第二输入端;

[0074] 其中,所述低频时钟信号第一输入端的信号为 LC1,所述低频时钟信号第二输入端的信号为 LC2;

[0075] 所述第一下拉控制子单元 1031 还包括第六薄膜晶体管 T53 和第七薄膜晶体管 T54,所述第六薄膜晶体管 T53 具有第六栅极、第六源极及第六漏极,所述第七薄膜晶体管 T54 具有第七栅极、第七源极及第七漏极;

[0076] 所述第六栅极、第六源极与第七源极连接至所述低频时钟信号第一输入端,所述第七栅极与所述低频时钟信号第二输入端连接;所述第六漏极与第七漏极连接至所述第四栅极。

[0077] 所述第 n 级阵列基板行驱动单元还包括第二下拉控制子单元 1032;

[0078] 所述第二下拉控制子单元 1032 包括第八薄膜晶体管 T62、所述第八薄膜晶体管 T62 具有第八栅极、第八源极及第八漏极;

[0079] 所述第八栅极与所述第一漏极连接,所述第八漏极与所述低电平输入端连接;

[0080] 所述第二下拉控制子单元 1032 还包括第九薄膜晶体管 T33 和第十薄膜晶体管 T43,所述第九薄膜晶体管 T33 具有第九栅极、第九源极及第九漏极,所述第十薄膜晶体管 T43 具有第十栅极、第十源极及第十漏极;

[0081] 所述第九栅极与所述第十栅极连接至所述第八源极,所述第九源极与第十源极均和所述第四源极与第五源极连接,并连接至所述电容 Cb 的第二极板,且与所述第一输出端连接;所述第九漏极与所述低电平输入端连接,所述第十漏极与第八栅极连接。

[0082] 所述第二下拉控制子单元 1032 还包括第十一薄膜晶体管 T63 和第十二薄膜晶体管 T64,所述第十一薄膜晶体管 T63 具有第十一栅极、第十一源极及第十一漏极;所述第十二薄膜晶体管 T64 具有第十二栅极、第十二源极及第十二漏极;

[0083] 所述第十一栅极、第十一源极与第十二源极连接至所述低频时钟信号第二输入端,所述第十二栅极与所述低频时钟信号第一输入端连接;所述第十一漏极与第十二漏极连接至第九栅极。

[0084] 所述下拉单元 102 为一第十三薄膜晶体管 T41、所述第十三薄膜晶体管 T41 具有第十三栅极、第十三源极及第十三漏极;

[0085] 所述第十三栅极与所述第 $n+2$ 级信号输入端连接,所述第十三漏极与所述低电平输入端连接,所述第十三源极与所述第二栅极连接。

[0086] 可以理解的是,各薄膜晶体管的接通或断开分别对应其源极和其漏极之间的电流通道的接通或断开。

[0087] 进一步的,本发明实施例中,所述第一薄膜晶体管 T11、所述第二薄膜晶体管 T21、所述第三薄膜晶体管 T52、所述第四薄膜晶体管 T32、所述第五薄膜晶体管 T42、所述第六薄膜晶体管 T53、所述第七薄膜晶体管 T54、所述第八薄膜晶体管 T62、所述第九薄膜晶体管 T33、所述第十薄膜晶体管 T43、所述第十一薄膜晶体管 T63、所述第十二薄膜晶体管 T64 以及所述第十三薄膜晶体管 T41 均为 N 型的薄膜晶体管,显然,上述各薄膜晶体管在其他实施例中还可以为 P 型的薄膜晶体管,其类型可以根据具体场景进行确定,此处举例不构成对本发明的限定。

[0088] 为了更好地理解本发明技术方案,以下基于如图 1 所示的阵列基板行驱动电路 (GOA),为本发明 GOA 电路的单级架构的一个实例,对该单级 GOA 电路进行简单介绍:

[0089] 所述单级 GOA 电路包含控制给显示区域第 n 级水平扫描线进行充电的第二薄膜晶体管 T21 (对应图 1 所示的上拉单元 101),其中第一输出端 (即 $G(n)$ 信号输出端) 与第 n 级水平扫描线相连接,第二薄膜晶体管 T21 的第二源级和第二漏极分别连接第一输出端和高频时钟信号输入端 (即 $CK(n)$ 信号输入端),所述第二薄膜晶体管 T21 的第二栅极与所述第二输出端相连, $Q(n)$ 的电位可直接影响 $CK(n)$ 对 $G(n)$ 充电;GOA 电路还包含在 $G(n)$ 充电结束时对 $Q(n)$ 进行放电的第十三薄膜晶体管 T41 (对应图 1 的下拉单元 104)。

[0090] 进一步地,图 1 所示的下拉控制单元 103 为 GOA 的下拉电路区,可以在非充电时期维持 $G(n)$ 和 $Q(n)$ 的低电位。下拉控制单元 103 中 P 点和 K 点交替受低频时钟信号第一输入端 (即 LC1 信号输入端) 和低频时钟信号第二输入端 (即 LC2 信号输入端) 的充电而处于高电位,从而交替控制第四薄膜晶体管 T32 和第五薄膜晶体管 T42,或者,第九薄膜晶体管 T33 和第十薄膜晶体管 T43 的打开,以便交替维持 $G(n)$ 和 $Q(n)$ 在非充电时期的低电位,从而避免薄膜晶体管长时间受栅极电压应力的影响。

[0091] 另外,第三薄膜晶体管 T52 连接 P 点和低电平输入端 (即 V_{ss} 信号输入端),第八薄膜晶体管 T62 连接 K 点和低电平输入端,所述第三薄膜晶体管 T52 和所述第八薄膜晶体管 T62 可在 $Q(n)$ 处于高电位时打开而将 P 点、K 点电位拉低以关闭第四薄膜晶体管 T32、第五薄膜晶体管 T42、第九薄膜晶体管 T33、第十薄膜晶体管 T43 使之不影响 $G(n)$ 充电。

[0092] 第一薄膜晶体管 T11 (对应图 1 的上拉控制单元 104) 可以控制将前级 GOA 电路输出的信号传递给本级 GOA 电路,使 GOA 信号可以逐级传递; $Q(n)$ 和 $G(n)$ 之间连接有自举功能的电容 C_b ,可在 $G(n)$ 电位提升时通过 C_b 的耦合效应使 $Q(n)$ 电位提升,从而获得更高的 $Q(n)$ 电位及更小的 GOA 充电信号。

[0093] 以下实施例中,各开关管均以 N 型的薄膜晶体管为例,对如图 1 所示的单级 GOA 电路的工作原理进行分析:

[0094] 可一并参考图 2,图 2 为所述阵列基板行驱动电路的驱动时序示意图;该驱动时序分为三个阶段,其中, $t_1 \sim t_4$ 为 $G(n)$ 充电前的准备时间, $t_4 \sim t_5$ 为 $G(n)$ 的充电时间, t_5 后 $G(n)$ 被放电。

[0095] 具体地, t_1 时, $CK(n-3)$ 为高电位, $Q(n-3)$ 自举到高电位,其中, $Q(n-3)$ 自举的高

电位约为两倍 $G(n-2)$ 的高电位。 t_1 时 $G(n-2)$ 为低电位, $Q(n)$ 未充电, 则 $Q(n)$ 为低电位。

[0096] 其中, $CK(n-3)$ 为第 $n-3$ 级阵列基板行驱动单元的高频时钟信号, 当其为高电位时, 对应地 $Q(n-3)$ 自举到高电位。

[0097] t_2 时, $CK(n-2)$ 的电位抬升, $G(n-2)$ 也抬升为高电位, $Q(n-3)$ 仍维持高的自举电位 (仍高于 $G(n-2)$ 的高电位), 第一薄膜晶体管 T_{11} 接通并给 $Q(n)$ 充电, 则 $Q(n)$ 电位抬升。

[0098] 其中, $CK(n-2)$ 为第 $n-2$ 级阵列基板行驱动单元的高频时钟信号。

[0099] 进一步地, $Q(n)$ 电位抬升后, 可第三薄膜晶体管 T_{52} 和第八薄膜晶体管 T_{62} 接通, 从而拉低 P 、 K 点电位以关闭第四薄膜晶体管 T_{32} 、第五薄膜晶体管 T_{42} 、第九薄膜晶体管 T_{33} 和第十薄膜晶体管 T_{43} , 使之不影响 $G(n)$ 后续充电。

[0100] 可以理解的是, 如果 P 点或 K 点是高电位, 那么起下拉作用的第四薄膜晶体管 T_{32} 与第五薄膜晶体管 T_{42} 的开关组合, 或者, 第九薄膜晶体管 T_{33} 与第十薄膜晶体管 T_{43} 的开关组合就会打开, 就会下拉 $G(n)$ 和 $Q(n)$ 的电位而影响充电。

[0101] t_3 时, $CK(n-3)$ 的电位开始下降, $Q(n-3)$ 的电位也下降, $G(n-2)$ 维持高电位, $Q(n)$ 电位基本保持不变。

[0102] t_4 时, $CK(n)$ 的电位开始抬升, 第二薄膜晶体管 T_{21} 接通, $Q(n)$ 自举到更高电位并控制第二薄膜晶体管 T_{21} 给 $G(n)$ 充电, $G(n)$ 电位抬升。

[0103] t_5 时, $CK(n)$ 电位开始下降, $Q(n)$ 电位并未立即被拉低, 第二薄膜晶体管 T_{21} 在 t_5 后的短时间内仍保持导通, 将 $G(n)$ 电位拉低。

[0104] 之后, $G(n+2)$ 电位抬升, 第十三薄膜晶体管 T_{41} 接通, 以确保 $Q(n)$ 被拉至低电位; 所述第三薄膜晶体管 T_{52} 和第八薄膜晶体管 T_{62} 在 $Q(n)$ 电位拉低后关闭, 第四薄膜晶体管 T_{32} 与第五薄膜晶体管 T_{42} 的开关组合和第九薄膜晶体管 T_{33} 与第十薄膜晶体管 T_{43} 的开关组合可正常交替打开, 以维持 $G(n)$ 和 $Q(n)$ 在非充电时期的低电位。

[0105] 可以理解的是, 在所述第三薄膜晶体管 T_{52} 和第八薄膜晶体管 T_{62} 关闭后, P 点和 K 点的电位可以受低频信号 LC_1 和 LC_2 的影响。假设, LC_1 为高电位而 LC_2 为低电位时, 第六薄膜晶体管 T_{53} 打开而第七薄膜晶体管 T_{54} 关闭, P 点可为高电位, P 点为高电位就可打开起下拉作用的第四薄膜晶体管 T_{32} 与第五薄膜晶体管 T_{42} ; 假设, LC_2 为高电位而 LC_1 为低电位时, 第十一薄膜晶体管 T_{63} 打开而第十二薄膜晶体管 T_{64} 关闭, K 点可为高电位, K 点为高电位就可打开起下拉作用的第九薄膜晶体管 T_{33} 与第十薄膜晶体管 T_{43} 。这一设计的目的是避免第四薄膜晶体管 T_{32} 与第五薄膜晶体管 T_{42} , 或者第九薄膜晶体管 T_{33} 与第十薄膜晶体管 T_{43} 长时间受单一栅极应力的影响, 从而可以延长器件的寿命。

[0106] 需要说明的是, 如图 1 所示本发明 G_{OA} 电路中负责上、下级间讯号传递的第一薄膜晶体管 T_{11} , 其第一栅极、第一漏极、第一源极分别连接第 $n-3$ 级信号输入端 ($Q(n-3)$ 信号)、第 $n-2$ 级信号输入端 ($G(n-2)$ 信号)、第二输出端 ($Q(n)$ 信号)。根据半导体器件导通原则, 如果要使 $Q(n)$ 接受到来自第一薄膜晶体管 T_{11} 的充电, 第一栅极和第一源极间的电压差 V_{gs} 须不小于其阈值电压 V_{th} , 即 $V_{gs} - V_{th} \geq 0$ 。本发明中第一栅极的 $Q(n-3)$ 信号在自举后的电位约是 $G(n-2)$ 高电位 $V_{G(n-2)}$ 的 2 倍, 即 $2V_{G(n-2)}$ 。因此 $Q(n)$ 可被第一薄膜晶体管 T_{11} 充至 $V_{G(n-2)}$, $Q(n)$ 在自举前可被充至的电位不易受到第一薄膜晶体管 T_{11} 阈值电压 V_{th} 漂移的影响。而对于目前大部分的 G_{OA} 电路, 如上拉控制单元 104 中第一薄膜晶体管 T_{11} 的栅极的峰值电位约等于 $G(n-2)$ 的电位 $V_{G(n-2)}$, 因此 $Q(n)$ 可被第一薄膜晶体管 T_{11} 充至的

电位约等于 $V_{G(n-2)} - V_{th}$, $Q(n)$ 在自举前可被充至的电位易受到第一薄膜晶体管 T11 阈值电压 V_{th} 漂移的影响。

[0107] 综上所述,本发明 GOA 电路用一个峰值电压更高的 $Q(n-3)$ 信号来控制负责 GOA 电路的上、下级之间信号传递的第一薄膜晶体管 T11 的接通,使 GOA 电路上、下级之间的信号传递受 TFT 元件阈值电压漂移的影响较现有的 GOA 电路更小,从而使 GOA 电路的输出受 TFT 元件阈值电压漂移的影响变小,提高 GOA 电路输出的稳定性。

[0108] 为便于更好的实施本发明实施例提供的阵列基板行驱动电路,本发明实施例还提供一种包含阵列基板行驱动电路的液晶显示装置。其中名词的含义与上述阵列基板行驱动电路中相同,具体实现细节可以参考阵列基板行驱动电路实施例中的说明。

[0109] 本发明实施例提供一种液晶显示装置,包括阵列基板行驱动电路,以及与所述阵列基板行驱动电路连接的显示区域,所述阵列基板行驱动电路,包括多级连接的阵列基板行驱动单元;

[0110] 其中,对于所述阵列基板行驱动电路中的第 n 级阵列基板行驱动单元,包括第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端、第 $n+2$ 级信号输入端、第一输出端、第二输出端、低电平输入端以及高频时钟信号输入端, n 为大于 3 的正整数;

[0111] 其中,所述第 $n-3$ 级信号输入端与第 $n-3$ 级的阵列基板行驱动单元的第二输出端相连;所述第 $n-2$ 级信号输入端与第 $n-2$ 级的阵列基板行驱动单元的第一输出端相连;所述第 $n+2$ 级信号输入端与第 $n+2$ 级的阵列基板行驱动单元的第一输出端相连;所述第二输出端与第 $n+3$ 级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连;所述第一输出端与第 $n+2$ 级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连,且与第 $n-2$ 级的阵列基板行驱动单元的第 $n+2$ 级信号输入端相连,用于向显示区域的第 n 级水平扫描线提供扫描信号;

[0112] 可以理解的是,本发明实施例对于第 n 级阵列基板行驱动单元,所述第 $n-3$ 级信号输入端的信号为 $Q(n-3)$,同时,所述 $Q(n-3)$ 为第 $n-3$ 级阵列基板行驱动单元的第二输出端的信号;所述第 $n-2$ 级信号输入端的信号为 $G(n-2)$,同时所述 $G(n-2)$ 为第 $n-2$ 级阵列基板行驱动单元的第一输出端的信号;所述第 $n+2$ 级信号输入端的信号为 $G(n+2)$,同时,所述 $G(n+2)$ 为第 $n+2$ 级阵列基板行驱动单元的第一输出端的信号;所述第一输出端的信号为 $G(n)$,所述第二输出端的信号为 $Q(n)$,所述低电平输入端的信号为 V_{ss} ,所述高频时钟信号输入端的信号为 $CK(n)$ 。

[0113] 所述第 n 级阵列基板行驱动单元还包括:

[0114] 上拉控制单元 104,包括一第一薄膜晶体管,分别与所述第 $n-2$ 级信号输入端、所述第 $n-3$ 级信号输入端以及所述第二输出端连接,其中,所述第 $n-3$ 级信号输入端的信号的峰值电压为所述第 $n-2$ 级信号输入端的信号的峰值电压的两倍,用于上拉所述第二输出端的电位;

[0115] 上拉单元 101,分别与所述高频时钟信号输入端、所述第一输出端连接,并与所述上拉控制单元 104 共同连接于所述第二输出端,用于对所述第一输出端的信号进行充电,以使所述第二输出端达到更高的电位;

[0116] 下拉控制单元 103,分别与所述低电平输入端、所述上拉控制单元 104 及所述上拉单元 101 连接,用于在所述第一输出端的信号处于非充电状态时,控制所述第二输出端和所述第一输出端保持低电位;

[0117] 下拉单元 102, 分别与所述第 $n+2$ 级信号输入端、所述低电平输入端、所述下拉控制单元 103 连接, 并与所述上拉单元 104 及所述上拉控制单元 104 共同连接于所述第二输出端, 用于下拉所述第二输出端的电位。

[0118] 可一并参考图 3, 图 3 为本发明的 GOA 电路的一种多级连接结构示意图, 所述显示区域具有水平扫描线, 每条所述水平扫描线的两端各连接一个所述阵列基板行驱动单元, 所述水平扫描线与所述阵列基板行驱动单元的第一输出端连接。

[0119] 可以理解的是, GOA 电路可以从左右两边分别对水平扫描线 gate line 进行充电和放电, 以获得均匀的充电效果。低频时钟信号 LC1 和 LC2、直流低电压 Vss、以及 CK1 ~ CK4 的 4 个高频时钟信号的金属线放置于各级 GOA 电路的外围。第 n 级 GOA 电路分别接受 LC1、LC2、Vss、CK1 ~ CK4 中的 1 个 CK 信号、第 $n-2$ 级 GOA 电路产生的 $G(n-2)$ 信号、第 $n-3$ 级 GOA 电路产生的 $Q(n-3)$ 信号、第 $n+2$ 级 GOA 电路产生的 $G(n+2)$ 信号, 并产生 $G(n)$ 信号和 $Q(n)$ 信号。如图 3 所示的电路多级连接结构可以保证 GOA 讯号能逐级传递, 并且各级 GOA 电路可以逐级从左、右两边分别对显示区域的水平扫描线进行充电和放电。

[0120] 以下分别对所述上拉控制单元 104、所述上拉单元 101、所述下拉控制单元 103 以及所述下拉单元 102 的结构进行具体分析:

[0121] 所述上拉控制单元 104 为一第一薄膜晶体管 T11, 所述第一薄膜晶体管 T11 具有第一栅极、第一源极及第一漏极;

[0122] 所述第一栅极电性连接至所述第 $n-3$ 级信号输入端, 所述第一源极电性连接至所述第 $n-2$ 级信号输入端, 所述第一漏极分别与所述下拉控制单元 103 电性连接, 并与所述下拉单元 102 及所述上拉单元 101 共同连接于所述第二输出端。

[0123] 所述上拉单元 101 包括一电容 Cb 和第二薄膜晶体管 T21, 所述第二薄膜晶体管 T21 具有第二栅极、第二源极及第二漏极, 所述电容 Cb 包括第一极板和第二极板;

[0124] 所述第二栅极通过第二输出端与上拉控制单元 104 和电容 Cb 的第一极板电性连接, 所述第二源极与所述高频时钟信号输入端电性连接, 第二漏极与第一输出端电性连接。

[0125] 所述下拉控制单元 103 包括第一下拉控制子单元 1031;

[0126] 所述第一下拉控制子单元 1031 包括第三薄膜晶体管 T52, 所述第三薄膜晶体管 T52 具有第三栅极、第三源极及第三漏极;

[0127] 所述第三栅极与第一漏极连接, 第三漏极与所述低电平输入端连接;

[0128] 所述第一下拉控制子单元 1031 还包括第四薄膜晶体管 T32 和第五薄膜晶体管 T42, 所述第四薄膜晶体管 T32 具有第四栅极、第四源极及第四漏极, 所述第五薄膜晶体管 T42 具有第五栅极、第五源极及第五漏极;

[0129] 所述第四栅极与所述第五栅极连接至所述第三源极, 所述第四源极与第五源极连接至所述电容 Cb 的第二极板, 且与第一输出端连接; 所述第四漏极与所述低电平输入端连接, 所述第五漏极与第三栅极连接。

[0130] 如图 1 所示, 所述第 n 级阵列基板行驱动单元还包括低频时钟信号第一输入端和低频时钟信号第二输入端;

[0131] 其中, 所述低频时钟信号第一输入端的信号为 LC1, 所述低频时钟信号第二输入端的信号为 LC2;

[0132] 所述第一下拉控制子单元 1031 还包括第六薄膜晶体管 T53 和第七薄膜晶体管

T54, 所述第六薄膜晶体管 T53 具有第六栅极、第六源极及第六漏极, 所述第七薄膜晶体管 T54 具有第七栅极、第七源极及第七漏极;

[0133] 所述第六栅极、第六源极与第七源极连接至所述低频时钟信号第一输入端, 所述第七栅极与所述低频时钟信号第二输入端连接; 所述第六漏极与第七漏极连接至所述第四栅极。

[0134] 所述第 n 级阵列基板行驱动单元还包括第二下拉控制子单元 1032;

[0135] 所述第二下拉控制子单元 1032 包括第八薄膜晶体管 T62、所述第八薄膜晶体管 T62 具有第八栅极、第八源极及第八漏极;

[0136] 所述第八栅极与所述第一漏极连接, 所述第八漏极与所述低电平输入端连接;

[0137] 所述第二下拉控制子单元 1032 还包括第九薄膜晶体管 T33 和第十薄膜晶体管 T43, 所述第九薄膜晶体管 T33 具有第九栅极、第九源极及第九漏极, 所述第十薄膜晶体管 T43 具有第十栅极、第十源极及第十漏极;

[0138] 所述第九栅极与所述第十栅极连接至所述第八源极, 所述第九源极与第十源极均和所述第四源极与第五源极连接, 并连接至所述电容 C_b 的第二极板, 且与所述第一输出端连接; 所述第九漏极与所述低电平输入端连接, 所述第十漏极与第八栅极连接。

[0139] 所述第二下拉控制子单元 1032 还包括第十一薄膜晶体管 T63 和第十二薄膜晶体管 T64, 所述第十一薄膜晶体管 T63 具有第十一栅极、第十一源极及第十一漏极; 所述第十二薄膜晶体管 T64 具有第十二栅极、第十二源极及第十二漏极;

[0140] 所述第十一栅极、第十一源极与第十二源极连接至所述低频时钟信号第二输入端, 所述第十二栅极与所述低频时钟信号第一输入端连接; 所述第十一漏极与第十二漏极连接至第九栅极。

[0141] 所述下拉单元 102 为一第十三薄膜晶体管 T41、所述第十三薄膜晶体管 T41 具有第十三栅极、第十三源极及第十三漏极;

[0142] 所述第十三栅极与所述第 $n+2$ 级信号输入端连接, 所述第十三漏极与所述低电平输入端连接, 所述第十三源极与所述第二栅极连接。

[0143] 可一并参考图 2, 其中, $t_1 \sim t_4$ 为 $G(n)$ 充电前的准备时间, $t_4 \sim t_5$ 为 $G(n)$ 的充电时间, t_5 后 $G(n)$ 被放电;

[0144] 具体地, t_1 时, $CK(n-3)$ 为高电位, $Q(n-3)$ 自举到高电位, 其中, $Q(n-3)$ 自举的高电位约为两倍 $G(n-2)$ 的高电位。 t_1 时 $G(n-2)$ 为低电位, $Q(n)$ 未充电, 则 $Q(n)$ 为低电位。

[0145] t_2 时, $CK(n-2)$ 的电位抬升, $G(n-2)$ 也抬升为高电位, $Q(n-3)$ 仍维持高的自举电位 (仍高于 $G(n-2)$ 的高电位), 第一薄膜晶体管 T11 接通并给 $Q(n)$ 充电, 则 $Q(n)$ 电位抬升。进一步地, $Q(n)$ 电位抬升后, 可第三薄膜晶体管 T52 和第八薄膜晶体管 T62 接通, 从而拉低 P、K 点电位以关闭第四薄膜晶体管 T32、第五薄膜晶体管 T42、第九薄膜晶体管 T33 和第十薄膜晶体管 T43, 使之不影响 $G(n)$ 后续充电。

[0146] t_3 时, $CK(n-3)$ 的电位开始下降, $Q(n-3)$ 的电位也下降, $G(n-2)$ 维持高电位, $Q(n)$ 电位基本保持不变。

[0147] t_4 时, $CK(n)$ 的电位开始抬升, 第二薄膜晶体管 T21 接通, $Q(n)$ 自举到更高电位并控制第二薄膜晶体管 T21 给 $G(n)$ 充电, $G(n)$ 电位抬升。

[0148] t_5 时, $CK(n)$ 电位开始下降, $Q(n)$ 电位并未立即被拉低, 第二薄膜晶体管 T21 在 t_5

后的短时间内仍保持导通,将 $G(n)$ 电位拉低。

[0149] 之后, $G(n+2)$ 电位抬升,第十三薄膜晶体管 T41 接通,以确保 $Q(n)$ 被拉至低电位;所述第三薄膜晶体管 T52 和第八薄膜晶体管 T62 在 $Q(n)$ 电位拉低后关闭,第四薄膜晶体管 T32 与第五薄膜晶体管 T42 的开关组合和第九薄膜晶体管 T33 与第十薄膜晶体管 T43 的开关组合可正常交替打开,以维持 $G(n)$ 和 $Q(n)$ 在非充电时期的低电位。

[0150] 在上述实施例中,对各个实施例的描述都各有侧重,某个实施例中未详述的部分,可以参见上文单级 GOA 电路的详细描述,此处不再赘述。

[0151] 可以理解的是,在本实施例中,所述 GOA 电路用一个峰值电压更高的 $Q(n-3)$ 信号来控制负责 GOA 电路的上、下级之间信号传递的第一薄膜晶体管 T11 的接通;即上级的 GOA 电路的输出可以用作下级驱动电路的输入,上级的 GOA 电路的输入为上一行上级的 GOA 电路的输出,从而使得 GOA 电路上、下级之间的信号传递受 TFT 元件阈值电压漂移的影响较现有的 GOA 电路更小,从而使 GOA 电路的输出受 TFT 元件阈值电压漂移的影响变小,提高 GOA 电路输出的稳定性。

[0152] 本发明的 GOA 电路可以利用平板显示面板的原有制程制备在显示面板的基板上,能替代外接 IC 来完成各级水平扫描线的驱动,尤其适合制作窄边框或无边框的平板显示产品。可一并参考图 4,图 4 为本发明提供的液晶显示装置的结构示意图。其中,显示基板(即显示区域 403)上方的 $x+c$ board 为显示基板提供驱动和控制讯号,402 区域为显示装置外壳,显示基板左边 401 区域和右边 404 区域制作 GOA 电路,可从左、右两个方向驱动显示区域 403 的水平扫描线。GOA 电路接受 $x+c$ board 的输入讯号并逐级产生水平扫描线的控制讯号,可以控制显示区域 403 中的 pixel 逐行打开。

[0153] 为了更好地理解本发明提供的 GOA 电路,以下将所述 GOA 电路与一现有的 GOA 电路进行对比分析:

[0154] 可一并参考图 5a 至图 5c 为本发明提供的 GOA 电路与一现有 GOA 电路的输出对比示意图;比如,一现有的 GOA 电路,其上拉控制单元 104 中第一薄膜晶体管 T11 的栅极的峰值电位约等于 $G(n-2)$ 的电位 $V_{G(n-2)}$, $Q(n)$ 可被第一薄膜晶体管 T11 充至的电位约等于 $V_{G(n-2)}-V_{th}$;其中,图 5a 为本发明的 GOA 电路和现有 GOA 电路在电路中 TFT 的阈值电压发生漂移前后的对比,其中虚线为 BTS 前的示意,实线为 BTS 后的示意,由图 5a 可以发现,在 BTS(bias temperature stress,偏压温度应力)后,TFT 的阈值电压 V_{th} 会发生右移。采集 BTS 前、后 TFT 的电性参数并将其进行模拟,可参考图 5b 和图 5c,由图 5b 可以发现现有 GOA 电路在其 TFT 阈值电压漂移后其输出 $Q(n)$ 和 $G(n)$ 的变化较大,由图 5c 可以发现本发明的 GOA 电路在其 TFT 阈值电压漂移后其输出 $Q(n)$ 和 $G(n)$ 的变化较小。

[0155] 综上所述,本发明 GOA 电路用一个峰值电压更高的 $Q(n-3)$ 信号来控制负责 GOA 电路的上、下级之间信号传递的第一薄膜晶体管 T11 的接通,使 GOA 电路上、下级之间的信号传递受 TFT 元件阈值电压漂移的影响较现有的 GOA 电路更小,从而使 GOA 电路的输出受 TFT 元件阈值电压漂移的影响变小,提高 GOA 电路输出的稳定性。并且,所述 GOA 电路可以利用平板显示面板的原有制程制备在显示面板的基板上,能替代外接 IC 来完成各级水平扫描线的驱动,简化显示面板的制作工序,降低成本,尤其适合制作窄边框或无边框的平板显示产品。

[0156] 在上述实施例中,对各个实施例的描述都各有侧重,某个实施例中未详述的部

分,可以参见上文相关的详细描述,此处不再赘述。

[0157] 本领域技术人员将认识到,本文所使用的词语“优选的”意指用作实例、示例或例证。奉文描述为“优选的”任意方面或设计不必被解释为比其他方面或设计更有利。相反,词语“优选的”的使用旨在以具体方式提出概念。如本申请中所使用的术语“或”旨在意指包含的“或”而非排除的“或”。即,除非另外指定或从上下文中清楚,“X 使用 101 或 102”意指自然包括排列的任意一个。即,如果 X 使用 101 ;X 使用 102 ;或 X 使用 101 和 102 二者,则“X 使用 101 或 102”在前述任一示例中得到满足。

[0158] 而且,尽管已经相对于一个或多个实现方式示出并描述了本公开,但是本领域技术人员基于对本说明书和附图的阅读和理解将会想到等价变型和修改。本公开包括所有这样的修改和变型,并且仅由所附权利要求的范围限制。特别地关于由上述组件(例如元件、资源等)执行的各种功能,用于描述这样的组件的术语旨在对应于执行所述组件的指定功能(例如其在功能上是等价的)的任意组件(除非另外指示),即使在结构上与执行本文所示的本公开的示范性实现方式中的功能的公开结构不等同。此外,尽管本公开的特定特征已经相对于若干实现方式中的仅一个被公开,但是这种特征可以与如可以对给定或特定应用而言是期望和有利的其他实现方式的一个或多个其他特征组合。而且,就术语“包括”、“具有”、“含有”或其变形被用在具体实施方式或权利要求中而言,这样的术语旨在以与术语“包含”相似的方式包括。

[0159] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

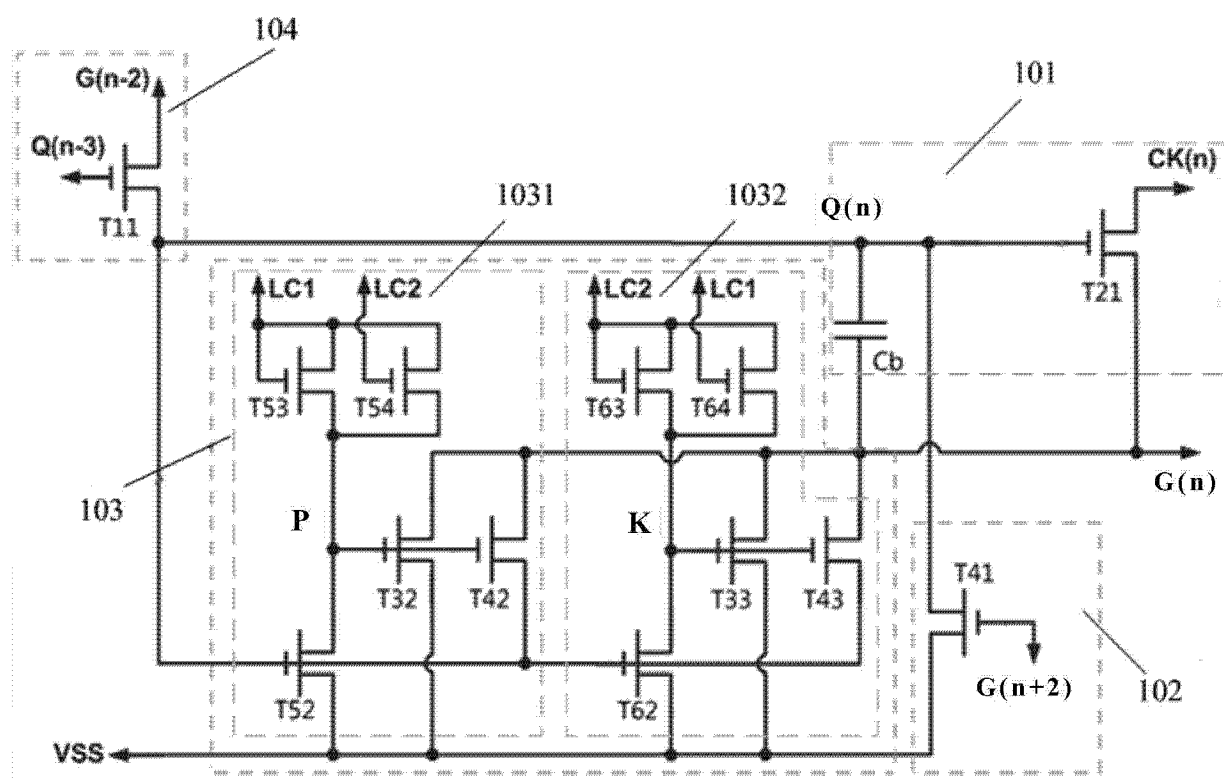


图 1

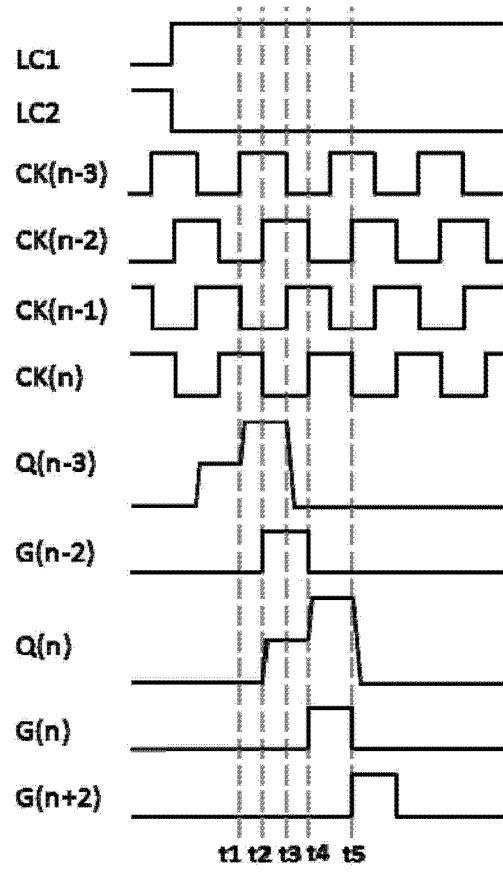


图 2

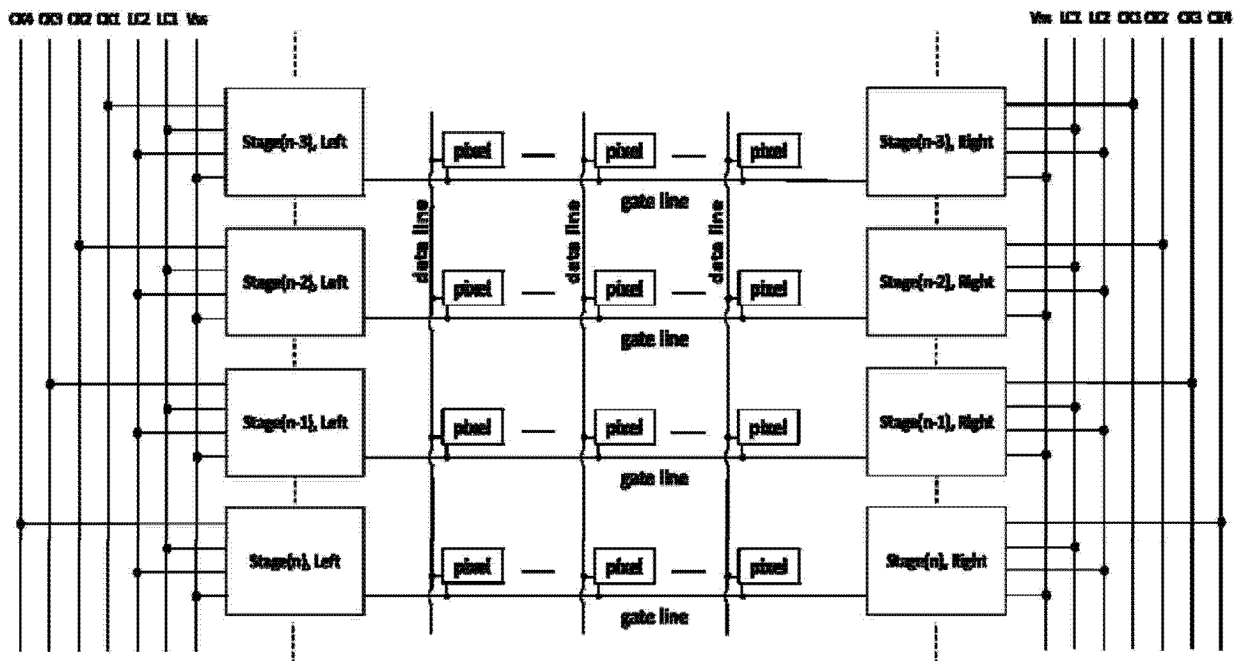


图 3

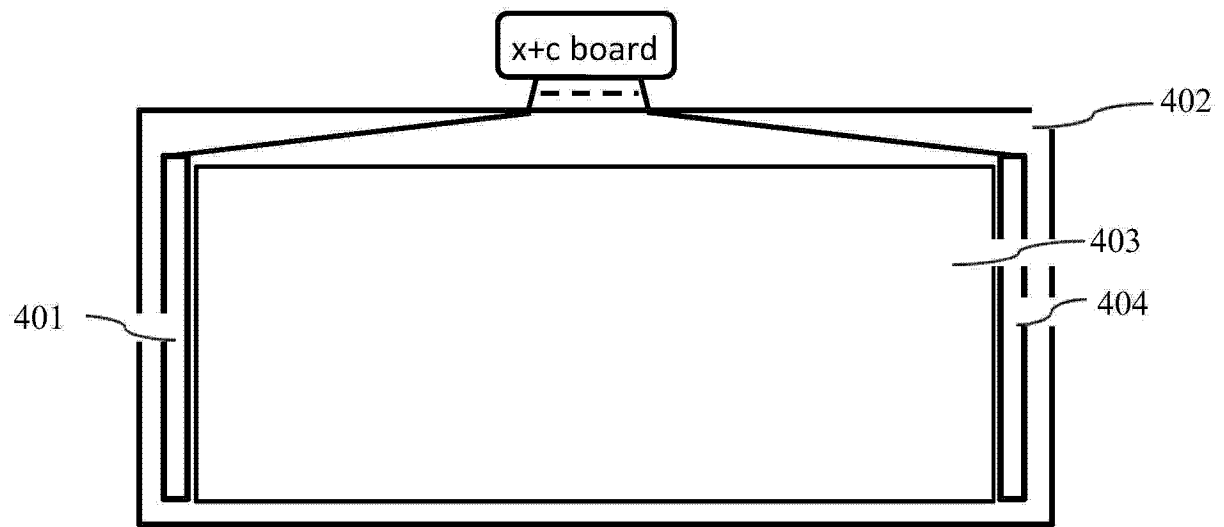


图 4

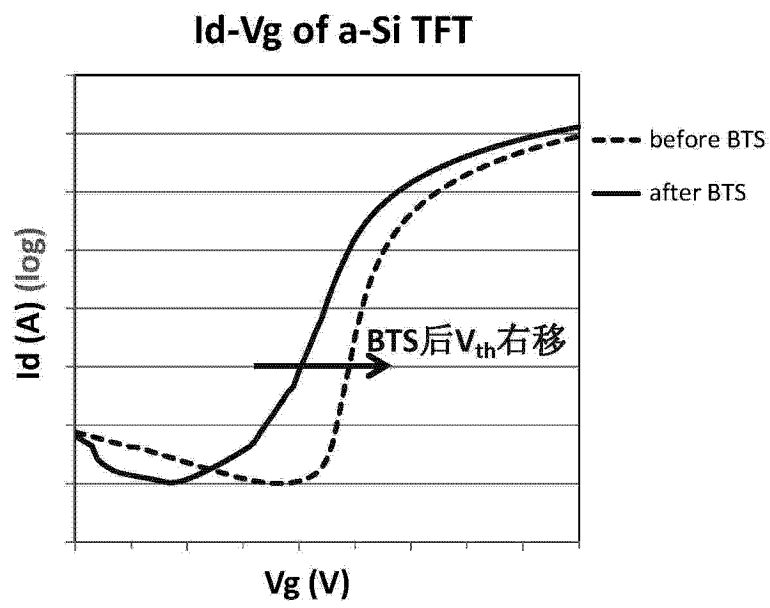


图 5a

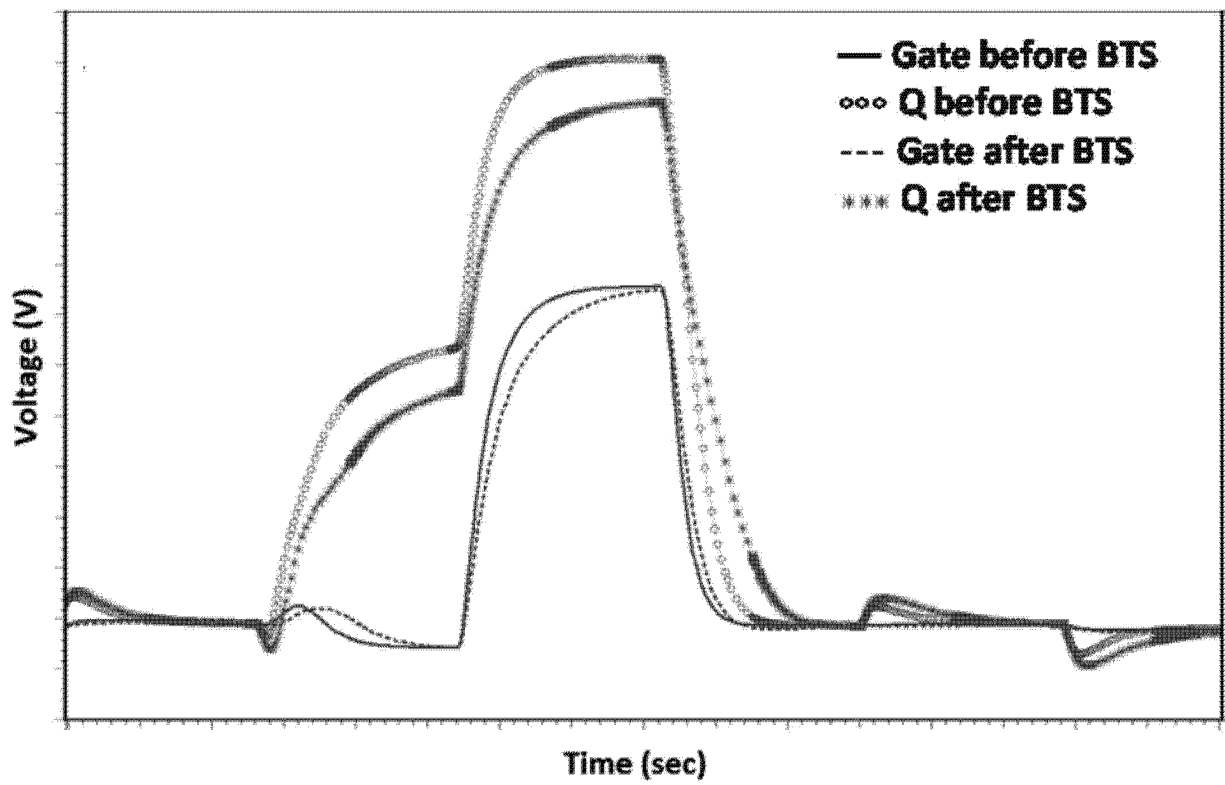


图 5b

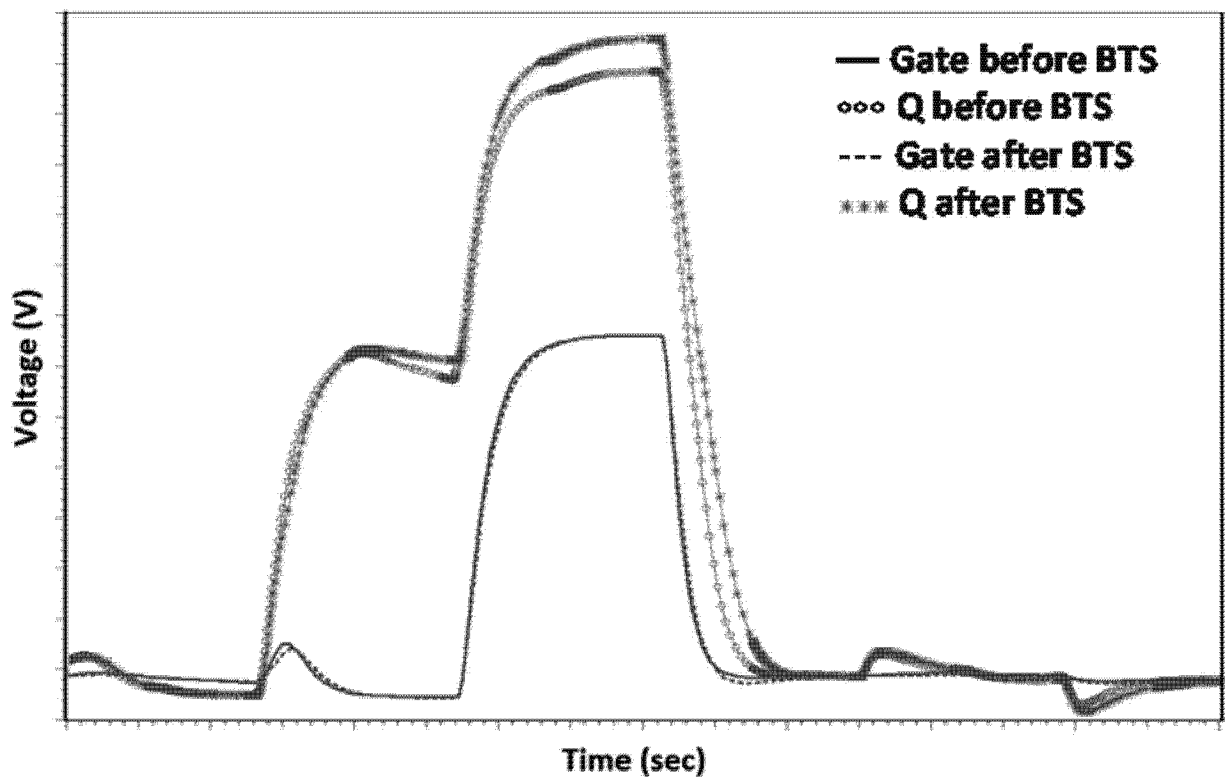


图 5c

本发明实施例公开了一种阵列基板行驱动电路及液晶显示装置，该阵列基板行驱动电路中的第n级阵列基板行驱动单元，包括第n-3级信号输入端、第n-2级信号输入端、第n+2级信号输入端、第一输出端、第二输出端、低电平输入端、高频时钟信号输入端以及上拉控制单元，上拉控制单元为一第一薄膜晶体管，分别与第n-2级信号输入端、第n-3级信号输入端以及第二输出端连接，其中，第n-3级信号输入端的信号的峰值电压为第n-2级信号输入端的信号的峰值电压的两倍。本发明避免GOA电路中TFT元件阈值电压漂移，从而提高GOA电路输出的稳定性。

