



(12) 发明专利申请

(10) 申请公布号 CN 103744206 A

(43) 申请公布日 2014. 04. 23

(21) 申请号 201310734794. X

(22) 申请日 2013. 12. 27

(71) 申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道 9-2 号

(72) 发明人 徐向阳

(74) 专利代理机构 深圳汇智容达专利商标事务所(普通合伙) 44238

代理人 潘中毅 熊贤卿

(51) Int. Cl.

G02F 1/133(2006. 01)

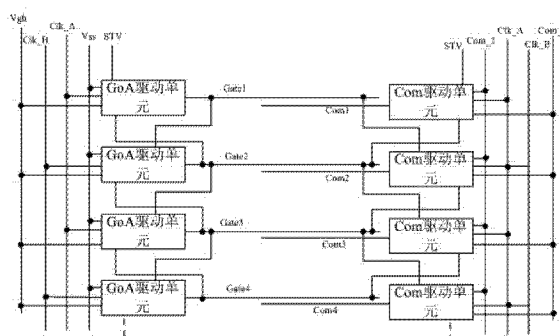
权利要求书3页 说明书8页 附图5页

(54) 发明名称

一种阵列基板驱动电路、阵列基板及相应的液晶显示器

(57) 摘要

本发明实施例公开了一种阵列基板驱动电路,包括多个用于驱动阵列基板的栅线的 GoA 驱动单元以及多个用于驱动公共电极线的 Com 驱动单元,其中,每一 GoA 驱动单元连接一条栅线,每一 Com 驱动单元连接一条公共电极线;其中,所述多个 GoA 驱动单元设置在所述阵列基板的一侧,所述 Com 驱动单元设置在所述阵列基板的另一侧;所述栅线上的栅线驱动信号与相邻的公共电极线上的 Com 驱动信号两者同步,但正负极性相反。本发明实施例相应公开了一种阵列基板以及液晶显示器。实施本发明实施例,可以消除馈通电压对画质的影响,提高了 TFT 阵列基板的显示质量。



1. 一种阵列基板驱动电路,其特征在于,包括多个用于驱动阵列基板的栅线的 GoA 驱动单元以及多个用于驱动公共电极线的 Com 驱动单元,其中,每一 GoA 驱动单元连接一条栅线,每一 Com 驱动单元连接一条公共电极线;

其中,所述多个 GoA 驱动单元设置在所述阵列基板的一侧,所述 Com 驱动单元设置在所述阵列基板的另一侧;

所述每一 GoA 驱动单元均具有第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级 GoA 驱动单元的输出端相连,所述第二驱动信号输入端与下级 GoA 驱动单元的输出端相连,与所述 GoA 驱动单元连接的栅线连接在所述输出端上;

所述每一 Com 驱动单元均第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级 GoA 驱动单元的输出端相连,所述第二驱动信号输入端与下级 GoA 驱动单元的输出端相连,与所述 Com 驱动单元连接的公共电极线连接在所述输出端上;

所述栅线上的栅线驱动信号与相邻的公共电极线上的 Com 驱动信号两者同步,但正负极性相反。

2. 根据权利要求 1 所述的阵列基板驱动电路,其特征在于,每一 GoA 驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管和储存电容,其中:

第一薄膜晶体管的源极和栅极均与上级 GoA 驱动单元的信号输出端相连接,其漏极分别与第二薄膜晶体管的栅极、储存电容的第一端、第三薄膜晶体管的漏极相连接;

第五薄膜晶体管的栅极与时钟信号输出端相连接,其源极与高电位输入线相连接;

第二薄膜晶体管的源极与第五薄膜晶体管的漏极相连接,其栅极与储存电容的第一端相连接,其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接;

第三薄膜晶体管的源极与储存电容的第一端连接,其栅极连接下级 GoA 驱动单元的信号输出端,其源极接低电位输入线或接地;

第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连,其栅极连接下级 GoA 驱动单元的信号输出端,其漏极接低电位输入线或接地。

3. 根据权利要求 2 所述的阵列基板驱动电路,其特征在于,每一 Com 驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管和储存电容,其中:

第一薄膜晶体管的源极和栅极均与上级 GoA 驱动单元的信号输出端相连接,其漏极分别与第二薄膜晶体管的栅极、储存电容的第一端、第三薄膜晶体管的漏极相连接;

第五薄膜晶体管的栅极与时钟信号输出端相连接,其源极与第一基准公共电极信号输入线相连接;

第二薄膜晶体管的源极与第五薄膜晶体管的漏极相连接,其栅极与储存电容的第一端相连接,其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接;

第三薄膜晶体管的源极与储存电容的第一端连接,其栅极连接下级 GoA 驱动单元的信号输出端,其源极接第二基准公共电极信号线;

第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连,其栅极连接下级

GoA 驱动单元的信号输出端,其漏极接第二基准公共电极信号线。

4. 如权利要求 3 所述阵列基板驱动电路,其特征在于,

奇数行的各栅线所连接的各 GoA 驱动单元所连接的时钟信号输出端为第一时钟信号的输出端,偶数行的各栅线所连接的各 GoA 驱动单元所连接的信号输出端为第二时钟信号的输出端;

奇数行的各公共电极线所连接的各 Com 驱动单元所连接的时钟信号输出端为第一时钟信号的输出端,偶数行的各公共电极线所连接的各 Com 驱动单元所连接的时钟信号输出端为第二时钟信号的输出端;

所述第一时钟信号与所述第二时钟信号周期长度相同,相位相差半个周期。

5. 根据权利要求 1-4 任一项所述的阵列基板驱动电路,其特征在于,位于最前端的 GoA 驱动单元和 Com 驱动单元的第一驱动信号输入端均连接有一扫描触发信号线,用于触发所述位于最前端的 GoA 驱动单元和 Com 驱动单元开始工作。

6. 一种液晶显示器的阵列基板,包括由栅线和数据线限定的多个像素单元,每个像素单元内形成薄膜晶体管和像素电极;进一步包括有用于驱动所述栅线的阵列基板驱动电路,其特征在于,所述驱动电路包括多个用于驱动阵列基板的栅线的 GoA 驱动单元以及多个用于驱动公共电极线的 Com 驱动单元,其中,每一 GoA 驱动单元连接一条栅线,每一 Com 驱动单元连接一条公共电极线;

所述多个 GoA 驱动单元设置在所述阵列基板的一侧,所述 Com 驱动单元设置在所述阵列基板的另一侧;

所述每一 GoA 驱动单元均具有第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级 GoA 驱动单元的输出端相连,所述第二驱动信号输入端与下级 GoA 驱动单元的输出端相连,与所述 GoA 驱动单元连接的栅线连接在所述输出端上;

所述每一 Com 驱动单元均第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级 GoA 驱动单元的输出端相连,所述第二驱动信号输入端与下级 GoA 驱动单元的输出端相连,与所述 Com 驱动单元连接的公共电极线连接在所述输出端上;

所述栅线上的栅线驱动信号与相邻的公共电极线上的 Com 驱动信号两者同步,但正负极性相反。

7. 根据权利要求 6 所述的液晶显示器的阵列基板,其特征在于,每一 GoA 驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管和储存电容,其中:

第一薄膜晶体管的源极和栅极均与上级 GoA 驱动单元的信号输出端相连接,其漏极分别与第二薄膜晶体管的栅极、储存电容的第一端、第三薄膜晶体管的漏极相连接;

第五薄膜晶体管的栅极与时钟信号输出端相连接,其源极与高电位输入线相连接;

第二薄膜晶体管的源极与第五薄膜晶体管的漏极相连接,其栅极与储存电容的第一端相连接,其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接;

第三薄膜晶体管的源极与储存电容的第一端连接,其栅极连接下级 GoA 驱动单元的信号输出端,其源极接低电位输入线或接地;

第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连,其栅极连接下级 GoA 驱动单元的信号输出端,其漏极接低电位输入线或接地。

8. 根据权利要求 7 所述的液晶显示器的阵列基板,其特征在于,每一 Com 驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管和储存电容,其中:

第一薄膜晶体管的源极和栅极均与上级 GoA 驱动单元的信号输出端相连接,其漏极分别与第二薄膜晶体管的栅极、储存电容的第一端、第三薄膜晶体管的漏极相连接;

第五薄膜晶体管的栅极与时钟信号输出端相连接,其源极与第一基准公共电极信号输入线相连接;

第二薄膜晶体管的源极与第五薄膜晶体管的漏极相连接,其栅极与储存电容的第一端相连接,其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接;

第三薄膜晶体管的源极与储存电容的第一端连接,其栅极连接下级 GoA 驱动单元的信号输出端,其源极接第二基准公共电极信号线;

第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连,其栅极连接下级 GoA 驱动单元的信号输出端,其漏极接第二基准公共电极信号线。

9. 根据权利要求 7 所述的液晶显示器的阵列基板,其特征在于,

奇数行的各栅线所连接的各 GoA 驱动单元所连接的时钟信号输出端为第一时钟信号的输出端,偶数行的各栅线所连接的各 GoA 驱动单元所连接的信号输出端为第二时钟信号的输出端;

奇数行的各公共电极线所连接的各 Com 驱动单元所连接的时钟信号输出端为第一时钟信号的输出端,偶数行的各公共电极线所连接的各 Com 驱动单元所连接的时钟信号输出端为第二时钟信号的输出端;

所述第一时钟信号与所述第二时钟信号周期长度相同,相位相差半个周期。

10. 根据权利要求 6 至 9 任一项所述的液晶显示器的阵列基板,其特征在于,位于最前端的 GoA 驱动单元和 Com 驱动单元的第一驱动信号输入端均连接有一扫描触发信号线,用于触发所述位于最前端的 GoA 驱动单元和 Com 驱动单元开始工作。

11. 一种液晶显示器,包括:

阵列基板;

彩色滤光片基板,与所述阵列基板相对;以及

液晶层,配置于所述阵列基板与所述彩色滤光片基板之间;

其特征在于,所述阵列基板为如权利要求 6-10 任一项所述的阵列基板。

一种阵列基板驱动电路、阵列基板及相应的液晶显示器

技术领域

[0001] 本发明涉及薄膜晶体管液晶显示器(Thin Film Transistor liquid crystal display, TFT-LCD)领域,特别涉及一种阵列基板驱动电路、阵列基板及相应的液晶显示器。

背景技术

[0002] 现有技术中,通常采用 TFT (Thin Film Transistor, 薄膜场效应晶体管) 来设置 GoA (Gate Driver on Array, 阵列基板栅驱动) 电路,二阶驱动是 GoA 电路的一种常见驱动方式。如图 1 及图 2 所示,示出了现有的一种单边驱动 GOA 级联电路示意图。在现有的这种级联电路中,通过两条时钟信号 Clk_A 和 Clk_B 分别为不同的 GoA 驱动单元提供时钟信号,通过排列成纵列的 GoA 单元为 TFT 阵列基板提供栅线驱动(gate driver)信号。这种二阶驱动方式下,栅线驱动信号的输出电压仅有两种数值,一种为打开电压,一种为关闭电压。栅线驱动信号的电压变化会产生馈通(feed through)电压。馈通电压的成因主要是因为面板上其他电压的变化,经由寄生电容或是存储电容,影响到显示电极电压的正确性。在液晶显示面板上主要的电压变化来源有 3 个,分别是栅线驱动信号的电压变化,源极(source)驱动信号的电压变化以及公共电极(common)信号的电压变化。其中影响最大的就是栅线驱动信号的电压变化以及公共电极信号的电压变化,而在公共电极信号的电压固定不动的结构下,造成馈通电压的主因就只有栅线驱动信号的电压变化了。

[0003] 图 3 为现有技术中通过公共电极线形成存储电容(Cs on common)的架构且公共电极电压固定不动的电压波形图。经 Cgd 的馈通电压 = $(Vg_high - Vg_low) * Cgd / (Cgd + Clc + Cs)$; Vg_high 与 Vg_low 分别为栅线驱动走线打开与关闭的电压。Cgd、Clc 和 Cs 分别为 TFT 寄生电容,液晶电容和存储电容,由于馈通电压主要为 TFT 关闭时栅极电压的变化通过寄生电容 Cgd 对像素电压的拉低,无论像素极型为正负,馈通电压都是对像素电压负向拉动,因此通过对公共电极电压补偿的方法可以减小馈通电压的影响,但由于 Clc 并非是一个固定的参数,导致通过调整公共电极电压以便改进影像品质的目的不易达成。

发明内容

[0004] 本发明所要解决的技术问题在于提出一种阵列基板驱动电路、阵列基板及相应的液晶显示器。可以消除馈通电压对画质影响以及降低面板生产成本。

[0005] 为了解决上述技术问题,本发明实施例的一方面提供了一种阵列基板驱动电路,包括多个用于驱动阵列基板的栅线的 GoA 驱动单元以及多个用于驱动公共电极线的 Com 驱动单元,其中,每一 GoA 驱动单元连接一条栅线,每一 Com 驱动单元连接一条公共电极线;

其中,所述多个 GoA 驱动单元设置在所述阵列基板的一侧,所述 Com 驱动单元设置在所述阵列基板的另一侧;

所述每一 GoA 驱动单元均具有第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级 GoA 驱动单元的输出端相连,所述第二驱动信号输入端与下级 GoA 驱动单元的输出端相连,与所述 GoA 驱动单元连接的栅线连接在所述输出

端上；

所述每一 Com 驱动单元均第一驱动信号输入端、第二驱动信号输入端以及一个输出端，所述第一驱动信号输入端与上级 GoA 驱动单元的输出端相连，所述第二驱动信号输入端与下级 GoA 驱动单元的输出端相连，与所述 Com 驱动单元连接的公共电极线连接在所述输出端上；

所述栅线上的栅线驱动信号与相邻的公共电极线上的 Com 驱动信号两者同步，但正负极性相反。

[0006] 其中，每一 GoA 驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管和储存电容，其中：

第一薄膜晶体管的源极和栅极均与上级 GoA 驱动单元的信号输出端相连接，其漏极分别与第二薄膜晶体管的栅极、储存电容的第一端、第三薄膜晶体管的漏极相连接；

第五薄膜晶体管的栅极与时钟信号输出端相连接，其源极与高电位输入线相连接；

第二薄膜晶体管的源极与第五薄膜晶体管的漏极相连接，其栅极与储存电容的第一端相连接，其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接；

第三薄膜晶体管的源极与储存电容的第一端连接，其栅极连接下级 GoA 驱动单元的信号输出端，其源极接低电位输入线或接地；

第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连，其栅极连接下级 GoA 驱动单元的信号输出端，其漏极接低电位输入线或接地。

[0007] 其中，每一 Com 驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管和储存电容，其中：

第一薄膜晶体管的源极和栅极均与上级 GoA 驱动单元的信号输出端相连接，其漏极分别与第二薄膜晶体管的栅极、储存电容的第一端、第三薄膜晶体管的漏极相连接；

第五薄膜晶体管的栅极与时钟信号输出端相连接，其源极与第一基准公共电极信号输入线相连接；

第二薄膜晶体管的源极与第五薄膜晶体管的漏极相连接，其栅极与储存电容的第一端相连接，其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接；

第三薄膜晶体管的源极与储存电容的第一端连接，其栅极连接下级 GoA 驱动单元的信号输出端，其源极接第二基准公共电极信号线；

第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连，其栅极连接下级 GoA 驱动单元的信号输出端，其漏极接第二基准公共电极信号线。

[0008] 其中，奇数行的各栅线所连接的各 GoA 驱动单元所连接的时钟信号输出端为第一时钟信号的输出端，偶数行的各栅线所连接的各 GoA 驱动单元所连接的信号输出端为第二时钟信号的输出端；

奇数行的各公共电极线所连接的各 Com 驱动单元所连接的时钟信号输出端为第一时钟信号的输出端，偶数行的各公共电极线所连接的各 Com 驱动单元所连接的时钟信号输出端为第二时钟信号的输出端；

所述第一时钟信号与所述第二时钟信号周期长度相同，相位相差半个周期。

[0009] 其中，位于最前端的 GoA 驱动单元和 Com 驱动单元的第一驱动信号输入端均连接有一扫描触发信号线，用于触发所述位于最前端的 GoA 驱动单元和 Com 驱动单元开始工作。

[0010] 相应地,本发明实施例的另一方面还提供了一种液晶显示器的阵列基板,包括由栅线 and 数据线限定的多个像素单元,每个像素单元内形成薄膜晶体管和像素电极;进一步包括有用于驱动所述栅线的阵列基板驱动电路,所述驱动电路包括多个用于驱动阵列基板的栅线的 GoA 驱动单元以及多个用于驱动公共电极线的 Com 驱动单元,其中,每一 GoA 驱动单元连接一条栅线,每一 Com 驱动单元连接一条公共电极线;

所述多个 GoA 驱动单元设置在所述阵列基板的一侧,所述 Com 驱动单元设置在所述阵列基板的另一侧;

所述每一 GoA 驱动单元均具有第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级 GoA 驱动单元的输出端相连,所述第二驱动信号输入端与下级 GoA 驱动单元的输出端相连,与所述 GoA 驱动单元连接的栅线连接在所述输出端上;

所述每一 Com 驱动单元均第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级 GoA 驱动单元的输出端相连,所述第二驱动信号输入端与下级 GoA 驱动单元的输出端相连,与所述 Com 驱动单元连接的公共电极线连接在所述输出端上;

所述栅线上的栅线驱动信号与相邻的公共电极线上的 Com 驱动信号两者同步,但正负极性相反。

[0011] 其中,每一 GoA 驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管和储存电容,其中:

第一薄膜晶体管的源极和栅极均与上级 GoA 驱动单元的信号输出端相连接,其漏极分别与第二薄膜晶体管的栅极、储存电容的第一端、第三薄膜晶体管的漏极相连接;

第五薄膜晶体管的栅极与时钟信号输出端相连接,其源极与高电位输入线相连接;

第二薄膜晶体管的源极与第五薄膜晶体管的漏极相连接,其栅极与储存电容的第一端相连接,其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接;

第三薄膜晶体管的源极与储存电容的第一端连接,其栅极连接下级 GoA 驱动单元的信号输出端,其源极接低电位输入线或接地;

第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连,其栅极连接下级 GoA 驱动单元的信号输出端,其漏极接低电位输入线或接地。

[0012] 其中,每一 Com 驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管和储存电容,其中:

第一薄膜晶体管的源极和栅极均与上级 GoA 驱动单元的信号输出端相连接,其漏极分别与第二薄膜晶体管的栅极、储存电容的第一端、第三薄膜晶体管的漏极相连接;

第五薄膜晶体管的栅极与时钟信号输出端相连接,其源极与第一基准公共电极信号输入线相连接;

第二薄膜晶体管的源极与第五薄膜晶体管的漏极相连接,其栅极与储存电容的第一端相连接,其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接;

第三薄膜晶体管的源极与储存电容的第一端连接,其栅极连接下级 GoA 驱动单元的信号输出端,其源极接第二基准公共电极信号线;

第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连,其栅极连接下级

GoA 驱动单元的信号输出端,其漏极接第二基准公共电极信号线。

[0013] 其中,奇数行的各栅线所连接的各 GoA 驱动单元所连接的时钟信号输出端为第一时钟信号的输出端,偶数行的各栅线所连接的各 GoA 驱动单元所连接的信号输出端为第二时钟信号的输出端;

奇数行的各公共电极线所连接的各 Com 驱动单元所连接的时钟信号输出端为第一时钟信号的输出端,偶数行的各公共电极线所连接的各 Com 驱动单元所连接的时钟信号输出端为第二时钟信号的输出端;

所述第一时钟信号与所述第二时钟信号周期长度相同,相位相差半个周期。

[0014] 其中,位于最前端的 GoA 驱动单元和 Com 驱动单元的第一驱动信号输入端均连接有一扫描触发信号线,用于触发所述位于最前端的 GoA 驱动单元和 Com 驱动单元开始工作。

[0015] 相应地,本发明实施例的再一方面,还提供一种液晶显示器,包括:

阵列基板;

彩色滤光片基板,与所述阵列基板相对;以及

液晶层,配置于所述阵列基板与所述彩色滤光片基板之间;

所述阵列基板为前述的阵列基板。

[0016] 实施本发明实施例,具有如下有益效果:

本发明实施例中,本发明实施例中,通过采用双边驱动的 GOA 驱动单元以及 Com 驱动单元,可以使 Com 驱动单元所产生的 Com 驱动信号与栅线驱动信号同步,且两者极性相反,从而抵消栅线驱动信号对像素电压的负向拉动效应,消除馈通电压的影响,从而改进影像品质。同时,通过双边驱动的不对称设置有利于实现窄边框,同时降低液晶显示器面板的生产成本。

附图说明

[0017] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0018] 图 1 是现有技术中单边驱动 GOA 级联电路图;

图 2 是现有技术中一种 GOA 驱动单元的电路原理图;

图 3 是图 1 中的电压波形图;

图 4 是本发明提供的阵列基板驱动电路一个实施例的结构示意图;

图 5 是图 4 中 GoA 驱动单元的一个实施例的电路原理图;

图 6 是图 4 中 Com 驱动单元的一个实施例的电路原理图;

图 7 是图 4 中 GoA 驱动单元的驱动时序图;

图 8 图 4 中 GoA 驱动单元与 Com 驱动单元的驱动时序关系示意图;

图 9 是本发明提供的阵列基板驱动电路一个实施例的电压波形图。

具体实施方式

[0019] 以下各实施例的说明是参考附图,用以式例本发明可以用以实施的特定实施例。

本发明所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。

[0020] 下面参考附图对本发明的优选实施例进行描述。

[0021] 如图 4 所示,为本发明阵列基板驱动电路的一个实施例的结构示意图;在该实施例中,该阵列基板驱动电路,包括多个用于驱动阵列基板的栅线的 GoA 驱动单元以及多个用于驱动公共电极线的 Com 驱动单元,其中,每一 GoA 驱动单元连接一条栅线,每一 Com 驱动单元连接一条公共电极线;

其中,所述多个 GoA 驱动单元设置在所述阵列基板的一侧,所述 Com 驱动单元设置在所述阵列基板的另一侧;

所述每一 GoA 驱动单元均具有第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级 GoA 驱动单元的输出端相连,所述第二驱动信号输入端与下级 GoA 驱动单元的输出端相连,与所述 GoA 驱动单元连接的栅线连接在所述输出端上;

所述每一 Com 驱动单元均第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级 GoA 驱动单元的输出端相连,所述第二驱动信号输入端与下级 GoA 驱动单元的输出端相连,与所述 Com 驱动单元连接的公共电极线连接在所述输出端上;

所述栅线上的栅线驱动信号与相邻的公共电极线上的 Com 驱动信号两者同步,但正负极性相反。

[0022] 其中,位于最前端的 GoA 驱动单元的第一驱动信号输入端和 Com 驱动单元的第一驱动信号输入端均连接有一扫描触发信号线(STV),用于触发所述位于最前端的 GoA 驱动单元和 Com 驱动单元开始工作。

[0023] 为了便于电路走线,其中,奇数行的各栅线所连接的各 GoA 驱动单元所连接的时钟信号输出端为第一时钟信号的输出端 Clk_A,偶数行的各栅线所连接的各 GoA 驱动单元所连接的信号输出端为第二时钟信号的输出端 Clk_B;

奇数行的各公共电极线所连接的各 Com 驱动单元所连接的时钟信号输出端为第一时钟信号的输出端 Clk_A,偶数行的各公共电极线所连接的各 Com 驱动单元所连接的时钟信号输出端为第二时钟信号的输出端 Clk_B;

所述第一时钟信号与所述第二时钟信号周期长度相同,相位相差半个周期。

[0024] 即当第一时钟信号处于高电平时,则所述第二时钟信号处于低电平,反之,当所述第一时钟信号处于低电平时,则所述第二时钟信号处于高电平。

[0025] 另外,在设置有 GoA 驱动单元一侧还分别设置有一低电位输入线(Vss)以及一高电位输入线(Vgh),分别和各 GoA 驱动单元相连接,可以理解的是,在其他的实施例中,该低电位输入线可以采用直接接地的方式进行替换;

而在设置有 Com 驱动单元一侧还分别设置有第一基准公共电极信号线(Com_A)以及第二基准公共电极信号线(Com_B),分别和各 Com 驱动单元相连接。

[0026] 如图 5 所示,示出了本发明图 4 中 GoA 驱动单元的一个实施例的电路原理图;一并结合图 7 中示出的时序关系图。在本实施例中,GoA 驱动单元采用 5T1C 的方式设置,其中,

每一 GoA 驱动单元包括第一薄膜晶体管 TFT1、第二薄膜晶体管 TFT2、第三薄膜晶体管 TFT3、第四薄膜晶体管 TFT4、第五薄膜晶体管 TFT5 和储存电容 Cb, 其中:

第一薄膜晶体管 TFT1 的源极和栅极作为第一驱动信号输入端, 均与上级 GoA 驱动单元的信号输出端 N-1 相连接, 其漏极分别与第二薄膜晶体管 TFT2 的栅极、储存电容 Cb 的第一端、第三薄膜晶体管 TFT3 的漏极相连接;

第五薄膜晶体管 TFT5 的栅极与时钟信号输出端 Clk 相连接, 其源极与高电位输入线 Vgh 相连接, 其中, 若该 GoA 驱动单元处于奇数行, 则 TFT5 的栅极连接 Clk_A, 若该 GoA 驱动单元处于偶数行, 则 TFT5 的栅极连接 Clk_B, 依次类推;

第二薄膜晶体管 TFT2 的源极与第五薄膜晶体管 TFT5 的漏极相连接, 其栅极与储存电容的第一端相连接, 其漏极与本级信号输出端 N、第四薄膜晶体管 TFT4 的源极、储存电容 Cb 的第二端相连接;

第三薄膜晶体管 TFT3 的源极与储存电容 Cb 的第一端连接, 其栅极作为第二驱动信号输入端, 连接下级 GoA 驱动单元的信号输出端 N+1, 其源极接低电位输入线 (Vss) 或接地;

第四薄膜晶体管 TFT4 的源极与本级信号输出端 N 与储存电容 Cb 的第二端相连, 其栅线连接下级 GoA 驱动单元的信号输出端 N+1, 其漏极接低电位输入线 (Vss) 或接地。

[0027] 下述将描述图 5 中的 GoA 驱动单元的电路的工作原理, 为便于理解, 可一并结合图 7 中的时序图, 其工作原理如下:

在第 N-1 周期 (为上级 GoA 驱动单元的工作周期) 时, 上级 GoA 驱动单元的信号输出端 N-1 端输入信号为高电平, Clk 信号为低电平, Vgh 为高电平, 下级 GoA 驱动单元的信号输出端 N+1 端输入信号为低电平, 此时第一薄膜晶体管 TFT1 和第二薄膜晶体管 TFT2 导通, 第三薄膜晶体管 TFT3、第四薄膜晶体管 TFT4 和第五薄膜晶体管截止, 第一薄膜晶体管 TFT1 的输出信号为高电平, 储存电容 Cd 在第一薄膜晶体管 TFT1 的输出信号 (高电平信号) 的驱动下充电, 本级信号输出端 N 输出低电平信号;

在第 N 周期 (为本级 GoA 驱动单元的工作周期) 时, 上级 GoA 驱动单元的信号输出端 N-1 端输入信号为低电平, Clk 信号为高电平, Vgh 为高电平, 下级 GoA 驱动单元的信号输出端 N+1 信号为低电平, 此时第一薄膜晶体管 TFT1、第三薄膜晶体管 TFT3 和第四薄膜晶体管 TFT4 截止, 第二薄膜晶体管 TFT2、第五薄膜晶体管 TFT5 导通, 并在本级信号输出端 N 输出高电平信号;

在第 N+1 周期 (为下级 GoA 电路的工作周期) 时, 上级 GoA 驱动单元的信号输出端 N-1 为低电平, Clk 信号为低电平, Vgh 为高电平, 下级 GoA 驱动单元的信号输出端 N+1 信号为高电平, 此时第三薄膜晶体管 TFT3 和第四薄膜晶体管 TFT4 导通, 第一薄膜晶体管 TFT1、第二薄膜晶体管 TFT2 截止和第五薄膜晶体管 TFT5 截止; 第三薄膜晶体管 TFT3 导通后使得电容 Cd 接低电位 / 地并放电, 第四薄膜晶体管 TFT4 导通后使得本级信号输出端 N 接低电位 / 接地并放电。

[0028] 这样就实现了位于阵列基板的一侧的 GoA 驱动单元驱动奇偶行的各栅线, 使所述各栅线逐行进行启动。

[0029] 可以理解的是, 上述图 4 示出了一种由五个 TFT 晶体管以及一个储存电容 (即 5T1C) 的驱动电路的原理图, 在其他的实施例中, 可以采用其他的数量的 TFT 晶体管进行替换, 例如可以采用 4 个 TFT 晶体管驱动的驱动电路。

[0030] 如图 6 所示,示出了本发明图 4 中 Com 驱动单元的一个实施例的电路原理图;一并结合图 8 中示出的时序关系图。在本实施例中,Com 驱动单元同样采用 5T1C 的方式设置,其中,每一 Com 驱动单元包括第一薄膜晶体管 TFT1、第二薄膜晶体管 TFT2、第三薄膜晶体管 TFT3、第四薄膜晶体管 TFT4、第五薄膜晶体管 TFT5 和储存电容 Cb,其中:

第一薄膜晶体管 TFT1 的源极和栅极作为第一驱动信号输入端,均与上级 GoA 驱动单元的信号输出端 N-1 相连接,其漏极分别与第二薄膜晶体管 TFT2 的栅极、储存电容 Cb 的第一端、第三薄膜晶体管 TFT3 的漏极相连接;

第五薄膜晶体管 TFT5 的栅极与时钟信号输出端 Clk 相连接,其源极与第一基准公共电极信号输入线 Com_A 相连接,其中,若该 GoA 驱动单元处于奇数行,则 TFT5 的栅极连接 Clk_A,若该 GoA 驱动单元处于偶数行,则 TFT5 的栅极连接 Clk_B,依次类推;

第二薄膜晶体管 TFT2 的源极与第五薄膜晶体管 TFT5 的漏极相连接,其栅极与储存电容 Cb 的第一端相连接,其漏极与本级信号输出端 N、第四薄膜晶体管 TFT4 的源极、储存电容 Cb 的第二端相连接;

第三薄膜晶体管 TFT3 的源极与储存电容 Cb 的第一端连接,其栅极作为第二驱动信号输入端,连接下级 GoA 驱动单元的信号输出端 N+1,其源极接第二基准公共电极信号输入线 Com_B;

第四薄膜晶体管 TFT4 的源极与本级信号输出端 N 与储存电容 Cb 的第二端相连,其栅线连接下级 GoA 驱动单元的信号输出端 N+1,其漏极接第二基准公共电极信号输入线 Com_B。

[0031] 从中可以看出,本发明实施例中的 Com 驱动单元的电路原理图与 GoA 驱动单元的电路原理图基本相同,只是将 GoA 驱动单元中所连接的高电位输入线 Vgh 和低电位输入线 Vss 替换为了第一基准公共电极信号输入线 Com_A 和第二基准公共电极信号输入线 Com_B。其工作原理与 GoA 驱动单元类似,故只需选择或调整第一基准公共电极信号输入线 Com_A 和第二基准公共电极信号输入线 Com_B 的输入的电平,即可以调整 Com 驱动单元所输出的 Com 驱动信号的周期以及时序。如图 8 所示,本发明实施例中,公共电极线上的 Com 驱动信号与相邻的栅线上的栅线驱动信号的两者同步(周期相同),但正负极性相反,且 Com 驱动信号的电平最大值与电平最小值之间的差值要比栅线驱动信号的电平最大值与电平最小值之间的差值小。

[0032] 如图 9 所示,是本发明提供的阵列基板驱动电路一个实施例的电压波形图。从中可以看出,本发明实施例中,通过采用双边驱动的 GOA 驱动单元以及 Com 驱动单元,可以使 Com 驱动单元所产生的 Com 驱动信号与栅线驱动信号同步,且两者极性相反,从而抵消栅线驱动信号对像素电压的负向拉动效应,消除馈通电压的影响,从而改进影像品质。

[0033] 相应地,本发明实施还提供了一种液晶显示器的阵列基板,包括由栅线和数据线限定的多个像素单元,每个像素单元内形成薄膜晶体管和像素电极;进一步包括有用于驱动所述栅线的阵列基板驱动电路,所述驱动电路采用如图 4 至图 6 所揭露的驱动电路,更多的细节可以参考前述对图 4-图 9 的描述,在此不进行赘述。

[0034] 相应地,本发明的实施例还提供了一种液晶显示器,包括:阵列基板;彩色滤光片基板,与所述阵列基板相对;以及液晶层,配置于所述阵列基板与所述彩色滤光片基板之间;其中,阵列基板为前述采用如图 4 至图 6 所揭露的驱动电路,更多的细节可以参考前述

对图 4- 图 9 的描述,在此不进行赘述。

[0035] 实施本发明实施例,具有如下有益效果:

本发明实施例中,本发明实施例中,通过采用双边驱动的 GOA 驱动单元以及 Com 驱动单元,可以使 Com 驱动单元所产生的 Com 驱动信号与栅线驱动信号同步,且两者极性相反,从而抵消栅线驱动信号对像素电压的负向拉动效应,消除馈通电压的影响,从而改进影像品质。

[0036] 同时,通过将 GOA 驱动单元以及 Com 驱动单元不对称设置于阵列基板的两则,有利于实现窄边框,同时降低液晶显示器面板的生产成本。

[0037] 以上所揭露的仅为本发明较佳实施例而已,当然不能以此来限定本发明之权利范围,因此依本发明权利要求所作的等同变化,仍属本发明所涵盖的范围。

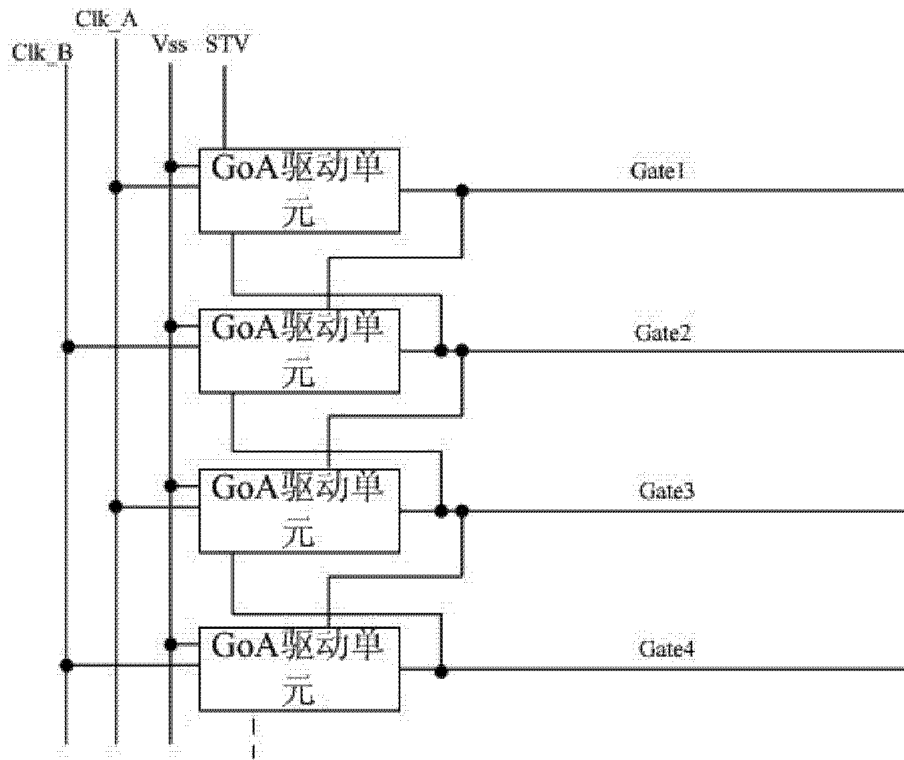


图 1

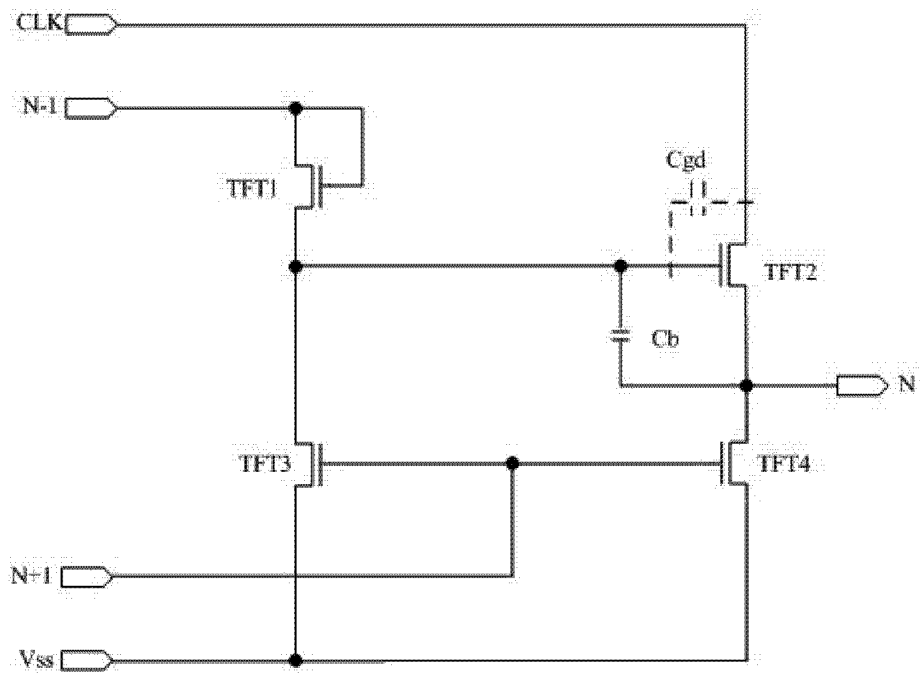


图 2

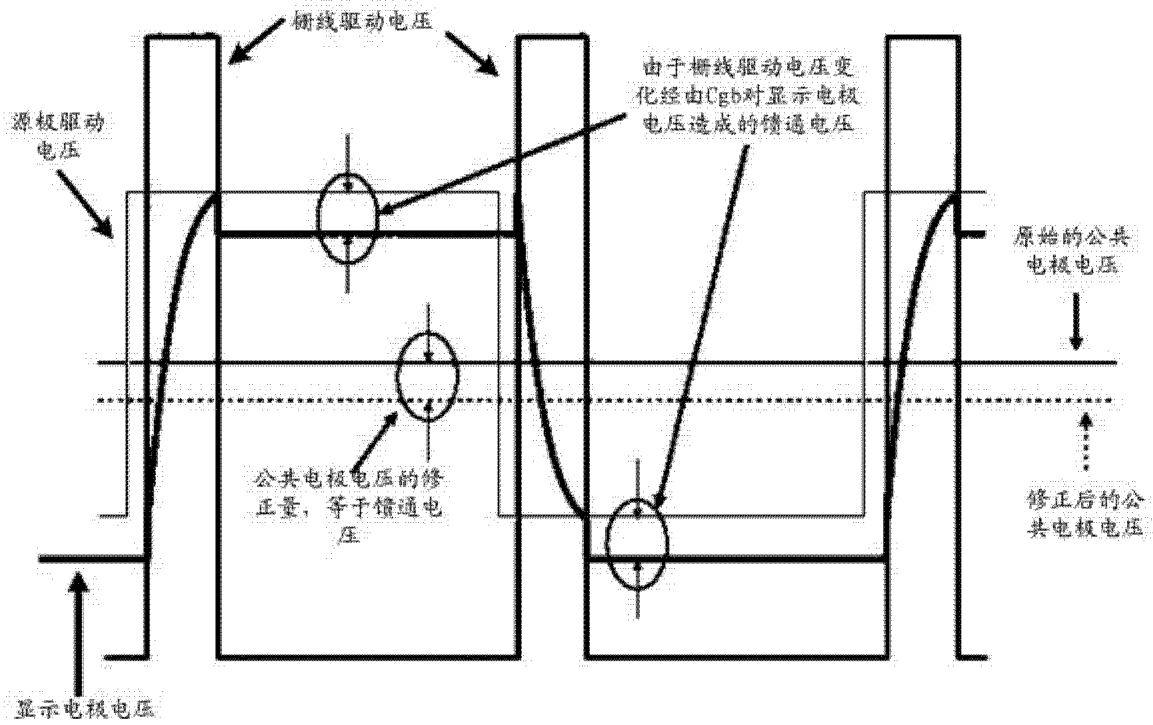


图 3

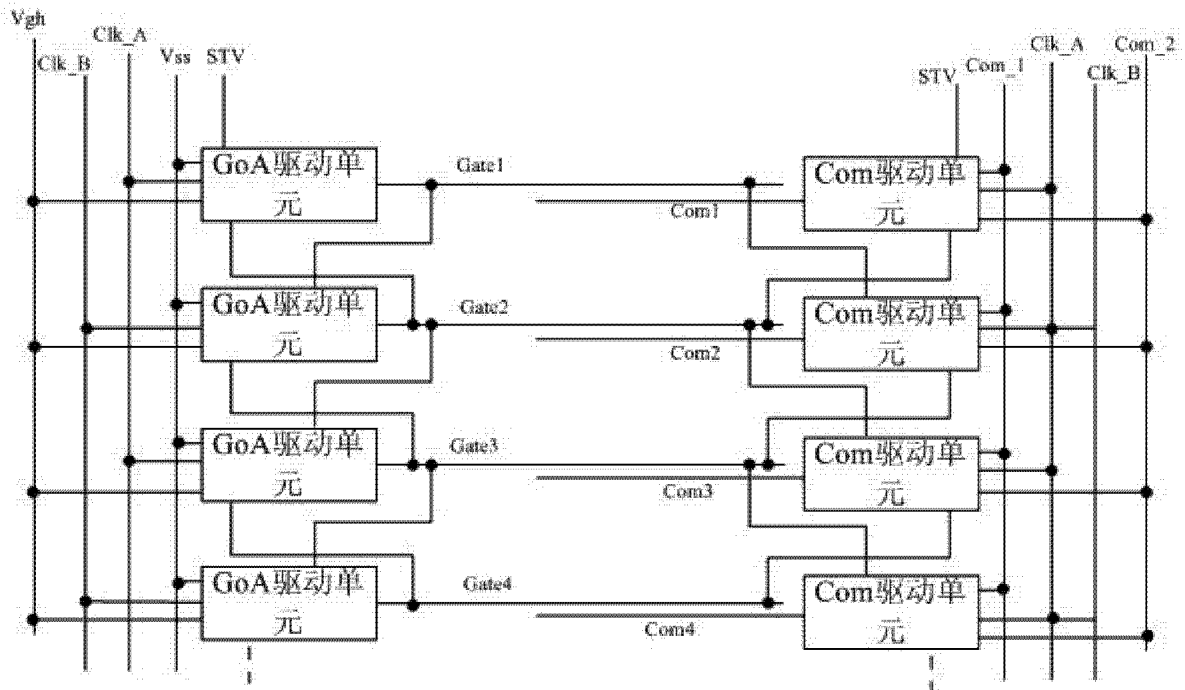


图 4

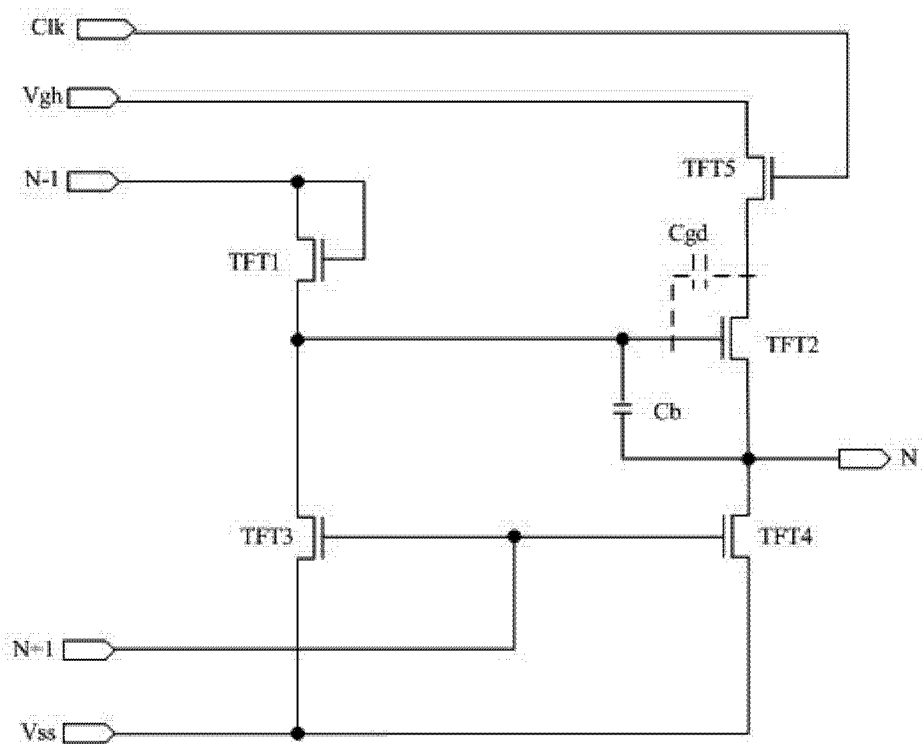


图 5

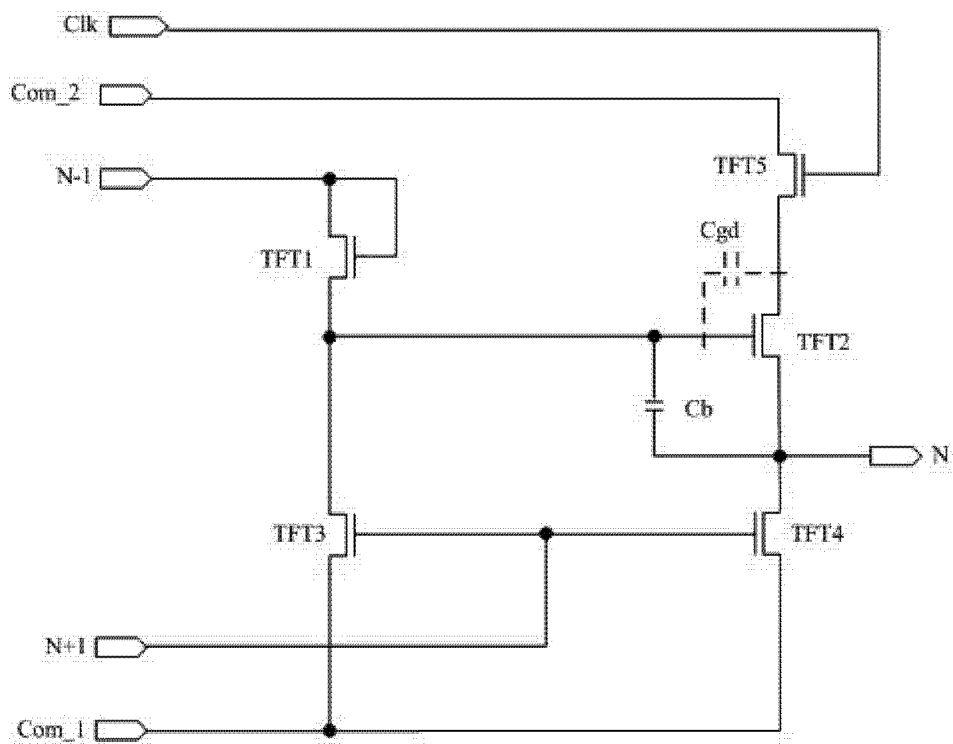


图 6

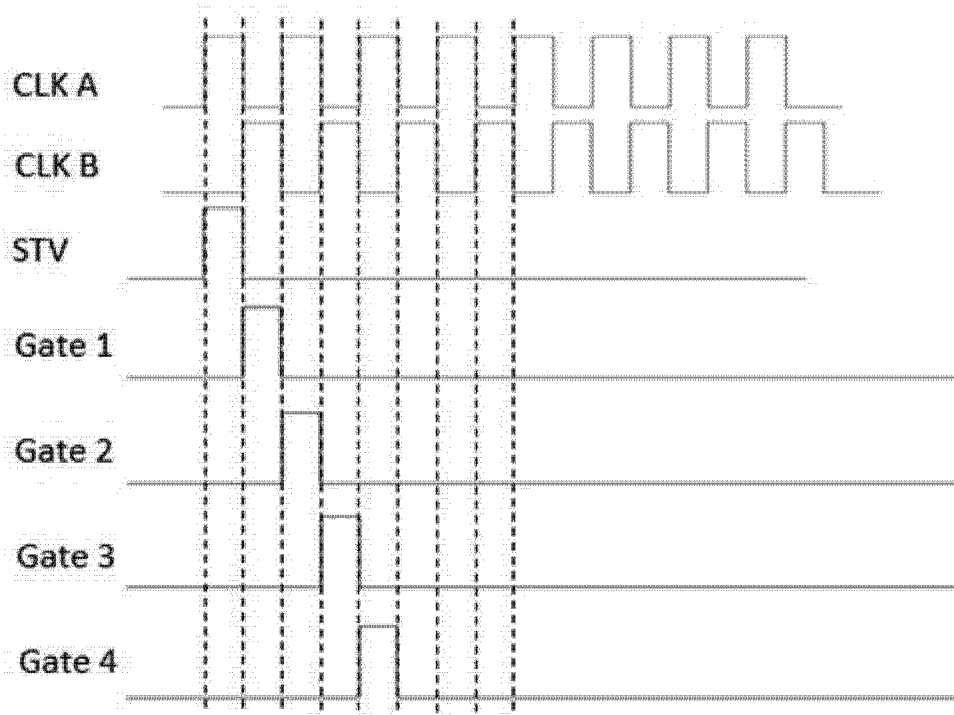


图 7

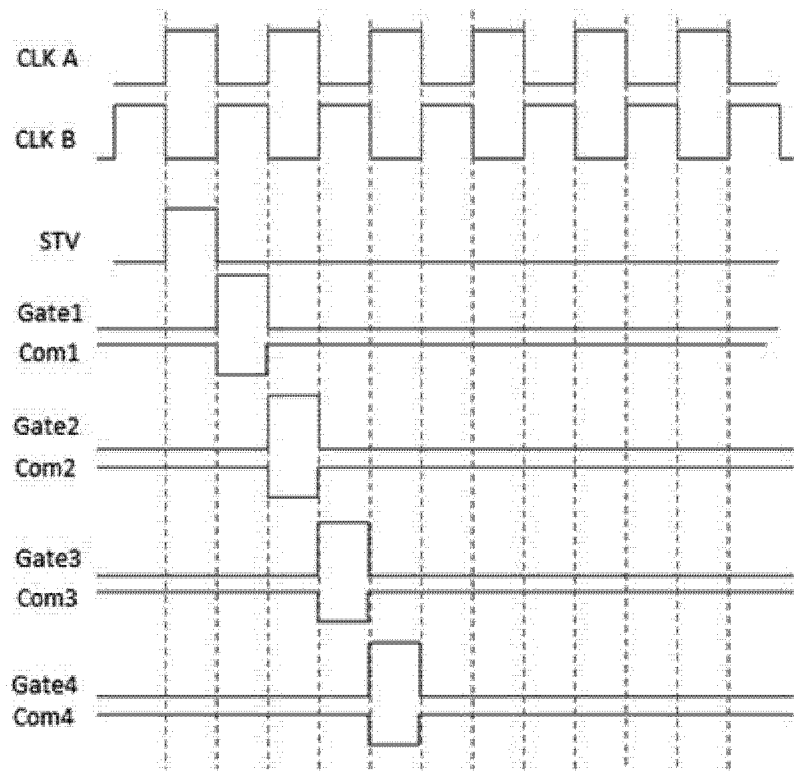


图 8

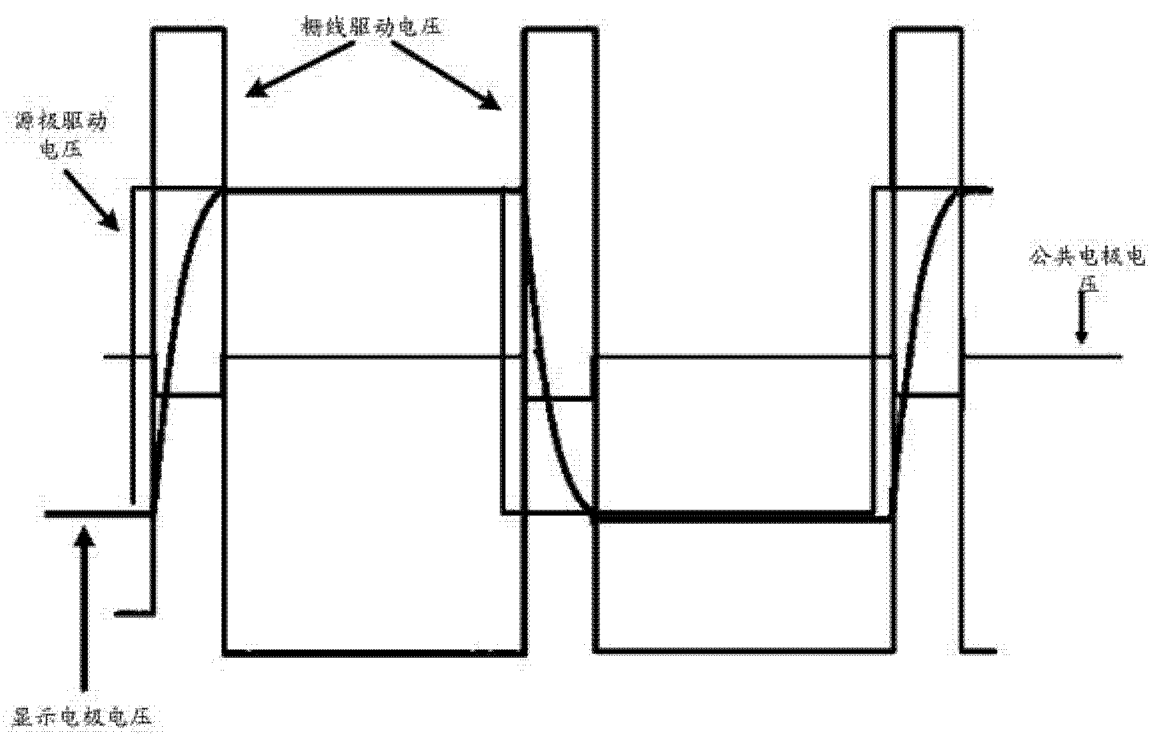


图 9

专利名称(译)	一种阵列基板驱动电路、阵列基板及相应的液晶显示器		
公开(公告)号	CN103744206A	公开(公告)日	2014-04-23
申请号	CN201310734794.X	申请日	2013-12-27
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	徐向阳		
发明人	徐向阳		
IPC分类号	G02F1/133		
CPC分类号	G02F1/13306 G02F1/133514 G02F1/136213 G02F1/136286 G02F1/1368 G09G3/3648 G09G3/3655 G09G3/3677 G09G2300/08 G09G2320/0219		
其他公开文献	CN103744206B		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例公开了一种阵列基板驱动电路，包括多个用于驱动阵列基板的栅线的GoA驱动单元以及多个用于驱动公共电极线的Com驱动单元，其中，每一GoA驱动单元连接一条栅线，每一Com驱动单元连接一条公共电极线；其中，所述多个GoA驱动单元设置在所述阵列基板的一侧，所述Com驱动单元设置在所述阵列基板的另一侧；所述栅线上的栅线驱动信号与相邻的公共电极线上的Com驱动信号两者同步，但正负极性相反。本发明实施例相应公开了一种阵列基板以及液晶显示器。实施本发明实施例，可以消除馈通电压对画质的影响，提高了TFT阵列基板的显示质量。

