



(12)发明专利

(10)授权公告号 CN 103730093 B

(45)授权公告日 2017.02.01

(21)申请号 201310730254.4

G02F 1/1368(2006.01)

(22)申请日 2013.12.26

G02F 1/133(2006.01)

(65)同一申请的已公布的文献号

审查员 高慧霞

申请公布号 CN 103730093 A

(43)申请公布日 2014.04.16

(73)专利权人 深圳市华星光电技术有限公司
地址 518132 广东省深圳市光明新区塘明大道9-2号

(72)发明人 徐向阳

(74)专利代理机构 深圳汇智容达专利商标事务所(普通合伙) 44238

代理人 潘中毅 熊贤卿

(51)Int.Cl.

G09G 3/36(2006.01)

G02F 1/1362(2006.01)

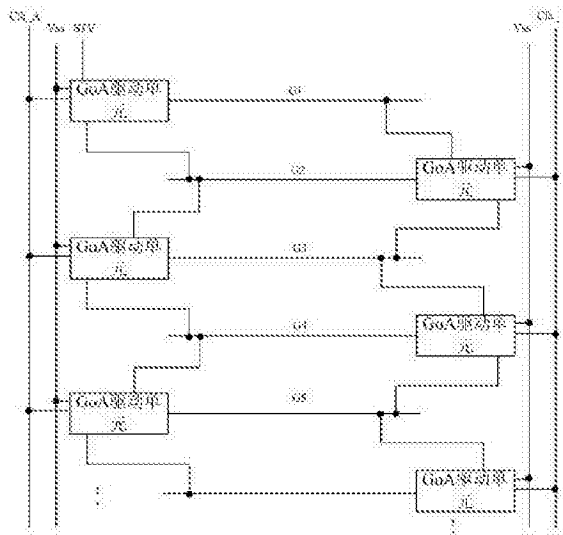
权利要求书2页 说明书5页 附图3页

(54)发明名称

一种阵列基板驱动电路、阵列基板及相应的液晶显示器

(57)摘要

本发明实施例公开了一种阵列基板驱动电路,包括多个GoA驱动单元,其中,每一GoA驱动单元连接一条栅线;奇数行的栅线所连接的GoA驱动单元设置在阵列基板的一侧,偶数行的栅线所连接的GoA驱动单元设置在阵列基板的另一侧;每一GoA驱动单元均具有两个驱动信号输入端以及一个输出端,两个驱动信号输入端分别连接上级GoA驱动单元的输出端和下级GoA驱动单元的输出端,接收上级GoA驱动单元和下线GoA驱动单元输出的驱动信号,并通过输出端输出本级驱动信号至与其连接的栅线,位于阵列基板的两侧的各GoA驱动单元交替驱动阵列基板的各栅线。本发明实施例相应公开了一种阵列基板和液晶显示器。实施本发明实施例,可以减少阵列基板驱动电路所占的面积,利于液晶显示器的窄边框设计。



CN 103730093 B

1. 一种阵列基板驱动电路,其特征在于,包括多个用于驱动阵列基板的栅线的GoA驱动单元,其中,每一GoA驱动单元连接一条栅线;

奇数行的栅线所连接的GoA驱动单元设置在所述阵列基板的一侧,偶数行的栅线所连接的GoA驱动单元设置在所述阵列基板的另一侧;

所述每一GoA驱动单元均具有第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级GoA驱动单元的输出端相连,所述第二驱动信号输入端与下级GoA驱动单元的输出端相连,与所述每一GoA驱动单元连接的栅线连接在所述每一GoA驱动单元的输出端上;

其中,每一GoA驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管和储存电容,其中:

第一薄膜晶体管的源极和栅极均与上级GoA驱动单元的信号输出端相连接,其漏极分别与第二薄膜晶体管的栅极、储存电容的第一端、第三薄膜晶体管的漏极相连接;

第二薄膜晶体管的源极与时钟信号输出端相连接,其栅极与储存电容的第一端相连接,其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接;

第三薄膜晶体管的源极与储存电容的第一端连接,其栅极连接下级GoA驱动单元的信号输出端,其源极接低电位输入线或接地;

第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连,其栅极连接下级GoA驱动单元的信号输出端,其漏极接低电位输入线或接地。

2. 如权利要求1所述阵列基板驱动电路,其特征在于,所述奇数行的各栅线所连接各GoA驱动单元所连接的时钟信号输出端为第一时钟信号的输出端,所述偶数行的各栅线所连接各GoA驱动单元所连接的信号输出端为第二时钟信号的输出端,所述第一时钟信号与所述第二时钟信号周期长度相同,相位相差半个周期。

3. 根据权利要求1至2任一项所述的阵列基板驱动电路,其特征在于,位于最前端的GoA驱动单元的所述第一驱动信号输入端连接有一扫描触发信号线,用于触发所述位于最前端的GoA驱动单元开始工作。

4. 一种液晶显示器的阵列基板,包括由栅线和数据线限定的多个像素单元,每个像素单元内形成薄膜晶体管和像素电极;其特征在于,进一步包括有用于驱动所述栅线的阵列基板驱动电路,其特征在于,所述驱动电路包括多个GoA驱动单元,其中,每一GoA驱动单元的输出端连接一条栅线;

奇数行的栅线所连接的GoA驱动单元设置在所述阵列基板的一侧,偶数行的栅线所连接的GoA驱动单元设置在所述阵列基板的另一侧;

所述每一GoA驱动单元均具有第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级GoA驱动单元的输出端相连,所述第二驱动信号输入端与下级GoA驱动单元的输出端相连,与所述每一GoA驱动单元连接的栅线连接在所述每一GoA驱动单元的输出端上;

其中,每一GoA驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管和储存电容,其中:

第一薄膜晶体管的源极和栅极均与上级GoA驱动单元的信号输出端相连接,其漏极分别与第二薄膜晶体管的栅极、储存电容的一端、第三薄膜晶体管的漏极相连接;

第二薄膜晶体管的源极与时钟信号输出端相连接,其栅极与储存电容的第一端相连接,其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接;

第三薄膜晶体管的源极与储存电容的第一端连接,其栅极连接下级GoA驱动单元的信号输出端,其源极接低电位输入线或接地;

第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连,其栅极连接下级GoA驱动单元的信号输出端,其漏极接低电位输入线或接地。

5.根据权利要求4所述的液晶显示器的阵列基板,其特征在于,所述奇数行的和栅线所连接的各GoA驱动单元所连接的时钟信号输出端为第一时钟信号的输出端,所述偶数行的和栅线所连接各GoA驱动单元所连接的信号输出端为第二时钟信号的输出端,所述第一时钟信号与所述第二时钟信号周期长度相同,相位相差半个周期。

6.根据权利要求4至5任一项所述的液晶显示器的阵列基板,其特征在于,位于最前端的GoA驱动单元的所述第一驱动信号输入端连接有一扫描触发信号线,用于触发所述位于最前端的GoA驱动单元开始工作。

7.一种液晶显示器,包括:

阵列基板;

彩色滤光片基板,与所述阵列基板相对;以及

液晶层,配置于所述阵列基板与所述彩色滤光片基板之间;

其特征在于,所述阵列基板为如权利要求4至6任一项所述的阵列基板。

一种阵列基板驱动电路、阵列基板及相应的液晶显示器

技术领域

[0001] 本发明涉及薄膜晶体管液晶显示器(Thin Film Transistor liquid crystal display, TFT-LCD)领域,特别涉及一种阵列基板驱动电路、阵列基板及相应的液晶显示器。

背景技术

[0002] 液晶显示器技术有了飞速的发展,从屏幕的尺寸到显示的质量都取得了极大的进步,液晶显示器具有体积小、功耗低、无辐射等特点,现已占据了平面显示领域的主导地位。随着液晶显示技术的发展,高分辨率、高对比度、高刷新速率、窄边框、薄型化已成为液晶显示器的发展趋势;

[0003] 目前常采用TFT(Thin Film Transistor,薄膜晶体管)来设置GoA(Gate On Array,阵列栅驱动)电路,为了实现液晶显示面板的窄边框、薄型化和低成本简化GoA电路和缩小GoA电路面积已非常重要。

[0004] 如图1所示,示出了现有技术中采用单边驱动的阵列基板驱动电路的结构示意图;在该种单边驱动的阵列基板中,每一行对应一个GoA驱动单元,通常GoA驱动单元都采用7个以上的TFT晶体管,对于GoA电路的面板一侧,边框设计就会较宽,这样不利于窄边框设计。

[0005] 如图2所示,示出了现有技术中采用双边驱动的阵列基板驱动电路的结构示意图;在该种双边驱动的阵列基板中,其为对称结构,每一行采用两个GoA驱动单元进行双边驱动,这种设计的优点是提高栅极驱动能力,缺点是电路复杂,GoA驱动单元占用面积较大,更加不利于窄边框设计。

发明内容

[0006] 本发明所要解决的技术问题在于,提供一种阵列基板驱动电路、阵列基板及相应的液晶显示器,可以减少阵列基板驱动电路所占的面积,利于液晶显示器的窄边框设计。

[0007] 为了解决上述技术问题,本发明的实施例的一方面提供了一种阵列基板驱动电路,包括多个用于驱动阵列基板的栅线的GoA驱动单元,其中,每一GoA驱动单元连接一条栅线;

[0008] 奇数行的栅线所连接的GoA驱动单元设置在所述阵列基板的一侧,偶数行的栅线所连接的GoA驱动单元设置在所述阵列基板的另一侧;

[0009] 所述每一GoA驱动单元均具有第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级GoA驱动单元的输出端相连,所述第二驱动信号输入端与下级GoA驱动单元的输出端相连,与所述每一GoA驱动单元连接的栅线连接在所述每一GoA驱动单元的输出端上;

[0010] 其中,每一GoA驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管和储存电容,其中:

[0011] 第一薄膜晶体管的源极和栅极均与上级GoA驱动单元的信号输出端相连接,其漏极分别与第二薄膜晶体管的栅极、储存电容的一端、第三薄膜晶体管的漏极相连接;

[0012] 第二薄膜晶体管的源极与时钟信号输出端相连接,其栅极与储存电容的第一端相连接,其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接;

[0013] 第三薄膜晶体管的源极与储存电容的第一端连接,其栅极连接下级GoA驱动单元的信号输出端,其源极接低电位输入线或接地;

[0014] 第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连,其栅极连接下级GoA驱动单元的信号输出端,其漏极接低电位输入线或接地。

[0015] 其中,所述奇数行的各栅线所连接的各GoA驱动单元所连接的时钟信号输出端为第一时钟信号的输出端,所述偶数行的各栅线所连接的各GoA驱动单元所连接的信号输出端为第二时钟信号的输出端,所述第一时钟信号与所述第二时钟信号周期长度相同,相位相差半个周期。

[0016] 其中,位于最前端的GoA驱动单元的所述第一驱动信号输入端连接有一扫描触发信号线,用于触发所述位于最前端的GoA驱动单元开始工作。

[0017] 相应地,本发明实施例的另一方面提供一种液晶显示器的阵列基板,包括由栅线 and 数据线限定的多个像素单元,每个像素单元内形成薄膜晶体管和像素电极;进一步包括有用于驱动所述栅线的阵列基板驱动电路,其特征在于,所述驱动电路包括多个GoA驱动单元,其中,每一GoA驱动单元的输出端连接一条栅线;

[0018] 奇数行的栅线所连接的GoA驱动单元设置在所述阵列基板的一侧,偶数行的栅线所连接的GoA驱动单元设置在所述阵列基板的另一侧;

[0019] 所述每一GoA驱动单元均具有第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级GoA驱动单元的输出端相连,所述第二驱动信号输入端与下级GoA驱动单元的输出端相连,与所述每一GoA驱动单元连接栅线连接在所述每一GoA驱动单元的输出端上;

[0020] 其中,每一GoA驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管和储存电容,其中:

[0021] 第一薄膜晶体管的源极和栅极均与上级GoA驱动单元的信号输出端相连接,其漏极分别与第二薄膜晶体管的栅极、储存电容的一端、第三薄膜晶体管的漏极相连接;

[0022] 第二薄膜晶体管的源极与时钟信号输出端相连接,其栅极与储存电容的第一端相连接,其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接;

[0023] 第三薄膜晶体管的源极与储存电容的第一端连接,其栅极连接下级GoA驱动单元的信号输出端,其源极接低电位输入线或接地;

[0024] 第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连,其栅极连接下级GoA驱动单元的信号输出端,其漏极接低电位输入线或接地。

[0025] 其中,所述奇数行的和栅线所连接的各GoA驱动单元所连接的时钟信号输出端为第一时钟信号的输出端,所述偶数行的和栅线所连接的各GoA驱动单元所连接的信号输出端为第二时钟信号的输出端,所述第一时钟信号与所述第二时钟信号周期长度相同,相位相差半个周期。

[0026] 其中,位于最前端的GoA驱动单元的所述第一驱动信号输入端连接有一扫描触发信号线,用于触发所述位于最前端的GoA驱动单元开始工作。

[0027] 相应地,本发明实施例的再一方面,还提供一种液晶显示器,包括:

- [0028] 阵列基板；
- [0029] 彩色滤光片基板，与所述阵列基板相对；以及
- [0030] 液晶层，配置于所述阵列基板与所述彩色滤光片基板之间；
- [0031] 其中，所述阵列基板为前述的阵列基板。
- [0032] 实施本发明的实施例，具有如下的有益效果：
- [0033] 本发明的实施例中，将多个GoA驱动单元分设在阵列基板的两侧，并且使栅线奇偶行分别采用两侧的GoA驱动单元交替驱动；从而大大减少了驱动电路所占的面积，以及降低了每一侧的驱动电路的复杂程序，进而有利于液晶显示器的窄边框化设计。

附图说明

- [0034] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其它的附图。
- [0035] 图1为现有技术中采用单边驱动的阵列基板驱动电路的结构示意图；
- [0036] 图2为现有技术中采用双边驱动的阵列基板驱动电路的结构示意图；
- [0037] 图3为本发明阵列基板驱动电路的一个实施例的结构示意图；
- [0038] 图4为图3中GoA驱动单元的一个实施例的电路原理图；
- [0039] 图5是本发明阵列基板驱动电路的驱动时序关系的示意图。

具体实施方式

- [0040] 以下各实施例的说明是参考附图，用以式例本发明可以用以实施的特定实施例。本发明所提到的方向用语，例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。
- [0041] 如图3所示，为本发明阵列基板驱动电路的一个实施例的结构示意图；在该实施例中，该阵列基板驱动电路，包括多个用于驱动阵列基板的栅线的GoA驱动单元，其中，每一GoA驱动单元连接一条栅线；
- [0042] 奇数行的栅线所连接的GoA驱动单元设置在所述阵列基板的一侧，偶数行的栅线所连接的GoA驱动单元设置在所述阵列基板的另一侧；
- [0043] 所述每一GoA驱动单元均具有第一驱动信号输入端、第二驱动信号输入端以及一个输出端，所述第一驱动信号输入端与上级GoA驱动单元的输出端相连，所述第二驱动信号输入端与下级GoA驱动单元的输出端相连，与所述每一GoA驱动单元连接的栅线连接在所述每一GoA驱动单元的输出端上。
- [0044] 其中，位于最前端的GoA驱动单元的第一驱动信号输入端连接有一扫描触发信号线(STV)，用于触发所述位于最前端的GoA驱动单元开始工作。
- [0045] 为了便于电路走线，其中，奇数行的栅线所连接各GoA驱动单元所连接的时钟信号输出端为第一时钟信号的输出端Clk_A，所述偶数行的栅线所连接各GoA驱动单元所连接的信号输出端为第二时钟信号的输出端Clk_B，为了使两侧的GoA驱动单元可以交替并逐

行驱动所述栅线,故将所述第一时钟信号与所述第二时钟信号设置为周期长度相同,相位相差半个周期,即当第一时钟信号处于高电平时,则所述第二时钟信号处于低电平,反之,当所述第一时钟信号处于低电平时,则所述第二时钟信号处于高电平。

[0046] 另外,在两侧还分别设置有一低电位输入线(V_{SS}),分别和各GoA驱动单元相连接,可以理解的是,在其他的实施例中,该低电位输入线可以采用直接接地的方式进行替换;

[0047] 如图4所示,示出了本发明图3中GoA驱动单元的一个实施例的电路原理图;一并结合图5中示出的时序关系图。在本实施例中,每一GoA驱动单元包括第一薄膜晶体管TFT1、第二薄膜晶体管TFT2、第三薄膜晶体管TFT3、第四薄膜晶体管TFT4和储存电容 C_b ,其中:

[0048] 第一薄膜晶体管TFT1的源极和栅极作为第一驱动信号输入端,均与上级GoA驱动单元的信号输出端N-1相连接,其漏极分别与第二薄膜晶体管TFT2的栅极、储存电容 C_b 的第一端、第三薄膜晶体管TFT3的漏极相连接;

[0049] 第二薄膜晶体管TFT2的源极与时钟信号输出端相连接,其栅极与储存电容 C_b 的第一端相连接,其漏极与本级信号输出端、第四薄膜晶体管TFT4的源极、储存电容 C_b 的第二端相连接;

[0050] 第三薄膜晶体管TFT3的源极与储存电容 C_b 的第一端连接,其栅极作为第二驱动信号输入端,连接下级GoA驱动单元的信号输出端N+1,其源极接低电位输入线(V_{SS})或接地;

[0051] 第四薄膜晶体管TFT4的源极与本级信号输出端N与储存电容 C_b 的第二端相连,其栅线连接下级GoA驱动单元的信号输出端N+1,其漏极接低电位输入线(V_{SS})或接地。

[0052] 下述将描述图4中的GoA驱动单元的电路的工作原理,为便于理解,可一并结合图5中的时序图,其工作原理如下:

[0053] 在第N-1周期(为上级GoA驱动单元的工作周期)时,上级GoA驱动单元的信号输出端N-1端输入信号为高电平, C_{1k} 信号为低电平,下级GoA驱动单元的信号输出端N+1端输入信号为低电平,此时第一薄膜晶体管TFT1和第二薄膜晶体管TFT2导通,第三薄膜晶体管TFT3和第四薄膜晶体管TFT4截止,第一薄膜晶体管TFT1的输出信号为高电平,储存电容 C_d 在第一薄膜晶体管TFT1的输出信号(高电平信号)的驱动下充电;

[0054] 在第N周期(为本级GoA驱动单元的工作周期)时,上级GoA驱动单元的信号输出端N-1端输入信号为低电平, C_{1k} 信号为高电平,下级GoA驱动单元的信号输出端N+1信号为低电平,此时第一薄膜晶体管TFT1、第三薄膜晶体管TFT3和第四薄膜晶体管TFT4截止,第二薄膜晶体管TFT2导通,并在本级信号输出端N输出高电平信号;

[0055] 在第N+1周期(为下级GoA电路的工作周期)时,上级GoA驱动单元的信号输出端N-1为低电平, C_{1k} 信号为低电平,下级GoA驱动单元的信号输出端N+1信号为高电平,此时第三薄膜晶体管TFT3和第四薄膜晶体管TFT4导通,第一薄膜晶体管TFT1和第二薄膜晶体管TFT2截止;第三薄膜晶体管TFT3导通后使得电容 C_d 接低电位/地并放电,第四薄膜晶体管TFT4导通后使得本级信号输出端N接低电位/接地并放电。

[0056] 这样就实现了位于阵列基板的两侧的GoA驱动单元交替驱动奇偶行的各栅线,使所述各栅线逐行进行启动,具体来说,即左侧的第一个GoA驱动单元先驱动第一条栅线(G1),然后右侧的第一个GoA驱动单元驱动第二条栅线(G2),接着左侧的第二个GoA驱动单元驱动第三条栅线(G3),然后右侧的第一个GoA驱动单元驱动第四条栅线(G4),按照这样的驱动方式,通过两侧的GoA驱动单元交替驱动奇偶行的各栅线,使所述各栅线逐行进行启

动。

[0057] 可以理解的是,上述图4示出了一种由四个TFT晶体管驱动的驱动电路的原理图,在其他的实施例中,可以采用其他的数量的TFT晶体管进行替换,例如可以采用5个TFT晶体管驱动的驱动电路。

[0058] 在该实施例中,将多个GoA驱动单元分设在阵列基板的两侧,并且使栅线奇偶行分别采用两侧的GoA驱动单元交替驱动;从而大大减少了驱动电路所占的面积,以及每一侧的驱动电路的复杂程序也降低了,进而有利于液晶显示器的窄边框化设计。

[0059] 相应地,本发明实施还提供了一种液晶显示器的阵列基板,包括由栅线和数据线限定的多个像素单元,每个像素单元内形成薄膜晶体管和像素电极;进一步包括有用于驱动所述栅线的阵列基板驱动电路,所述驱动电路采用如图3、图4所揭露的驱动电路,更多的细节可以参考前述对图3-图5的描述,在此不进行赘述。

[0060] 相应地,本发明的实施例还提供了一种液晶显示器,包括:阵列基板;彩色滤光片基板,与所述阵列基板相对;以及液晶层,配置于所述阵列基板与所述彩色滤光片基板之间;其中,阵列基板为前述采用如图3和图4所揭露的驱动电路,更多的细节可以参考前述对图3-图5的描述,在此不进行赘述。

[0061] 综上,实施本发明的实施例,具有如下的有益效果:

[0062] 本发明的实施例中,将多个GoA驱动单元分设在阵列基板的两侧,并且使栅线奇偶行分别采用两侧的GoA驱动单元交替驱动;从而大大减少了驱动电路所占的面积,以及降低了每一侧的驱动电路的复杂程序,进而有利于液晶显示器的窄边框化设计。

[0063] 以上所揭露的仅为本发明较佳实施例而已,当然不能以此来限定本发明之权利范围,因此等同变化,仍属本发明所涵盖的范围。

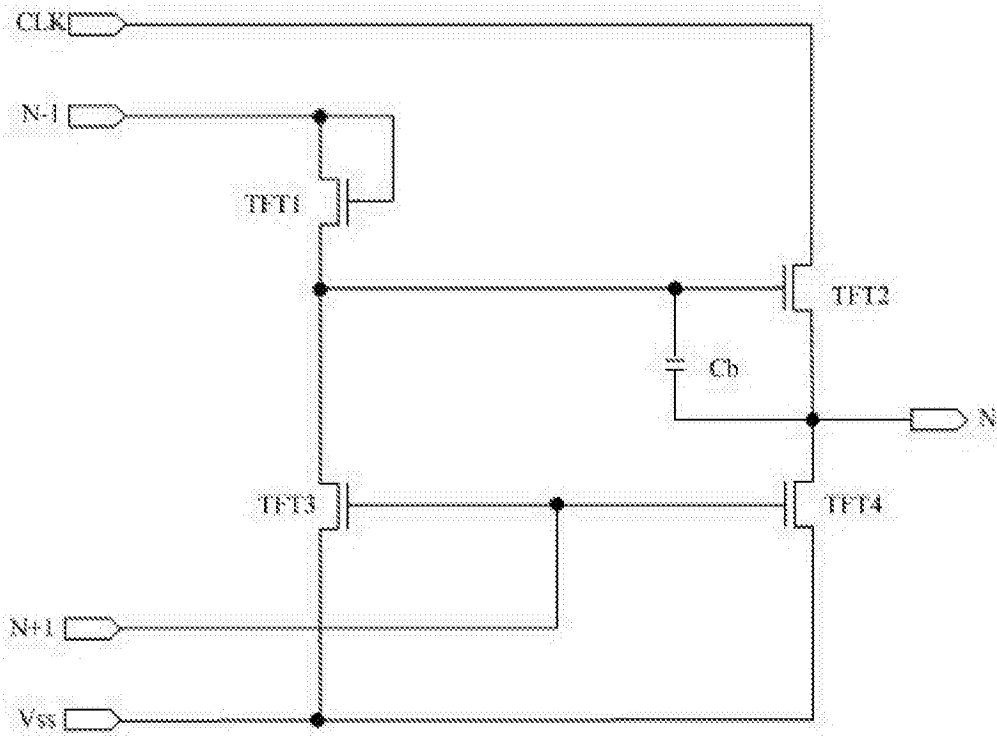


图4

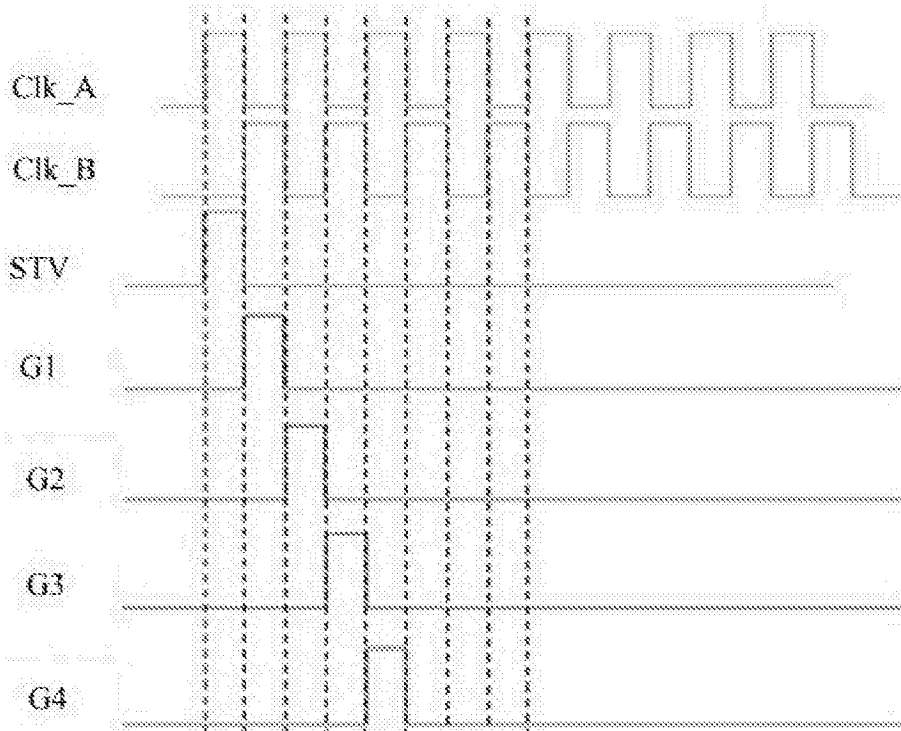


图5

专利名称(译)	一种阵列基板驱动电路、阵列基板及相应的液晶显示器		
公开(公告)号	CN103730093B	公开(公告)日	2017-02-01
申请号	CN201310730254.4	申请日	2013-12-26
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	徐向阳		
发明人	徐向阳		
IPC分类号	G09G3/36 G02F1/1362 G02F1/1368 G02F1/133		
CPC分类号	G09G3/3659 G09G3/36 G09G3/3648 G09G3/3674 G09G2300/0408 G09G2300/0426 G09G2310/0272 G09G2310/0286 G09G2320/0223		
其他公开文献	CN103730093A		
外部链接	Espacenet	SIPO	

摘要(译)

本发明实施例公开了一种阵列基板驱动电路，包括多个GoA驱动单元，其中，每一GoA驱动单元连接一条栅线；奇数行的栅线所连接的GoA驱动单元设置在阵列基板的一侧，偶数行的栅线所连接的GoA驱动单元设置在阵列基板的另一侧；每一GoA驱动单元均具有两个驱动信号输入端以及一个输出端，两个驱动信号输入端分别连接上级GoA驱动单元的输出端和下级GoA驱动单元的输入端，接收上级GoA驱动单元和下级GoA驱动单元输出的驱动信号，并通过输出端输出本级驱动信号至与其连接的栅线，位于阵列基板的两侧的各GoA驱动单元交替驱动阵列基板的各栅线。本发明实施例相应公开了一种阵列基板和液晶显示器。实施本发明实施例，可以减少阵列基板驱动电路所占的面积，利于液晶显示器的窄边框设计。

