



(12) 发明专利申请

(10) 申请公布号 CN 103730093 A

(43) 申请公布日 2014. 04. 16

(21) 申请号 201310730254. 4

G02F 1/133(2006. 01)

(22) 申请日 2013. 12. 26

(71) 申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道 9-2 号

(72) 发明人 徐向阳

(74) 专利代理机构 深圳汇智容达专利商标事务所(普通合伙) 44238

代理人 潘中毅 熊贤卿

(51) Int. Cl.

G09G 3/36(2006. 01)

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

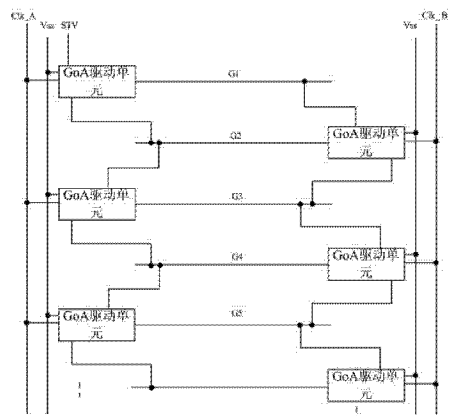
权利要求书2页 说明书5页 附图3页

(54) 发明名称

一种阵列基板驱动电路、阵列基板及相应的液晶显示器

(57) 摘要

本发明实施例公开了一种阵列基板驱动电路,包括多个GoA驱动单元,其中,每一GoA驱动单元连接一条栅线;奇数行的栅线所连接的GoA驱动单元设置在阵列基板的一侧,偶数行的栅线所连接的GoA驱动单元设置在阵列基板的另一侧;每一GoA驱动单元均具有两个驱动信号输入端以及一个输出端,两个驱动信号输入端分别连接上级GoA驱动单元的输出端和下级GoA驱动单元的输出端,接收上级GoA驱动单元和下线GoA驱动单元输出的驱动信号,并通过输出端输出本级驱动信号至与其连接的栅线,位于阵列基板的两侧的各GoA驱动单元交替驱动阵列基板的各栅线。本发明实施例相应公开了一种阵列基板和液晶显示器。实施本发明实施例,可以减少阵列基板驱动电路所占的面积,利于液晶显示器的窄边框设计。



1. 一种阵列基板驱动电路,其特征在于,包括多个用于驱动阵列基板的栅线的 GoA 驱动单元,其中,每一 GoA 驱动单元连接一条栅线;

奇数行的栅线所连接的 GoA 驱动单元设置在所述阵列基板的一侧,偶数行的栅线所连接的 GoA 驱动单元设置在所述阵列基板的另一侧;

所述每一 GoA 驱动单元均具有第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级 GoA 驱动单元的输出端相连,所述第二驱动信号输入端与下级 GoA 驱动单元的输出端相连,与所述 GoA 驱动单元连接栅线连接在所述输出端上。

2. 根据权利要求 1 所述的阵列基板驱动电路,其特征在于,每一 GoA 驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管和储存电容,其中:

第一薄膜晶体管的源极和栅极均与上级 GoA 驱动单元的信号输出端相连接,其漏极分别与第二薄膜晶体管的栅极、储存电容的第一端、第三薄膜晶体管的漏极相连接;

第二薄膜晶体管的源极与时钟信号输出端相连接,其栅极与储存电容的第一端相连接,其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接;

第三薄膜晶体管的源极与储存电容的第一端连接,其栅极连接下级 GoA 驱动单元的信号输出端,其源极接低电位输入线或接地;

第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连,其栅极连接下级 GoA 驱动单元的信号输出端,其漏极接低电位输入线或接地。

3. 如权利要求 2 所述阵列基板驱动电路,其特征在于,所述奇数行的各栅线所连接的各 GoA 驱动单元所连接的时钟信号输出端为第一时钟信号的输出端,所述偶数行的各栅线所连接各 GoA 驱动单元所连接的信号输出端为第二时钟信号的输出端,所述第一时钟信号与所述第二时钟信号周期长度相同,相位相差半个周期。

4. 根据权利要求 1 至 3 任一项所述的阵列基板驱动电路,其特征在于,位于最前端的 GoA 驱动单元的所述第一驱动信号输入端连接有一扫描触发信号线,用于触发所述位于最前端的 GoA 驱动单元开始工作。

5. 一种液晶显示器的阵列基板,包括由栅线 and 数据线限定的多个像素单元,每个像素单元内形成薄膜晶体管和像素电极;其特征在于,进一步包括有用于驱动所述栅线的阵列基板驱动电路,其特征在于,所述驱动电路包括多个 GoA 驱动单元,其中,每一 GoA 驱动单元的输出端连接一条栅线;

奇数行的栅线所连接的 GoA 驱动单元设置在所述阵列基板的一侧,偶数行的栅线所连接的 GoA 驱动单元设置在所述阵列基板的另一侧;

所述每一 GoA 驱动单元均具有第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级 GoA 驱动单元的输出端相连,所述第二驱动信号输入端与下级 GoA 驱动单元的输出端相连,与所述 GoA 驱动单元连接栅线连接在所述输出端上。

6. 根据权利要求 5 所述的液晶显示器的阵列基板,其特征在于,每一 GoA 驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管和储存电容,其中:

第一薄膜晶体管的源极和栅极均与上级 GoA 驱动单元的信号输出端相连接,其漏极分别与第二薄膜晶体管的栅极、储存电容的一端、第三薄膜晶体管的漏极相连接;

第二薄膜晶体管的源极与时钟信号输出端相连接,其栅极与储存电容的第一端相连接,其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接;

第三薄膜晶体管的源极与储存电容的第一端连接,其栅极连接下级 GoA 驱动单元的信号输出端,其源极接低电位输入线或接地;

第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连,其栅极连接下级 GoA 驱动单元的信号输出端,其漏极接低电位输入线或接地。

7. 根据权利要求 6 所述的液晶显示器的阵列基板,其特征在于,所述奇数行的和栅线所连接的各 GoA 驱动单元所连接的时钟信号输出端为第一时钟信号的输出端,所述偶数行的和栅线所连接的各 GoA 驱动单元所连接的信号输出端为第二时钟信号的输出端,所述第一时钟信号与所述第二时钟信号周期长度相同,相位相差半个周期。

8. 根据权利要求 5 至 7 任一项所述的液晶显示器的阵列基板,其特征在于,位于最前端的 GoA 驱动单元的所述第一驱动信号输入端连接有一扫描触发信号线,用于触发所述位于最前端的 GoA 驱动单元开始工作。

9. 一种液晶显示器,包括:

阵列基板;

彩色滤光片基板,与所述阵列基板相对;以及

液晶层,配置于所述阵列基板与所述彩色滤光片基板之间;

其特征在于,所述阵列基板为如权利要求 5-8 任一项所述的阵列基板。

一种阵列基板驱动电路、阵列基板及相应的液晶显示器

技术领域

[0001] 本发明涉及薄膜晶体管液晶显示器(Thin Film Transistor liquid crystal display, TFT-LCD)领域,特别涉及一种阵列基板驱动电路、阵列基板及相应的液晶显示器。

背景技术

[0002] 液晶显示器技术有了飞速的发展,从屏幕的尺寸到显示的质量都取得了极大的进步,液晶显示器具有体积小、功耗低、无辐射等特点,现已占据了平面显示领域的主导地位。随着液晶显示技术的发展,高分辨率、高对比度、高刷新速率、窄边框、薄型化已成为液晶显示器的发展趋势;

目前常采用 TFT (Thin Film Transistor, 薄膜晶体管) 来设置 GoA (Gate On Array, 阵列栅驱动) 电路,为了实现液晶显示面板的窄边框、薄型化和低成本简化 GoA 电路和缩小 GoA 电路面积已非常重要。

[0003] 如图 1 所示,示出了现有技术中采用单边驱动的阵列基板驱动电路的结构示意图;在该种单边驱动的阵列基板中,每一行对应一个 GoA 驱动单元,通常 GoA 驱动单元都采用 7 个以上的 TFT 晶体管,对于 GoA 电路的面板一侧,边框设计就会较宽,这样不利于窄边框设计。

[0004] 如图 2 所示,示出了现有技术中采用双边驱动的阵列基板驱动电路的结构示意图;在该种双边驱动的阵列基板中,其为对称结构,每一行采用两个 GoA 驱动单元进行双边驱动,这种设计的优点是提高栅极驱动能力,缺点是电路复杂,GoA 驱动单元占用面积较大,更加不利于窄边框设计。

发明内容

[0005] 本发明所要解决的技术问题在于,提供一种阵列基板驱动电路、阵列基板及相应的液晶显示器,可以减少阵列基板驱动电路所占的面积,利于液晶显示器的窄边框设计。

[0006] 为了解决上述技术问题,本发明的实施例的一方面提供了一种阵列基板驱动电路,包括多个用于驱动阵列基板的栅线的 GoA 驱动单元,其中,每一 GoA 驱动单元连接一条栅线;

奇数行的栅线所连接的 GoA 驱动单元设置在所述阵列基板的一侧,偶数行的栅线所连接的 GoA 驱动单元设置在所述阵列基板的另一侧;

所述每一 GoA 驱动单元均具有第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级 GoA 驱动单元的输出端相连,所述第二驱动信号输入端与下级 GoA 驱动单元的输出端相连,与所述 GoA 驱动单元连接栅线连接在所述输出端上。

[0007] 其中,每一 GoA 驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管和储存电容,其中:

第一薄膜晶体管的源极和栅极均与上级 GoA 驱动单元的信号输出端相连接,其漏极分

别与第二薄膜晶体管的栅极、储存电容的一端、第三薄膜晶体管的漏极相连接；

第二薄膜晶体管的源极与时钟信号输出端相连接，其栅极与储存电容的第一端相连接，其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接；

第三薄膜晶体管的源极与储存电容的第一端连接，其栅极连接下级 GoA 驱动单元的信号输出端，其源极接低电位输入线或接地；

第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连，其栅极连接下级 GoA 驱动单元的信号输出端，其漏极接低电位输入线或接地。

[0008] 其中，所述奇数行的各栅线所连接的各 GoA 驱动单元所连接的时钟信号输出端为第一时钟信号的输出端，所述偶数行的各栅线所连接的各 GoA 驱动单元所连接的信号输出端为第二时钟信号的输出端，所述第一时钟信号与所述第二时钟信号周期长度相同，相位相差半个周期。

[0009] 其中，位于最前端的 GoA 驱动单元的所述第一驱动信号输入端连接有一扫描触发信号线，用于触发所述位于最前端的 GoA 驱动单元开始工作。

[0010] 相应地，本发明实施例的另一方面提供一种液晶显示器的阵列基板，包括由栅线和数据线限定的多个像素单元，每个像素单元内形成薄膜晶体管和像素电极；进一步包括有用于驱动所述栅线的阵列基板驱动电路，其特征在于，所述驱动电路包括多个 GoA 驱动单元，其中，每一 GoA 驱动单元的输出端连接一条栅线；

奇数行的栅线所连接的 GoA 驱动单元设置在所述阵列基板的一侧，偶数行的栅线所连接的 GoA 驱动单元设置在所述阵列基板的另一侧；

所述每一 GoA 驱动单元均具有第一驱动信号输入端、第二驱动信号输入端以及一个输出端，所述第一驱动信号输入端与上级 GoA 驱动单元的输出端相连，所述第二驱动信号输入端与下级 GoA 驱动单元的输出端相连，与所述 GoA 驱动单元连接栅线连接在所述输出端上。

[0011] 其中，每一 GoA 驱动单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管和储存电容，其中：

第一薄膜晶体管的源极和栅极均与上级 GoA 驱动单元的信号输出端相连接，其漏极分别与第二薄膜晶体管的栅极、储存电容的一端、第三薄膜晶体管的漏极相连接；

第二薄膜晶体管的源极与时钟信号输出端相连接，其栅极与储存电容的第一端相连接，其漏极与本级信号输出端、第四薄膜晶体管的源极、储存电容的第二端相连接；

第三薄膜晶体管的源极与储存电容的第一端连接，其栅极连接下级 GoA 驱动单元的信号输出端，其源极接低电位输入线或接地；

第四薄膜晶体管的源极与本级信号输出端和储存电容的第二端相连，其栅极连接下级 GoA 驱动单元的信号输出端，其漏极接低电位输入线或接地。

[0012] 其中，所述奇数行的和栅线所连接的各 GoA 驱动单元所连接的时钟信号输出端为第一时钟信号的输出端，所述偶数行的和栅线所连接的各 GoA 驱动单元所连接的信号输出端为第二时钟信号的输出端，所述第一时钟信号与所述第二时钟信号周期长度相同，相位相差半个周期。

[0013] 其中，位于最前端的 GoA 驱动单元的所述第一驱动信号输入端连接有一扫描触发信号线，用于触发所述位于最前端的 GoA 驱动单元开始工作。

[0014] 相应地,本发明实施例的再一方面,还提供一种液晶显示器,包括:
阵列基板;
彩色滤光片基板,与所述阵列基板相对;以及
液晶层,配置于所述阵列基板与所述彩色滤光片基板之间;
其中,所述阵列基板为前述的阵列基板。

[0015] 实施本发明的实施例,具有如下的有益效果:

本发明的实施例中,将多个 GoA 驱动单元分设在阵列基板的两侧,并且使栅线奇偶行分别采用两侧的 GoA 驱动单元交替驱动;从而大大减少了驱动电路所占的面积,以及降低了每一侧的驱动电路的复杂程序,进而有利于液晶显示器的窄边框化设计。

附图说明

[0016] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其它的附图。

[0017] 图 1 为现有技术中采用单边驱动的阵列基板驱动电路的结构示意图;

图 2 为现有技术中采用双边驱动的阵列基板驱动电路的结构示意图;

图 3 为本发明阵列基板驱动电路的一个实施例的结构示意图;

图 4 为图 3 中 GoA 驱动单元的一个实施例的电路原理图;

图 5 是本发明阵列基板驱动电路的驱动时序关系的示意图。

具体实施方式

[0018] 以下各实施例的说明是参考附图,用以式例本发明可以用以实施的特定实施例。本发明所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。

[0019] 如图 3 所示,为本发明阵列基板驱动电路的一个实施例的结构示意图;在该实施例中,该阵列基板驱动电路,包括多个用于驱动阵列基板的栅线的 GoA 驱动单元,其中,每一 GoA 驱动单元连接一条栅线;

奇数行的栅线所连接的 GoA 驱动单元设置在所述阵列基板的一侧,偶数行的栅线所连接的 GoA 驱动单元设置在所述阵列基板的另一侧;

所述每一 GoA 驱动单元均具有第一驱动信号输入端、第二驱动信号输入端以及一个输出端,所述第一驱动信号输入端与上级 GoA 驱动单元的输出端相连,所述第二驱动信号输入端与下级 GoA 驱动单元的输出端相连,与所述 GoA 驱动单元连接栅线连接在所述输出端上。

[0020] 其中,位于最前端的 GoA 驱动单元的第一驱动信号输入端连接有一扫描触发信号线(STV),用于触发所述位于最前端的 GoA 驱动单元开始工作。

[0021] 为了便于电路走线,其中,奇数行的栅线所连接的各 GoA 驱动单元所连接的时钟信号输出端为第一时钟信号的输出端 Clk_A,所述偶数行的栅线所连接的各 GoA 驱动单元

所连接的信号输出端为第二时钟信号的输出端 Clk_B, 为了使两侧的 GoA 驱动单元可以交替并逐行驱动所述栅线, 故将所述第一时钟信号与所述第二时钟信号设置为周期长度相同, 相位相差半个周期, 即当第一时钟信号处于高电平时, 则所述第二时钟信号处于低电平, 反之, 当所述第一时钟信号处于低电平时, 则所述第二时钟信号处于高电平。

[0022] 另外, 在两侧还分别设置有一低电位输入线(Vss), 分别和各 GoA 驱动单元相连接, 可以理解的是, 在其他的实施例中, 该低电位输入线可以采用直接接地的方式进行替换;

如图 4 所示, 示出了本发明图 3 中 GoA 驱动单元的一个实施例的电路原理图; 一并结合图 5 中示出的时序关系图。在本实施例中, 每一 GoA 驱动单元包括第一薄膜晶体管 TFT1、第二薄膜晶体管 TFT2、第三薄膜晶体管 TFT3、第四薄膜晶体管 TFT4 和储存电容 Cb, 其中:

第一薄膜晶体管 TFT1 的源极和栅极作为第一驱动信号输入端, 均与上级 GoA 驱动单元的信号输出端 N-1 相连接, 其漏极分别与第二薄膜晶体管 TFT2 的栅极、储存电容 Cb 的第一端、第三薄膜晶体管 TFT3 的漏极相连接;

第二薄膜晶体管 TFT2 的源极与时钟信号输出端相连接, 其栅极与储存电容 Cb 的第一端相连接, 其漏极与本级信号输出端、第四薄膜晶体管 TFT4 的源极、储存电容 Cb 的第二端相连接;

第三薄膜晶体管 TFT3 的源极与储存电容 Cb 的第一端连接, 其栅极作为第二驱动信号输入端, 连接下级 GoA 驱动单元的信号输出端 N+1, 其源极接低电位输入线(Vss) 或接地;

第四薄膜晶体管 TFT4 的源极与本级信号输出端 N 与储存电容 Cb 的第二端相连, 其栅线连接下级 GoA 驱动单元的信号输出端 N+1, 其漏极接低电位输入线(Vss) 或接地。

[0023] 下述将描述图 4 中的 GoA 驱动单元的电路的工作原理, 为便于理解, 可一并结合图 5 中的时序图, 其工作原理如下:

在第 N-1 周期(为上级 GoA 驱动单元的工作周期)时, 上级 GoA 驱动单元的信号输出端 N-1 端输入信号为高电平, Clk 信号为低电平, 下级 GoA 驱动单元的信号输出端 N+1 端输入信号为低电平, 此时第一薄膜晶体管 TFT1 和第二薄膜晶体管 TFT2 导通, 第三薄膜晶体管 TFT3 和第四薄膜晶体管 TFT4 截止, 第一薄膜晶体管 TFT1 的输出信号为高电平, 储存电容 Cd 在第一薄膜晶体管 TFT1 的输出信号(高电平信号)的驱动下充电;

在第 N 周期(为本级 GoA 驱动单元的工作周期)时, 上级 GoA 驱动单元的信号输出端 N-1 端输入信号为低电平, Clk 信号为高电平, 下级 GoA 驱动单元的信号输出端 N+1 信号为低电平, 此时第一薄膜晶体管 TFT1、第三薄膜晶体管 TFT3 和第四薄膜晶体管 TFT4 截止, 第二薄膜晶体管 TFT2 导通, 并在本级信号输出端 N 输出高电平信号;

在第 N+1 周期(为下级 GoA 电路的工作周期)时, 上级 GoA 驱动单元的信号输出端 N-1 为低电平, Clk 信号为低电平, 下级 GoA 驱动单元的信号输出端 N+1 信号为高电平, 此时第三薄膜晶体管 TFT3 和第四薄膜晶体管 TFT4 导通, 第一薄膜晶体管 TFT1 和第二薄膜晶体管 TFT2 截止; 第三薄膜晶体管 TFT3 导通后使得电容 Cd 接低电位/地并放电, 第四薄膜晶体管 TFT4 导通后使得本级信号输出端 N 接低电位/接地并放电。

[0024] 这样就实现了位于阵列基板的两侧的 GoA 驱动单元交替驱动奇偶行的各栅线, 使所述各栅线逐行进行启动, 具体来说, 即左侧的第一个 GoA 驱动单元先驱动第一条栅线(G1), 然后右侧的第一个 GoA 驱动单元驱动第二条栅线(G2), 接着左侧的第二个 GoA 驱动单

元驱动第三条栅线(G3),然后右侧的第一个 GoA 驱动单元驱动第四条栅线(G4),按照这样的驱动方式,通过两侧的 GoA 驱动单元交替驱动奇偶行的各栅线,使所述各栅线逐行进行启动。

[0025] 可以理解的是,上述图 4 示出了一种由四个 TFT 晶体管驱动的驱动电路的原理图,在其他的实施例中,可以采用其他的数量的 TFT 晶体管进行替换,例如可以采用 5 个 TFT 晶体管驱动的驱动电路。

[0026] 在该实施例中,将多个 GoA 驱动单元分设在阵列基板的两侧,并且使栅线奇偶行分别采用两侧的 GoA 驱动单元交替驱动;从而大大减少了驱动电路所占的面积,以及每一侧的驱动电路的复杂程序也降低了,进而有利于液晶显示器的窄边框化设计。

[0027] 相应地,本发明实施还提供了一种液晶显示器的阵列基板,包括由栅线和数据线限定的多个像素单元,每个像素单元内形成薄膜晶体管和像素电极;进一步包括有用于驱动所述栅线的阵列基板驱动电路,所述驱动电路采用如图 3、图 4 所揭露的驱动电路,更多的细节可以参考前述对图 3-图 5 的描述,在此不进行赘述。

[0028] 相应地,本发明的实施例还提供了一种液晶显示器,包括:阵列基板;彩色滤光片基板,与所述阵列基板相对;以及液晶层,配置于所述阵列基板与所述彩色滤光片基板之间;其中,阵列基板为前述采用如图 3 和图 4 所揭露的驱动电路,更多的细节可以参考前述对图 3-图 5 的描述,在此不进行赘述。

[0029] 综上,实施本发明的实施例,具有如下的有益效果:

本发明的实施例中,将多个 GoA 驱动单元分设在阵列基板的两侧,并且使栅线奇偶行分别采用两侧的 GoA 驱动单元交替驱动;从而大大减少了驱动电路所占的面积,以及降低了每一侧的驱动电路的复杂程序,进而有利于液晶显示器的窄边框化设计。

[0030] 以上所揭露的仅为本发明较佳实施例而已,当然不能以此来限定本发明之权利范围,因此等同变化,仍属本发明所涵盖的范围。

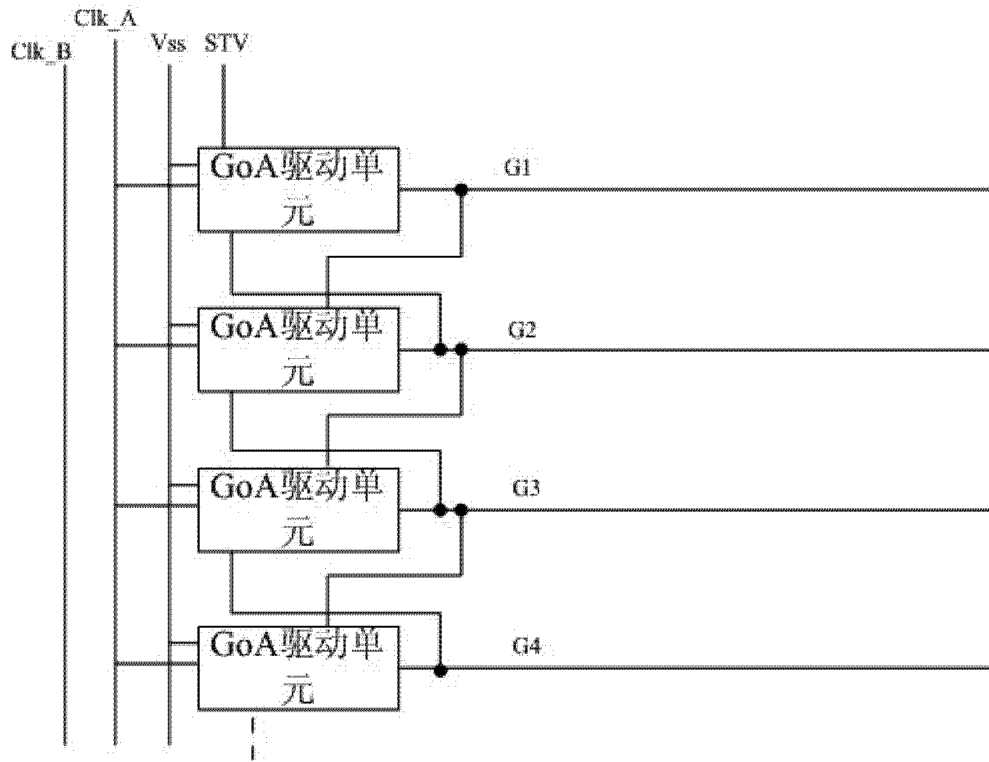


图 1

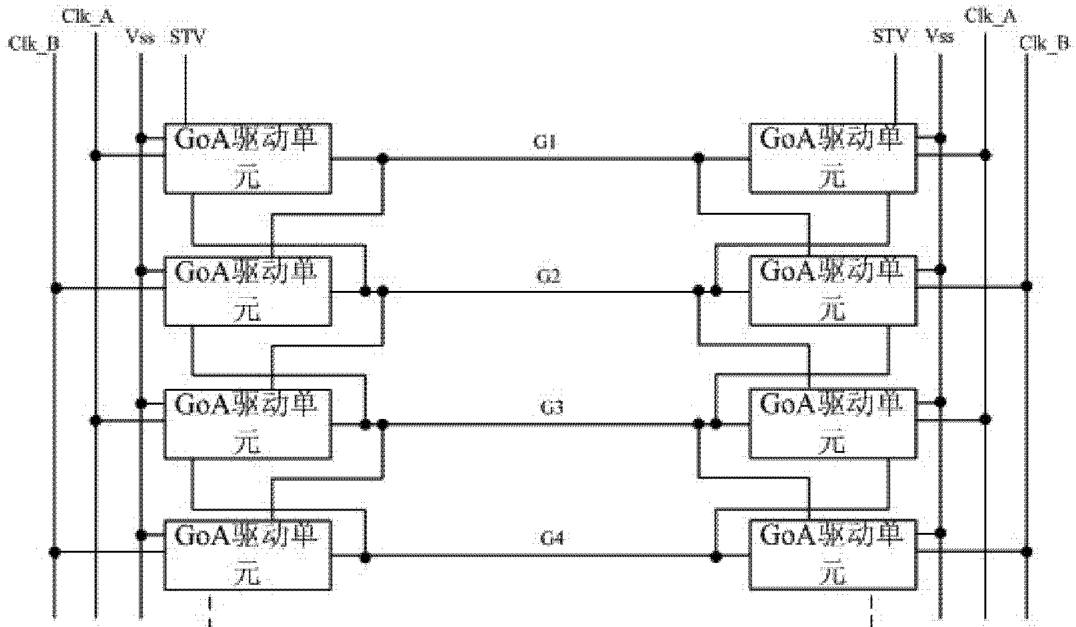


图 2

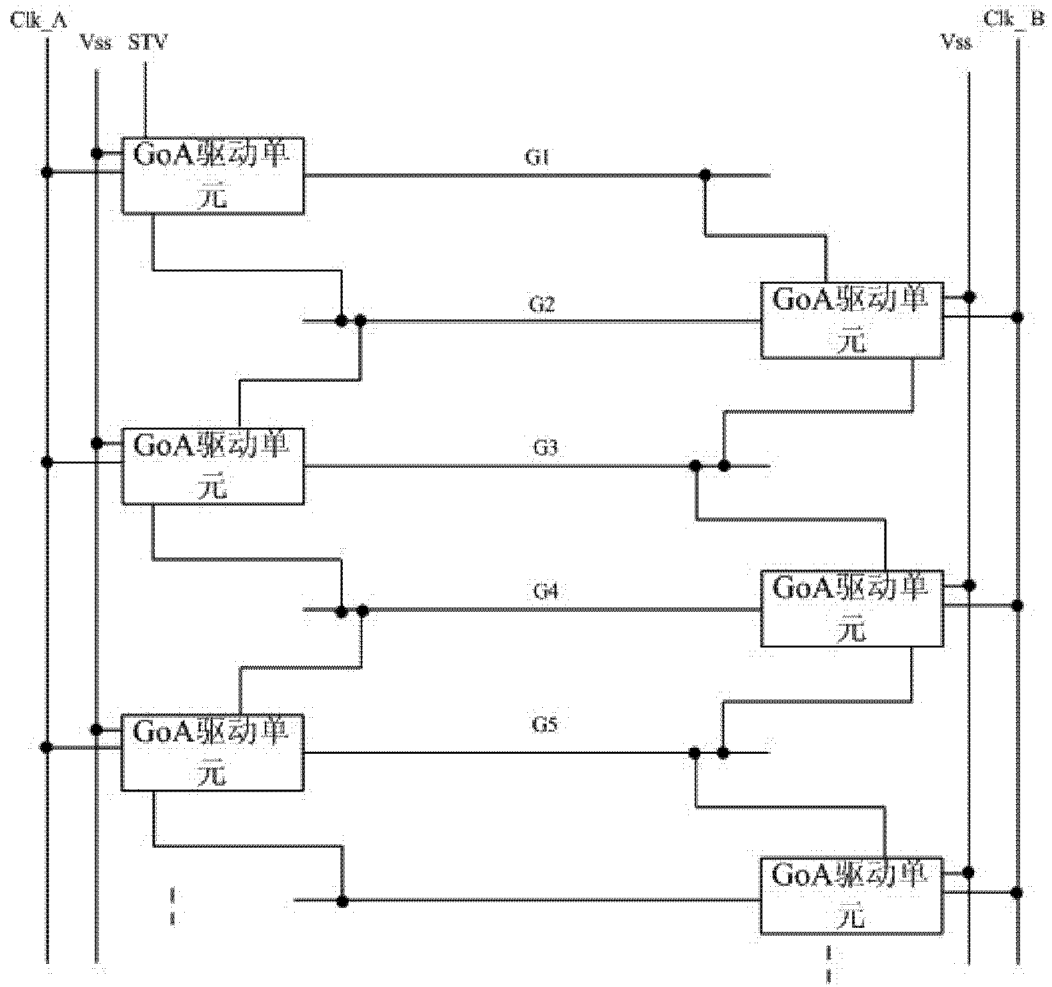


图 3

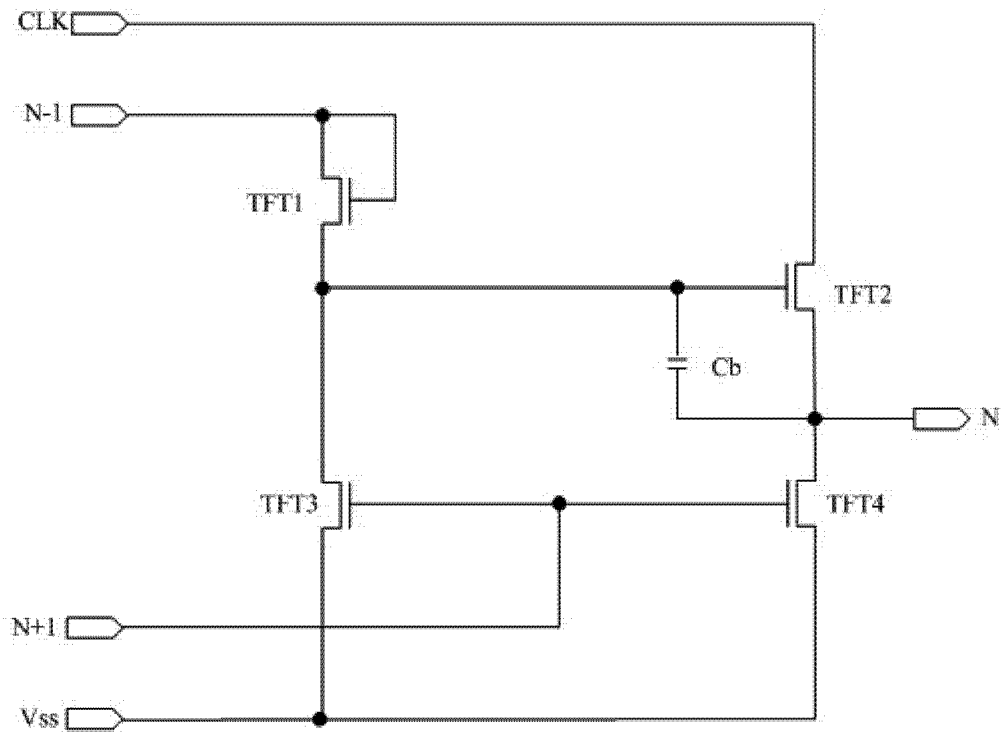


图 4

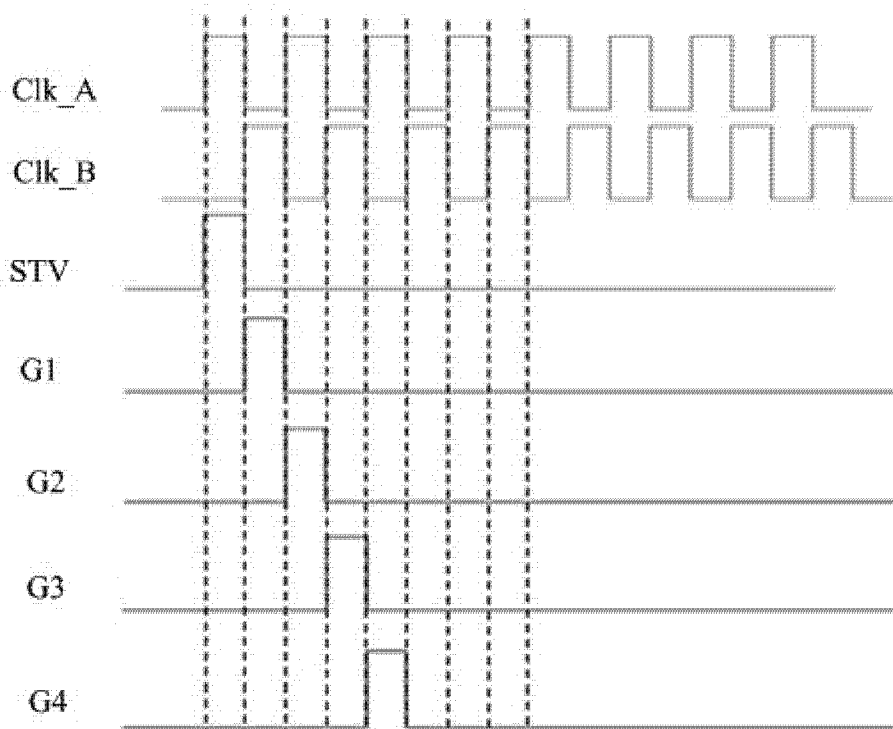


图 5

专利名称(译)	一种阵列基板驱动电路、阵列基板及相应的液晶显示器		
公开(公告)号	CN103730093A	公开(公告)日	2014-04-16
申请号	CN201310730254.4	申请日	2013-12-26
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	徐向阳		
发明人	徐向阳		
IPC分类号	G09G3/36 G02F1/1362 G02F1/1368 G02F1/133		
CPC分类号	G09G3/3659 G09G3/36 G09G3/3648 G09G3/3674 G09G2300/0408 G09G2300/0426 G09G2310/0272 G09G2310/0286 G09G2320/0223		
其他公开文献	CN103730093B		
外部链接	Espacenet	SIPO	

摘要(译)

本发明实施例公开了一种阵列基板驱动电路，包括多个GoA驱动单元，其中，每一GoA驱动单元连接一条栅线；奇数行的栅线所连接的GoA驱动单元设置在阵列基板的一侧，偶数行的栅线所连接的GoA驱动单元设置在阵列基板的另一侧；每一GoA驱动单元均具有两个驱动信号输入端以及一个输出端，两个驱动信号输入端分别连接上级GoA驱动单元的输出端和下级GoA驱动单元的输入端，接收上级GoA驱动单元和下线GoA驱动单元输出的驱动信号，并通过输出端输出本级驱动信号至与其连接的栅线，位于阵列基板的两侧的各GoA驱动单元交替驱动阵列基板的各栅线。本发明实施例相应公开了一种阵列基板和液晶显示器。实施本发明实施例，可以减少阵列基板驱动电路所占的面积，利于液晶显示器的窄边框设计。

