

(12) 发明专利申请

(10) 申请公布号 CN 103323992 A

(43) 申请公布日 2013. 09. 25

(21) 申请号 201310286593. 8

(22) 申请日 2013. 07. 09

(30) 优先权数据

102102336 2013. 01. 22 TW

(71) 申请人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 吴明辉 田堃正 龚欣玫 钟仁阳

魏玮君 廖乾煌

(74) 专利代理机构 隆天国际知识产权代理有限

公司 72003

代理人 张浴月 张龙哺

(51) Int. Cl.

G02F 1/1343(2006. 01)

G02F 1/1362(2006. 01)

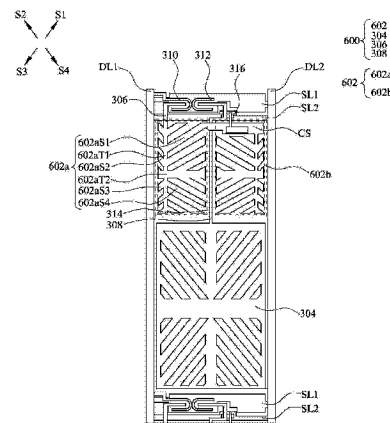
权利要求书4页 说明书10页 附图13页

(54) 发明名称

像素阵列基板及液晶显示面板

(57) 摘要

本发明提出一种具有全新像素结构的像素阵列基板以及具有该像素阵列基板的液晶显示面板,该像素阵列基板包含多条数据线、多条扫描线、以及多个像素,像素中每一个包含一第一像素电极、一第一连接线、一第二像素电极、以及一第二连接线,第一像素电极经由第一连接线电性连接至对应的数据线以及扫描线且具有一第一狭缝,第二像素电极经由第二连接线电性连接至对应的数据线以及扫描线,其中,第二连接线的至少一部分经由第一像素电极的第一狭缝暴露出来。本发明提出的像素阵列基板及液晶显示面板在解决广视角的侧视泛白(color washout)现象的前提下,进一步改善显示器整体的液晶效率。



1. 一种像素阵列基板,包含:
  - 多条数据线;
  - 多条扫描线,与所述多个数据线交错配置以定义多个像素区;以及
  - 多个像素,分别配置于所述多个像素区内,所述多个像素中每一个包含:
    - 一第一像素电极,电性连接至对应的数据线以及扫描线,该第一像素电极具有一第一狭缝;
    - 一第一连接线,该第一像素电极经由该第一连接线电性连接于对应的数据线;
    - 一第二像素电极,电性连接至对应的数据线以及扫描线;以及
    - 一第二连接线,该第二像素电极经由该第二连接线电性连接于对应的数据线,其中该第二连接线的至少一部分经由该第一像素电极的该第一狭缝暴露出来。
2. 如权利要求 1 所述的像素阵列基板,其中该第一狭缝系为一开放狭缝。
3. 如权利要求 1 所述的像素阵列基板,其中该第一狭缝系为一封闭狭缝。
4. 如权利要求 1 所述的像素阵列基板,其中该第一狭缝实质上与所述多个数据线平行。
5. 如权利要求 1 所述的像素阵列基板,其中该第一连接线以及该第二连接线电性连接同一数据线。
6. 如权利要求 1 所述的像素阵列基板,其中该第一连接线以及该第二连接线电性连接不同数据线。
7. 如权利要求 1 所述的像素阵列基板,其中该第一像素电极包含一第一次像素电极以及一第二次像素电极,其中该第一狭缝实质上位于该第一次像素电极以及该第二次像素电极之间。
8. 如权利要求 7 所述的像素阵列基板,其中该第一次像素电极以及该第二次像素电极相对于该第一狭缝而互为镜像对称结构。
9. 如权利要求 1 所述的像素阵列基板,其中该第一次像素电极包含:
  - 一第一主干电极;
  - 一第二主干电极,该第一主干电极与该第二主干电极彼此电性连接且实质上呈正交排列以定义出一第一区、一第二区、一第三区以及一第四区;
  - 多条第一分支,设置于该第一区;
  - 多条第二分支,设置于该第二区;
  - 多条第三分支,设置于该第三区;以及
  - 多条第四分支,设置于该第四区,其中,所述多个第一分支、所述多个第二分支、所述多个第三分支以及所述多个第四分支与该第一主干电极以及该第二主干电极的其中一个电性连接,所述多个第一分支彼此平行排列、所述多个第二分支彼此平行排列、所述多个第三分支彼此平行排列、所述多个第四分支彼此平行排列,且所述多个第一分支、所述多个第二分支、所述多个第三分支与所述多个第四分支分别从该第一主干电极或该第二主干电极朝不同方向延伸,且该第一次像素电极以及该第二次像素电极相对于该第一狭缝而互为镜像对称结构。
10. 如权利要求 9 所述的像素阵列基板,其中该第一主干电极实质上与该第一狭缝平行,且该第一主干电极与该第一狭缝的距离大于该第一主干电极与相邻数据线的距离。

11. 如权利要求 7 所述的像素阵列基板,其中所述多个像素中每一个进一步包含:

一第三像素电极,电性连接至对应的数据线以及扫描线,该第三像素电极具有一第二狭缝;以及

一第三连接线,该第三像素电极经由该第三连接线电性连接于对应的数据线;

其中,该第二连接线的至少一部分经由该第一像素电极的该第一狭缝以及该第三像素电极的该第二狭缝暴露出来。

12. 如权利要求 11 所述的像素阵列基板,其中该第三连接线设置于该第一次像素电极或该第二次像素电极的边缘。

13. 如权利要求 11 所述的像素阵列基板,其中该第三像素电极包含一第三次像素电极以及一第四次像素电极,其中该第二狭缝实质上位于该第三次像素电极以及该第四次像素电极之间,且该第二狭缝实质上位于该第一狭缝的延伸线上。

14. 如权利要求 13 所述的像素阵列基板,其中该第一狭缝以及该第二狭缝实质上与所述多个数据线平行,该第一次像素电极与该第二次像素电极相对于该第一狭缝而互为镜像对称结构,该第三次像素电极与该第四次像素电极相对于该第二狭缝而互为镜像对称结构。

15. 如权利要求 13 所述的像素阵列基板,其中该第三次像素电极以及该第四次像素电极各包含:

一第一主干电极;

一第二主干电极,该第一主干电极与该第二主干电极彼此电性连接且实质上呈正交排列以定义出一第一区、第二区、第三区、以及一第四区;

多条第一分支,设置于该第一区;

多条第二分支,设置于该第二区;

多条第三分支,设置于该第三区;以及

多条第四分支,设置于该第四区,

其中,所述多个第一分支、所述多个第二分支、所述多个第三分支以及所述多个第四分支与该第一主干电极以及该第二主干电极的其中一者电性连接,所述多个第一分支彼此平行排列、所述多个第二分支彼此平行排列、所述多个第三分支彼此平行排列、所述多个第四分支彼此平行排列,且所述多个第一分支、所述多个第二分支、所述多个第三分支与所述多个第四分支分别从该第一主干电极或该第二主干电极朝不同方向延伸,且该第一次像素电极与该第二次像素电极相对于该第一狭缝为对称轴而互为镜像对称结构,该第三次像素电极与该第四次像素电极相对于该第二狭缝而互为镜像对称结构。

16. 如权利要求 15 所述的像素阵列基板,其中该第一次像素电极的该第一主干电极实质上与该第一狭缝平行,且该第一次像素电极的该第一主干电极与该第一狭缝的距离大于该第一主干电极与相邻数据线的距离,该第三次像素电极的该第一主干电极实质上与该第二狭缝平行,且该第三次像素电极的该第一主干电极与该第一狭缝的距离大于该第一主干电极与相邻数据线的距离。

17. 如权利要求 1 所述的像素阵列基板,进一步包含:

多个第一开关,分别设置于各该像素区的一侧,各该第一开关的一第一端经由各该第一连接线分别电性连接各该第一像素电极,各该第一开关的一第二端分别电性连接至各该

对应的数据线以及扫描线；以及

多个第二开关，分别设置于各该像素区的该侧并电性连接至对应的数据线以及扫描线，各该第二开关经由各该第二连接线电性连接各该第二像素电极。

18. 如权利要求 17 所述的像素阵列基板，所述多个像素中每一个进一步包含：

一电荷分享电容；以及

一第三开关；

其中，该电荷分享电容的一第一端电性连接该第一像素电极，该电荷分享电容的一第二端经由该第三开关电性连接该第二像素电极。

19. 一种像素阵列基板，包含：

多条数据线；

多条扫描线；以及

多个像素，所述多个像素中每一个包含一第一像素电极，电性连接至对应的数据线以及扫描线，该第一像素电极包含：

一第一次像素电极；以及

一第二次像素电极，该第二次像素电极与该第一次像素电极电性连接，其中该第一次像素电极与该第二次像素电极相对于一对称轴呈镜像对称，两相邻数据线相对于该对称轴呈镜像对称。

20. 如权利要求 19 所述的像素阵列基板，其中该对称轴实质上与所述多个数据线平行。

21. 如权利要求 20 所述的像素阵列基板，其中该对称轴分别与相邻的两数据线的距离是为相同。

22. 如权利要求 19 所述的像素阵列基板，其中该第一次像素电极包含：

一第一主干电极；

一第二主干电极，该第一主干电极与该第二主干电极彼此电性连接且实质上呈正交排列以定义出一第一区、第二区、第三区、以及一第四区；

多条第一分支，设置于该第一区；

多条第二分支，设置于该第二区；

多条第三分支，设置于该第三区；以及

多条第四分支，设置于该第四区，

其中，所述多个第一分支、所述多个第二分支、所述多个第三分支以及所述多个第四分支与该第一主干电极以及该第二主干电极的其中一个电性连接，所述多个第一分支彼此平行排列、所述多个第二分支彼此平行排列、所述多个第三分支彼此平行排列、所述多个第四分支彼此平行排列，且所述多个第一分支、所述多个第二分支、所述多个第三分支与所述多个第四分支分别从该第一主干电极或该第二主干电极朝不同方向延伸。

23. 如权利要求 22 所述的像素阵列基板，其中该第一主干电极实质上与该对称轴平行，且该第一主干电极与该对称轴的距离大于该第一主干电极与相邻数据线的距离。

24. 如权利要求 19 所述的像素阵列基板，其中该像素阵列基板进一步包含：

一第二像素电极，电性连接至对应的数据线以及扫描线；以及

一第二连接线，该第二像素电极经由该第二连接线电性连接于对应的数据线，其中该

第二连接线沿该对称轴的方向设置。

25. 如权利要求 24 所述的像素阵列基板,其中该第一像素电极与该第二像素电极电性连接同一数据线。

26. 如权利要求 24 所述的像素阵列基板,其中该第一像素电极与该第二像素电极分别电性连接不同数据线。

27. 如权利要求 24 所述的像素阵列基板,其中该第一像素电极沿该对称轴的方向具有一第一狭缝,使该第二连接线的至少一部分经由该第一狭缝暴露出来。

28. 如权利要求 24 所述的像素阵列基板,其中该像素阵列基板进一步包含:

一第三像素电极,设置于该第一像素电极与该第二像素电极之间,电性连接至对应的数据线以及扫描线,该第三像素电极包含:

一第三次像素电极;以及

一第四次像素电极,该第四次像素电极与该第三次像素电极电性连接,其中该第三次像素电极与该第四次像素电极相对于该对称轴呈镜像对称。

29. 如权利要求 28 所述的像素阵列基板,其中该第三次像素电极以及该第四次像素电极各包含:

一第一主干电极;

一第二主干电极,该第一主干电极与该第二主干电极彼此电性连接且实质上呈正交排列以定义出一第一区、第二区、第三区、以及一第四区;

多条第一分支,设置于该第一区;

多条第二分支,设置于该第二区;

多条第三分支,设置于该第三区;以及

多条第四分支,设置于该第四区,

其中,所述多个第一分支、所述多个第二分支、所述多个第三分支以及所述多个第四分支与该第一主干电极以及该第二主干电极的其中一个电性连接,所述多个第一分支彼此平行排列、所述多个第二分支彼此平行排列、所述多个第三分支彼此平行排列、所述多个第四分支彼此平行排列,且所述多个第一分支、所述多个第二分支、所述多个第三分支与所述多个第四分支分别从该第一主干电极或该第二主干电极朝不同方向延伸。

30. 如权利要求 29 所述的像素阵列基板,其中该第一次像素电极的该第一主干电极与该第三次像素电极的该第一主干电极实质上与该对称轴平行,且各该第一主干电极与该对称轴的距离大于该第一主干电极与相邻数据线的距离。

31. 如权利要求 29 所述的像素阵列基板,其中该第一像素电极沿该对称轴的方向具有一第一狭缝,该第三像素电极沿该对称轴的方向具有一第二狭缝,使该第二连接线的至少一部分经由该第一狭缝以及该第二狭缝暴露出来。

32. 一种液晶显示面板,包含:

一如权利要求 1 至 31 中任一项的像素阵列基板;

一对向基板,设置于该像素阵列基板上;以及

一液晶层,设置于该像素阵列基板与该对向基板之间。

## 像素阵列基板及液晶显示面板

### 技术领域

[0001] 本发明涉及一种基板,且特别涉及一种像素阵列基板。

### 背景技术

[0002] 当今液晶显示面板因为具有低幅射、低消耗功率、轻薄等特点,已成为显示器中的主流商品并且发展出各种因应各项需求的技术,其中,广视角显示技术中的垂直配向 (Vertical Alignment, VA) 技术因为具有比扭曲向列 (Twisted Nematic, TN) 更大的视角表现,同时亦具有极佳的反应时间以及高对比度等特性,因此被广泛应用在广视角液晶显示面板中。

[0003] 在公知的液晶显示器中,为了解决垂直配向 (Vertical Alignment, VA) 模式的液晶显示器的侧视泛白 (Color Washout) 问题,可将像素阵列基板上的像素分成两部分。图 1 绘示公知液晶显示器的像素俯视图,图 2 是图 1 所示的像素的等效电路图,请同时参考图 1 以及图 2,像素 100 中包含主像素电极 102、次像素电极 104、第一连接线 106、以及第二连接线 108。其中主像素电极 102 通过第一连接线 106 以及开关元件 T1 电性连接至其对应的数据线 DL1 以及扫描线 SL1,第二像素电极 104 通过第二连接线 108 以及开关元件 T2 亦电性连接至其对应的数据线 DL1 以及扫描线 SL1,此外,像素 100 还包含开关元件 T3、储存电容 ( $C_{ST1}$ 、 $C_{ST2}$ )、共同电极  $V_{COM}$ 、液晶电容 ( $C_{LC1}$ 、 $C_{LC2}$ ) 以及电荷分享电容 CS (包含  $C_{CSA}$  以及  $C_{CSB}$ )。实际上,开关元件 T1、T2 以及 T3 均可以薄膜晶体管 (TFT) 制作而成,而  $C_{LC1}$ 、 $C_{LC2}$  代表各像素电极 (即主像素电极 102 以及次像素电极 104) 与液晶显示器的对向基板的电极层 (图未绘制),例如彩色滤光片的 ITO 层 (亦具  $V_{COM}$  电位),之间所产生的电容。而  $C_{ST1}$ 、 $C_{ST2}$  代表共同电极  $V_{COM}$  电位与显示面板中像素阵列基板的各像素电极 (即主像素电极 102 以及次像素电极 104) 之间的电容;电荷分享电容 CS 则是以开关元件 T3 为枢纽延伸出去的部分,可与其它金属层 (图未绘制) 产生电容, $C_{CSA}$  则是主像素电极 102 与 CS 电容之间产生的电容, $C_{CSB}$  则是共同电极  $V_{COM}$  与 CS 电容之间所产生的电容。

[0004] 以主像素电极 102 所对应的主显示区而言,开关元件 T1 电性连接于数据线 DL1 和主像素电极 102 之间,且开关元件 T1 亦电性连接于扫描线 SL1,以扫描线 SL1 输入信号作为开关元件 T1 的开启 / 关闭控制,而储存电容  $C_{ST1}$  则电性连接于主像素电极 102 与共同电极  $V_{COM}$  之间,使得当开关元件 T1 开启时,数据线 DL1 上的数据信号经由开关元件 T1 传送至主像素电极 102,储存电容  $C_{ST1}$  则充电至相对应的电位。

[0005] 以次像素电极 104 所对应的次显示区而言,开关元件 T2 电性连接于数据线 DL1 和次像素电极 104 之间,且开关元件 T2 亦电性连接于扫描线 SL1,以扫描线 SL1 输入信号作为开关元件 T2 的开启 / 关闭控制,而储存电容  $C_{ST2}$  则电性连接于次像素电极 104 与共同电极  $V_{COM}$  之间,当开关元件 T2 开启时,数据线 DL1 上的数据信号经由开关元件 T2 传送至次像素电极 104,储存电容  $C_{ST2}$  则充电至相对应的电位。接着,为改善液晶显示器侧视泛白 (color washout) 的问题,可以电荷分享 (charge sharing) 的方式,即在扫描线 SL1 输入信号对主像素电极 102 和次像素电极 104 充电后的下一时序,以扫描线 SL2 输入信号开启开关元件

T3,使得次像素电极 104 原来具有的一部分电位,可经由开关元件 T3 将其分享至电容  $C_{CSB}$  以及将其另一部分电位分享至  $C_{CSA}$ 。也就是说,主像素电极 102 与次像素电极 104 之间经由电荷分享电容 CS 以电荷分享 (charge sharing) 的方式,使主像素电极 102 所具有的电压提升并使次像素电极 104 所具有的电压下降,即主像素电极 102 与次像素电极 104 两者之间会具有不同的电压,使得同一像素 100 内的第一像素电极 102 与次像素电极 104 所各自对应的液晶分子具有不同的倾倒角度,进而表现出不同的光穿透率导致亮度不同,据此改善液晶显示器侧视泛白 (color washout) 的问题。

[0006] 然而,请继续同时参照图 1 以及图 2,如图 1 中虚线部分所示,第二连接线 108 连接至次像素电极 104 的路径上,会有部分经过主像素电极 102 的下方,此种第二连接线 108 与主像素电极 102 在垂直方向上有重叠的结构,将造成额外的耦合电容  $C_x$  (如图 2 中虚线部分所示),当主像素电极 102 与次像素电极 104 之间具有此耦合电容  $C_x$  时,将会弱化电荷分享时次像素电极 104 电压下降以及主像素电极 102 电压提升的效果,使得拉开主像素电极 102 与次像素电极 104 两者之间的电压差变得不易,为了维持上述两者的电压差以确保其改善侧视泛白问题的效果,通常会采取的手段是通过提高电荷分享电容  $C_s$  的电容量,使次像素电极 104 分享出更多电荷使其电压进一步降低,此举虽可维持主像素电极 102 与次像素电极 104 之间具有一定压差而达到改善显示器侧视泛白的目的,却也带来了显示器整体的液晶效率降低的问题。

## 发明内容

[0007] 本发明提供一种像素阵列基板,具有全新的像素结构设计,避免上述耦合电容  $C_x$  所带来的电荷分享效果弱化的问题,并且在解决广视角的侧视泛白 (color washout) 现象的前提下,进一步改善显示器整体的液晶效率。

[0008] 本发明的一方案提出一种像素阵列基板,包含多条数据线、多条扫描线、以及多个像素,其中,多条扫描线与多条数据线交错配置以定义多个像素区,多个像素分别配置于所述多个像素区内,像素中每一个包含一第一像素电极、一第一连接线、一第二像素电极、以及一第二连接线,第一像素电极电性连接至对应的数据线以及扫描线且具有一第一狭缝,第一像素电极经由第一连接线电性连接于对应的数据线,第二像素电极电性连接至对应的数据线以及扫描线且第二像素电极经由第二连接线电性连接于对应的数据线,其中,第二连接线的至少一部分经由第一像素电极的第一狭缝暴露出来。

[0009] 在本发明的一实施例中,上述第一像素电极包含一第一次像素电极以及一第二次像素电极,其中第一狭缝实质上位于第一次像素电极以及第二次像素电极之间且该第一次像素电极以及该第二次像素电极相对于该第一狭缝而互为镜像对称结构。

[0010] 在本发明的一实施例中,上述第一次像素电极包含一第一主干电极、一第二主干电极、多条第一分支、多条第二分支、多条第三分支、以及多条第四分支,第一主干电极与第二主干电极彼此电性连接且实质上呈正交排列以定义出一第一区、一第二区、一第三区以及一第四区,多条第一分支设置于第一区,多条第二分支设置于第二区,多条第三分支设置于第三区,多条第四分支设置于第四区,其中,第一分支、第二分支、第三分支以及分支与第一主干电极以及第二主干电极的其中一个电性连接,各第一分支彼此平行排列、各第二分支彼此平行排列、各第三分支彼此平行排列、各第四分支彼此平行排列,且各第一分支、各

第二分支、各第三分支与各第四分支分别从第一主干电极或第二主干电极朝不同方向延伸,且第一次像素电极以及第二次像素电极相对于第一狭缝而互为镜像对称结构,其中第一主干电极实质上与第一狭缝平行,且第一主干电极与第一狭缝的距离大于第一主干电极与相邻数据线的距离。

[0011] 本发明的另一方案提供另一种像素阵列基板,包含多条数据线、多条扫描线、以及多个像素,其中,各像素中每一个包含一第一像素电极电性连接至对应的数据线以及扫描线,第一像素电极包含一第一次像素电极、以及一第二次像素电极,第二次像素电极与第一次像素电极电性连接,其中第一次像素电极与第二次像素电极相对于一对称轴呈镜像对称,两相邻数据线相对于对称轴呈镜像对称。

[0012] 在本发明的一实施例中,上述第一次像素电极包含一第一主干电极、一第二主干电极、多条第一分支、多条第二分支、多条第三分支、以及多条第四分支,其中第一主干电极与第二主干电极彼此电性连接且实质上呈正交排列以定义出一第一区、第二区、第三区、以及一第四区,多条第一分支设置于该第一区,多条第二分支设置于该第二区,多条第三分支设置于该第三区,以及多条第四分支,设置于该第四区,各第一分支、各第二分支、各第三分支以及各第四分支与第一主干电极以及第二主干电极的其中一个电性连接,各第一分支彼此平行排列、各第二分支彼此平行排列、各第三分支彼此平行排列、各第四分支彼此平行排列,且各第一分支、各第二分支、各第三分支与各第四分支分别从第一主干电极或第二主干电极朝不同方向延伸。

[0013] 在本发明的一实施例中,上述第一主干电极实质上与对称轴平行,且第一主干电极与对称轴的距离大于第一主干电极与相邻数据线的距离。

[0014] 在本发明的一实施例中,上述像素阵列基板进一步包含一第二像素电极以及一第二连接线,第二像素电极经由第二连接线电性连接于对应的数据线,其中第二连接线沿对称轴的方向设置,第一像素电极沿对称轴的方向具有一第一狭缝,使第二连接线的至少一部分由第一狭缝暴露出来。

[0015] 本发明另提供一种液晶显示面板,包含前述中任一像素阵列基板、一对向基板以及一液晶层,其中对向基板设置于像素阵列基板上,而液晶层设置于像素阵列基板与对向基板之间。

[0016] 为了让本发明的上述特征和其他目的、特征和优点能更明显易懂,下文特举比较例与实施例,并配合所附图式作详细说明如下。

## 附图说明

[0017] 本发明的上述和其他方案、特征及其他优点参照说明书内容并配合附加图式得到更清楚的了解,其中:

[0018] 图 1 显示公知技术的像素阵列基板的局部俯视图。

[0019] 图 2 显示图 1 的公知技术像素阵列基板所示的像素的等效电路图。

[0020] 图 3 显示本发明一实施例的像素阵列基板的局部俯视图。

[0021] 图 4 显示本发明另一实施例的像素阵列基板的局部俯视图。

[0022] 图 5 显示本发明另一实施例的像素阵列基板的局部俯视图。

[0023] 图 6 显示本发明另一实施例的像素阵列基板的局部俯视图。

- [0024] 图 7 显示本发明的像素设计对于液晶穿透率表现的模拟结果。
- [0025] 图 8 显示本发明另一实施例的像素阵列基板的局部俯视图。
- [0026] 图 9 显示本发明另一实施例的像素阵列基板的局部俯视图。
- [0027] 图 10 显示本发明另一实施例的像素阵列基板的局部俯视图。
- [0028] 图 11 显示本发明另一实施例的像素阵列基板的局部俯视图。
- [0029] 图 12 显示图 11 本发明另一实施例像素阵列基板的局部俯视图所示的像素的等效电路图。
- [0030] 图 13 显示具有本发明的像素阵列基板的液晶显示面板结构示意图。
- [0031] 其中,附图标记说明如下:
- |                       |                |
|-----------------------|----------------|
| [0032] 100 :像素        | 102 :第一像素电极    |
| [0033] 104 :第二像素电极    | 106 :第一连接线     |
| [0034] 108 :第二连接线     | 300 :像素        |
| [0035] 302 :第一像素电极    | 304 :第二像素电极    |
| [0036] 306 :第一连接线     | 308 :第二连接线     |
| [0037] 310 :第一开关      | 312 :第二开关      |
| [0038] 314 :第一狭缝      | 316 :第三开关      |
| [0039] 602 :第一像素电极    | 600 :像素        |
| [0040] 602b :第二次像素电极  | 602a :第一次像素电极  |
| [0041] 602aT2 :第二主干电极 | 602aT1 :第一主干电极 |
| [0042] 602aS2 :第二分支   | 602aS1 :第一分支   |
| [0043] 602aS4 :第四分支   | 602aS3 :第三分支   |
| [0044] 902 :第一像素电极    | 900 :像素        |
| [0045] 902b :第二次像素电极  | 902a :第一次像素电极  |
| [0046] 1100 :像素       | 914 :对称轴       |
| [0047] 1102 :第三像素电极   | 1102a :第一次像素电极 |
| [0048] 1102b :第二次像素电极 | 1110 :第四开关     |
| [0049] 1118 :第三连接线    | 1114 :第二狭缝     |
| [0050] 1300 :液晶显示面板   | 1302 :阵列基板     |
| [0051] 1304 :对向基板     | 1306 :液晶层      |

### 具体实施方式

[0052] 本发明的目的及优点,通过下列实施例中伴随图式与元件符号的详细叙述后,将更为显著。

[0053] 为了使本揭示内容的叙述更加详尽与完备,可参照附图及以下所述各种实施例,图式中相同的号码代表相同或相似的元件,并且为求清楚说明,元件的大小或厚度可能夸大显示,并未依照原尺寸作图。此外,为简化附图起见,一些结构与元件在附图中将以简单示意的方式绘示。然而,应了解到所提供的实施例并非用以限制本发明所涵盖的范围。这些实务上的细节不应用以限制本发明。也就是说,在本发明部分实施方式中,这些实务上的细节是非必要的。而结构运作的描述非用以限制其执行的顺序,任何由元件重新组合的结

构,所产生具有均等功效的装置,皆为本发明所涵盖的范围。

[0054] 请先参照图 3,图 3 是本发明的一实施例的像素阵列基板的最小重复单元,本实施例的像素阵列基板包含多条数据线、多条扫描线、多个像素。其中,多条数据线与多条扫描线交错配置以定义出多个像素区,而多个像素分别配置于多个像素区内,即每一个像素区均被配置一个像素,如图 3 所示,相邻的两组扫描线 SL1、SL2(图中上方一组扫描线 SL1、SL2 提供扫描信号予图式中像素,下方一组扫描线 SL1、SL2 提供扫描信号的像素为图式简洁则省略未绘出)与相邻的数据线 DL1、DL2 交错配置出一像素区,而一像素 300 配置于一像素区中。其中,像素 300 包含第一像素电极 302、第一连接线 306、第二像素电极 304 以及第二连接线 308。第一像素电极 302 经由第一连接线 306 电性连接至数据线 DL1,而第二像素电极 304 经由第二连接线 308 电性连接至数据线 DL1。第一像素电极 302 与第二像素电极 304 的面积举例不同,本实施例及之后描述的图 4 至 5 以第二像素电极 304 的面积大于第一像素电极 302 为例,但不限于此,而其图案举例均包含鱼骨图案。本实施例的像素 300 的第一像素电极 302 与第二像素电极 304 是于同一时序下,由扫描线 SL1 输入信号同时开启第一开关 310 与第二开关 312,使数据线 DL1 的电位同时对第一像素电极 302 与第二像素电极 304 充电,再于另一时序经由电荷分享(charge sharing)使第一像素电极 302 与第二像素电极 304 两者之间具有不同的电位,其中电荷分享的方式例如可以是像素中进一步包含第三开关 T3 以及电荷分享电容 CS,而电荷分享电容 CS 一端电性连接第一像素电极 302,而另一端经由第三开关电性连接第二像素电极 304,由扫描线 SL2 输入信号以打开第三开关 T3,使电荷由第二像素电极 304 流入分享电容  $C_{CSA}$  与  $C_{CSB}$  中,以达到第一像素电极 302 的电位升高而第二像素电极 304 的电位降低的效果,但不以此方式有限。值得注意的是,第一像素电极 302 具有第一狭缝 314,使得将第二像素电极 304 电性连接至其对应的数据线 DL1 与扫描线 SL1 的第二连接线 308 得以由第一狭缝 314 中暴露出来,故如此使第二连接线 308 与第一主像素电极 302 在垂直方向上重叠的部分,较现有技术大为减少且使耦合电容  $C_x$  变得极小,如图 3 以及图 4 所示,第一狭缝 314 的形式可以是开放狭缝,如图 3 以及图 4 所示但不以此有限,亦可如图 5 所示的为封闭狭缝,如图 5 所示但亦不以此有限。据此,本实施例于第一像素电极 302 作为主像素电极、第二像素电极 304 作为次像素电极,经由电荷分享电容  $C_s$  以电荷分享(charge sharing)的方式,使第二像素电极 304 所具有的电压下降,而第一像素电极 302 所具有的电压提升的同时,因为耦合电容  $C_x$  变得极小,因此大幅减轻了现有技术中因为耦合电容  $C_x$  使两者之间的电压差不易拉大的问题,进而无须提高电荷分享电容  $C_s$  的电容量使第二像素电极 304 的电位进一步降低,即本实施例与图 1 所示的现有技术相比,第一像素电极 302 可较主像素电极 102 具有更高的电压、第二像素电极 304 亦可较次像素电极 104 具有更高的电压,而在第一像素电极 302 与第二像素电极 304 之间所具有的电压差约略等同于主像素电极 102 与次像素电极 104 之间所具有的电压差的情况下,不仅达到改善显示器侧视泛白的目的,同时亦提高了显示器整体的液晶效率。

[0055] 请参照图 6,图 6 是本发明的另一实施例的像素阵列基板的最小重复单元,本实施例的像素阵列包含多条扫描线、多条数据线、多个像素。其中,多条扫描线与多条数据线交错配置以定义出多个像素区,而多个像素分别配置于多个像素区内,即每一个像素区均被配置一个像素,如图 6 所示,相邻的两组扫描线 SL1、SL2(图中上方一组扫描线 SL1、SL2 提供扫描信号予图式中像素,下方一组扫描线 SL1、SL2 提供扫描信号的像素为图式简洁则省

略未绘出)与一对相邻的数据线 DL1、DL2 交错配置出一像素区,而一像素 600 配置于一像素区中。其中,像素 600 包含第一像素电极 602、第一连接线 306、第二像素电极 304、以及第二连接线 308。第一像素电极 602 与第二像素电极 304 的面积举例不同,本实施例以第二像素电极 304 的面积大于第一像素电极 602 为例,但不限于此。第二像素电极 304 的图案举例前述图 3 至 5 的第二像素电极 304 相同。第一像素电极 602 经由第一连接线 306 及第一开关 310 电性连接至数据线 DL1 以及扫描线 SL1,而第二像素电极 304 经由第二连接线 308 及第二开关 312 电性连接至数据线 DL1 以及扫描线 SL1,第一像素电极 602 具有第一狭缝 314,使得将第二像素电极 304 电性连接至其对应的数据线 DL1 与扫描线 SL1 的第二连接线 308 得以由第一狭缝 314 中暴露出来,在此特别值得注意的是,第一像素电极 602 包含第一次像素电极 602a 以及第二次像素电极 602b,而第一狭缝 314 实质上位于第一次像素电极 602a 以及第二次像素电极 602b 之间,而第一次像素电极 602a 与第二次像素电极 602b 相对于第一狭缝 314 而互为镜像对称结构。请继续参照图 6 所示,第一次像素电极 602a 包含第一主干电极 602aT1、第二主干电极 602aT2、多条第一分支 602aS1、多条第二分支 602aS2、多条第三分支 602aS3、以及多条第四分支 602aS4,其中第一主干电极 602aT1 与第二主干电极 602aT2 彼此电性连接且实质上呈正交排列以定义出第一区、第二区、第三区、以及第四区,多条第一分支 602aS1、多条第二分支 602aS2、多条第三分支 602aS3、以及多条第四分支 602aS4 分别设置于第一区、第二区、第三区、以及第四区内,而多条第一分支 602aS1、多条第二分支 602aS2、多条第三分支 602aS3、以及多条第四分支 602aS4 与第一主干电极 602aT1 或第二主干电极 602aT2 电性连接。其中,第一分支 602aS1 彼此平行排列、第二分支 602aS2 彼此平行排列、第三分支 602aS3 彼此平行排列、第四分支 602aS4 彼此平行排列,且各第一分支 602aS1、各第二分支 602aS2、各第三分支 602aS3、各第四分支 602aS4 彼此分别从第一主干电极 602aT1 或第二主干电极 602aT2 朝不同方向延伸。更明确来说,以图 6 中多条第一分支 602aS1 为例,其中各第一分支 602aS1 与第一主干电极 602aT1 或是第二主干电极 602aT2 电性连接,且以 S1 为各第一分支 602aS1 延伸方向彼此平行排列并向外延伸。依此类推,多条第二分支 602aS2、多条第三分支 602aS3 以及多条第四分支 602aS4 亦具有与前述多条第一分支 602aS1 类似的排列,仅是其各自的延伸方向不同,即各第二分支 602aS2 沿 S2 为延伸方向彼此平行排列并向外延伸、各第三分支 602aS3 沿 S3 为延伸方向彼此平行排列并向外延伸、以及各第四分支 602aS4 沿 S4 为延伸方向彼此平行排列并向外延伸。

[0056] 在图 6 所示的本发明另一实施例中第一像素电极 602 形状的设计与图 3 所示实施例的第一像素电极 302 相比较,图 6 所示的第一像素电极 602 因为具有较多的主干电极(例如第一次像素电极 602a 中的第一主干电极 602aT1 与第二主干电极 602aT2),因此能够提供更强的电场予各分支电极(例如第一次像素电极 602a 中的多条第一分支 602aS1、多条第二分支 602aS2、多条第三分支 602aS3、以及多条第四分支 602aS4)来控制对应于第一像素电极 602 的液晶分子的倾倒角度。

[0057] 此外请参照图 7 所示,主干电极的电场通常较各分支电极的电场为强,而主干电极的电场却不若各分支电极的电场具有方向性,因此对应于主干电极的液晶分子即无特定方向的倾倒角度而通常不具光穿透率,故主干电极常为显示面板黑线的所在。

[0058] 在图 7(A)中(如图 3 至图 5 所示实施例的第一像素电极 302),狭缝 314 可视为像

素电极 302 的区域 (domain) 边界,位在像素电极区域 (domain) 边界的电位会与其邻近的数据线的电位产生冲突,因此整体像素电极的电场控制力较弱,故如图 7(A) 中垂直方向的显示黑线会随机出现于整体像素电极的任何区域,反观) 图 7(B) (如具有主干电极的第一次像素电极和第二次像素电极,类似于图 6 的第一像素电极),由于垂直方向上具有主干电极增强了整体像素电极的电场控制力,液晶会顺着次像素电极的分支间的缝隙 (slits) 倾倒,不会发生液晶倾倒方向冲突的状况,即可将垂直方向的显示黑线锁定于垂直方向的主干电极位置上,故相较于第 7(A) 图的设计 (图 3),具有主干电极的第一次像素电极和第二次像素电极的设计 (图 6) 更能控制黑线所在的位置。

[0059] 请继续参照图 6,本实施例的第一主干电极 602aT1 实质上与第一狭缝 314 平行,第一主干电极 602aT1 与第一狭缝 314 之间的距离实质上大于第一主干电极 602aT1 与相邻数据线 DL1 之间的距离,第一主干电极 602aT1 实质上位于数据线 DL1 和第一狭缝 314 之间,即第一主干电极 602aT1 特意设置于像素区的边缘处,以垂直方向的主干电极将垂直方向的显示黑线锁定在像素区的边缘,藉此提升像素显示的开口率。综上所述,图 6 所示的本发明另一实施例,不仅具有如图 3 因为耦合电容  $C_x$  变得极小,因此大幅减轻因为耦合电容  $C_x$  的产生,使第一像素电极 602 与第二像素电极 304 之间的电压差不易拉大的问题,进而提高了显示器整体的液晶效率之外,尚有将显示黑线锁定在像素区的边缘来提升像素显示的开口率的特殊功效。

[0060] 参照图 8 所示的本发明另一实施例的像素阵列基板的最小重复单元,各元件的连接关系如上所述,在此不再重复,唯一不同在于其第一连接线 306 与第二连接线 308 电性连接于不同数据线,即第一连接线 306 经由第一开关 310 电性连接于数据线 DL1、第二连接线 308 经由第二开关 312 电性连接于数据线 DL2,藉此第一像素电极 302 与第二像素电极 304 于同一时序下,由同一扫描线 SL1 送入扫描信号以开启第一开关 310 与第二开关 312 时,第一像素电极 602 与第二像素电极 304 分别通过数据线 DL1 与 DL2 充电而可具有不同的电压。

[0061] 请参照图 9,图 9 是本发明的另一实施例的像素阵列基板的最小重复单元,本实施例的像素阵列包含多条扫描线、多条数据线、多个像素。其中,多条扫描线与多条数据线交错配置以定义出多个像素区,而多个像素分别配置于多个像素区内,即每一个像素区均被配置一个像素,如图 9 所示,一对相邻的扫描线 SL1、SL2 (图中上方一组扫描线 SL1、SL2 提供扫描信号予图式中像素,下方一组扫描线 SL1、SL2 提供扫描信号的像素为图式简洁则省略未绘出) 与一对相邻的数据线 DL1、DL2 交错配置出一像素区,而一像素 900 配置于一像素区中。其中,像素 900 包含第一像素电极 902、第一连接线 306、第二像素电极 304、以及第二连接线 308。第一像素电极 902 经由第一连接线 306 及第一开关 310 电性连接至数据线 DL1 以及扫描线 SL1,而第二像素电极 304 经由第二连接线 308 及第二开关 312 电性连接至数据线 DL1 以及扫描线 SL1。值得注意的是,第一像素电极 902 包含第一次像素电极 902a 以及第二次像素电极 902b,第一次像素电极 902a 与第二次像素电极 902b 相对于一对称轴 914 成镜像对称而两相邻数据线 DL1、DL2 亦相对于对称轴 914 成镜像对称,其中,对称轴 914 与数据线 DL1 之间的距离和对称轴 914 与数据线 DL2 之间的距离可实质上相同,此外,第一像素电极 902 可以如同图 6 所示,包含第一次像素电极 902a 以及第二次像素电极 902b。对于第一次像素电极 902a 以及第二次像素电极 902b 的电极形状亦可参照图 6 搭配上述类推至本实施例中,在此不再重复描述,然而值得注意的是,图 9 所示的实施例与图 6

不同在于,图9中第一像素电极902并未如同图6中第一像素电极602具有第一狭缝314,即图9中第一像素电极902中的第一次像素电极902a以及第二次像素电极902b并非如同图6中第一像素电极602中的第一次像素电极602a以及第二次像素电极602b被大致位于第一狭缝314隔开相对两侧,而是由第一次像素电极902a以及第二次像素电极902b的各一部分分支电极,于第一像素电极902的所在平面上整片相连在一起,相连的分支电极之间具有间隙将第二连接线308的一部分露出。参照图9所示,本发明除了可以如同前述,将第一主干电极特意设置于像素区的边缘处,藉此提升像素显示的开口率之外,第二连接线308与第一像素电极902在垂直方向上的重叠部分亦较图1所示的现有技术为小,进而使上述两者之间可能产生的耦合电容 $C_x$ 变小,据此,本实施例的像素阵列基板,不仅提升基板内各像素的显示的开口率,亦能减轻现有技术中因为耦合电容 $C_x$ 使两者之间的电压差不易拉大的问题,达到改善显示器侧视泛白的目的,亦提高了显示器整体的液晶效率。

[0062] 参照图10所示的本发明另一实施例的像素阵列基板的最小重复单元像素,各元件的连接关系如前段所述,在此不再重复,唯一不同在于其第一连接线306与第二连接线308电性连接于不同数据线,即第一连接线306经由第一开关310电性连接于数据线DL1、第二连接线308经由第二开关312电性连接于数据线DL2,藉此第一像素电极902与第二像素电极304于同一时序下,由同一扫描线SL1送入扫描信号以开启第一开关310与第二开关312时,第一像素电极902与第二像素电极304分别通过数据线DL1与DL2充电而可具有不同的电压。

[0063] 参照图11的本发明另一实施例的像素阵列基板的最小重复单元,请同时对照图6,在图11中和图6相同的元件均以统一的元件符号标示,各相同元件之间的连结关系亦已如上述在此不做重复描述,特别需要注意的是,在图11中进一步包含了第三像素电极1102、第四开关1110以及第三连接线1118,其中第三像素电极1102经由第三连接线1118以及第四开关1110电性连接于对应的数据线DL1且第三像素电极1102具有一第二狭缝1114,第三像素电极1102的位置例如可以设置于第一像素电极602与第二像素电极304之间,但不以此为限,而第三连接线1118可以设置于第一像素电极602或第二像素电极304的边缘,但亦不以此为限,只要第三连接线1118不与第一像素电极602以及第二像素电极304有任何重叠导致耦合电容 $C_x$ 产生即可。此外,可参照图11等效电路图的图12所示,以第一像素电极602而言,开关元件310电性连接于数据线DL1和第一像素电极602之间,且开关元件310亦电性连接于扫描线SL1,以扫描线SL1输入信号作为开关元件310的开启/关闭控制,而其储存电容 $C_{ST1}$ 则电性连接于第一像素电极602与共同电极 $V_{COM}$ 之间,当开关元件310开启时,数据线DL1上的数据信号经由开关元件310传送至储存电容 $C_{ST1}$ 以及第一像素电极602,储存电容 $C_{ST1}$ 以及第一像素电极602则依据数据信号充电而储存相对应的电位。以第二像素电极304而言,开关元件312电性连接于数据线DL1和第二像素电极304之间,且开关元件312亦电性连接于扫描线SL1,以扫描线SL1输入信号作为开关元件304的开启/关闭控制,而储存电容 $C_{ST2}$ 则电性连接于第二像素电极304与共同电极 $V_{COM}$ 之间,当开关元件312开启时,数据线DL1上的数据信号经由开关元件312传送至储存电容 $C_{ST2}$ ,储存电容 $C_{ST2}$ 则依据数据信号充电而储存相对应的电位。以第三像素电极1102而言,开关元件1110电性连接于数据线DL1和第三像素电极1102之间,且开关元件1110亦电性连接于扫描线SL1,以扫描线SL1输入信号作为开关元件1110的开启/关闭控制,而储存

电容  $C_{ST3}$  则电性连接于第三像素电极 1102 与共同电极  $V_{COM}$  之间,当开关元件 1110 开启时,数据线 DL1 上的数据信号经由开关元件 1110 传送至储存电容  $C_{ST3}$ ,储存电容  $C_{ST3}$  则依据数据信号充电而储存相对应的电位,故使得液晶电容  $C_{LC1\sim 3}$  及储存电容  $C_{ST1\sim 3}$  同时充电至相应电位。接着,为改善液晶显示器侧视泛白 (color washout) 的问题,以电荷分享 (charge sharing) 的方式,即在扫描线 SL1 输入信号后的下一时序中,以扫描线 SL2 输入信号开启开关元件 316,使得第二像素电极 304 原来具有的一部分电位,可经由开关元件 316 将其分享至电容  $C_{CSB}$  以及将其另一部分电位分享至电容  $C_{CSA}$  中。也就是说,第一像素电极 602 与第二像素电极 304 之间经由电荷分享电容 CS 以电荷分享 (charge sharing) 的方式,使第一像素电极 602 所具有的电压提升并使第二像素电极 304 所具有的电压下降,而第三像素电极 1102 不参与电荷分享 (charge sharing) 则维持原有电压,即第一像素电极 602、第二像素电极 304 以及第三像素电极 1102,三者之间最后具有不同的电压,使得同一像素 1100 内的第一像素电极 602、第二像素电极 304 以及第三像素电极 1102 所各自对应的液晶分子具有不同的倾角,进而表现出不同的光穿透率导致亮度不同,据此改善液晶显示器侧视泛白 (color washout) 的问题。

[0064] 请再参照图 11,第三像素电极 1102 包含第三次像素电极 1102a 以及第四次像素电极 1102b,第二狭缝 1114 实质上位于第三次像素电极 1102a 与第四次像素电极 1102b 之间且第二狭缝 1114 实质上位于第一狭缝 314 的延伸线上,其中,第三像素电极 1102 中的第三次像素电极 1102a 与第四次像素电极 1102b 和第一像素电极 602 中的第一次像素电极 602a 和第二次像素电极 602b 相类似的是,第三次像素电极 1102a 与第四次像素电极 1102b 相对于第二狭缝 1114 而互为镜像对称结构,而第三次像素电极 1102a 在电极形状上可和第一次像素电极 602a 相同,但不以此为限。其中最重要的是,本实施例中第二连接线 308 在连接至第二像素电极 304 的路径上通过第一像素电极 602 的第一狭缝 314 以及第三像素电极 1102 的第二狭缝 1114 而暴露出来,据此,本实施例的像素阵列基板亦具有因为耦合电容  $C_x$  变得极小,大幅减轻现有技术中因为耦合电容  $C_x$  使第一像素电极 602 和第二像素电极 304 之间的电压差不易拉大的问题,故能够在不需增加电荷分享电容 CS 的电荷量的情况下即能具有改善侧视泛白 (color washout) 的能力,故较现有技术的像素阵列基板在液晶效率上可提高约 12.45%,同时可由其特殊的第一、第二、第三、以及第四次像素 (602a、602b、1102a、以及 1102b) 结构的设计,使显示黑线移往并固定于像素区的边缘,提高像素显示的开口率。此外,于本发明的另一实施例中,第一、第二、第三、以及第四次像素 (602a、602b、1102a、以及 1102b) 结构的设计亦可采用如图 9 所公开的第一像素电极 902 中的第一次像素电极 902a 以及第二次像素电极 902b 的设计,即第一次像素电极 602a 与第三次像素电极 1102a 采用第一次像素电极 902a 的设计且第二次像素电极 602b 与第四次像素电极 1102b 采用第二次像素电极 902b 的设计,而第一次像素电极 602a 与第二次像素电极 602b、第三次像素电极 1102a 与第四次像素电极 1102b 都是相对于对称轴 914 而成镜像结构,亦能在改善侧视泛白 (color washout) 的前提下,得到较现有技术的像素阵列基板在液晶效率以及像素显示的开口率提升的功效。

[0065] 请参照图 13 所示本发明的液晶显示面板 1300,液晶显示面板 1300 包含像素阵列基板 1302、对向基板 1304 以及液晶层 1306,其中,像素阵列基板 1302 采用任一前述本发明中各像素阵列基板,对向基板 1304 设置于像素阵列基板 1302 上,而液晶层 1306 则设

置于像素阵列基板 1302 与对向基板 1304 之间。其中,依据液晶显示面板 1300 的结构,可对应选择不同的对向基板 1304 搭配,而液晶层 1306 的材料可选择具有适当介电异向性 (dielectric anisotropy,  $\Delta \epsilon$ )、双折射系数 (birefringence,  $\Delta n$ ) 的液晶材料,其中,不同液晶分子的双折射系数  $\Delta n$  亦可搭配调整适当的液晶层 1306 的厚度 (cell gap, D) 以达到液晶显示面板所预定的入射光穿透率,对向基板 1304 可选择性更包含彩色滤光片,则对向基板 1304 可称为彩色滤光基板。

[0066] 最后要强调的是,本发明所公开的像素阵列基板具有全新的像素结构设计,解决了现有技术中因为耦合电容  $C_x$  所造成的电荷分享效果弱化的问题,使主像素电极与次像素电极之间具有一定压差以解决广视角显示的侧视泛白 (color washout) 现象,并且据此进一步改善显示器的液晶效率,同时亦在此前提的下,为其像素阵列基板提供了进一步提升像素开口率的全新像素结构设计。

[0067] 虽然本发明已以实施方式揭公开如上,然其并非用以限定本发明,任何本领域技术人员,在不脱离本发明的精神和范围内,当可作各种的更动与润饰,因此本发明的保护范围当视所附的权利要求所界定的范围为准。

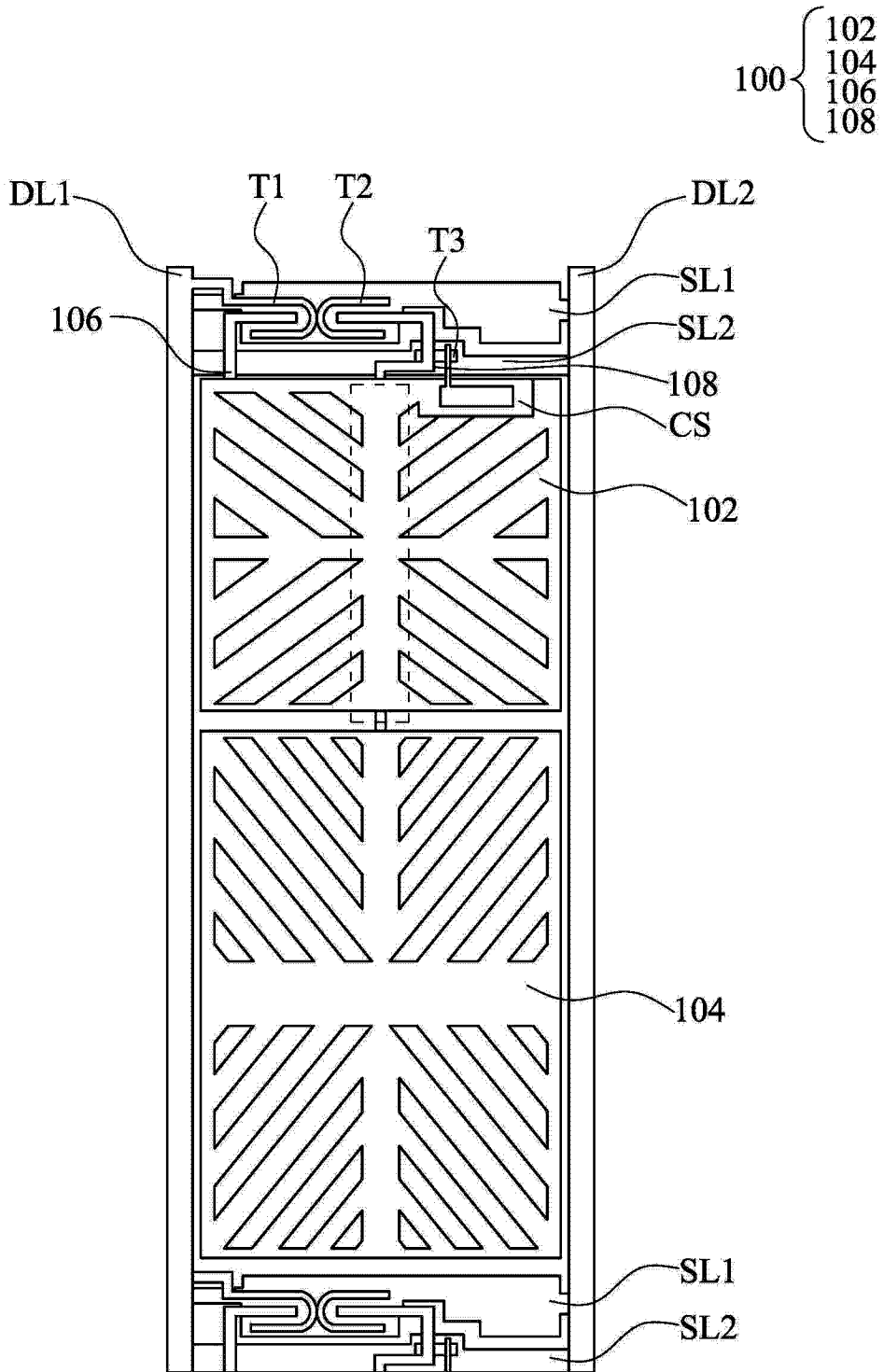


图 1

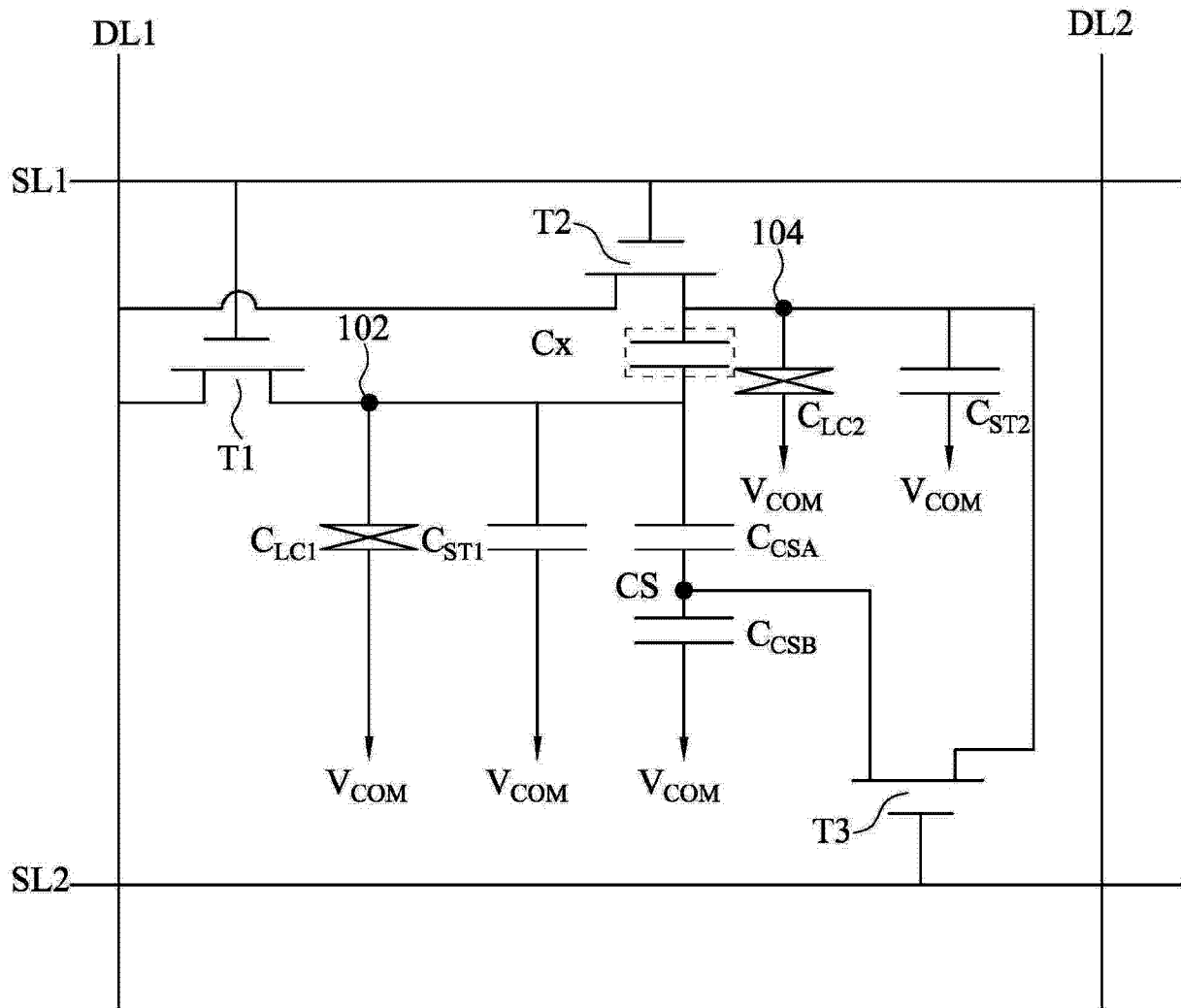


图 2

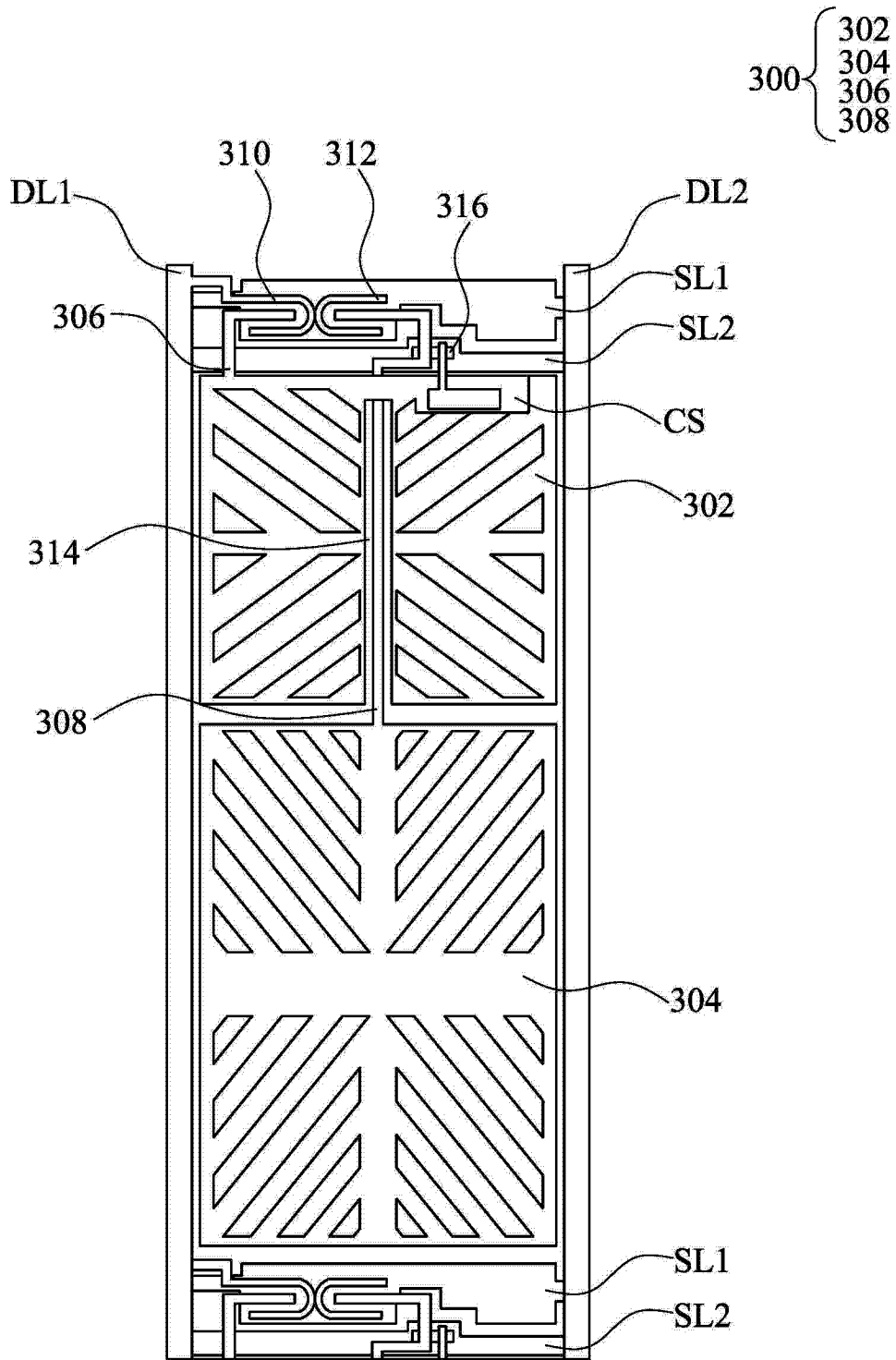


图 3

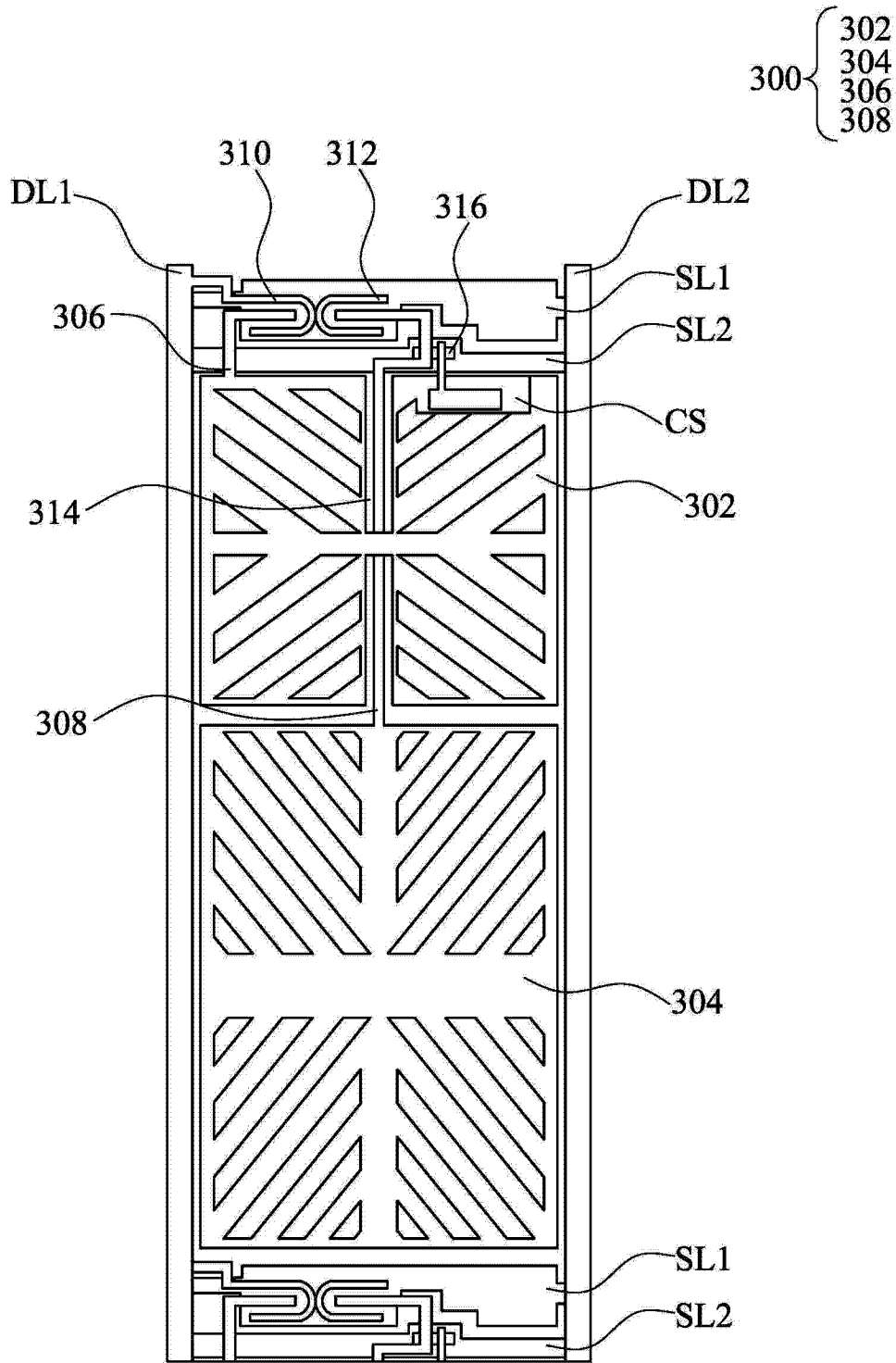


图 4

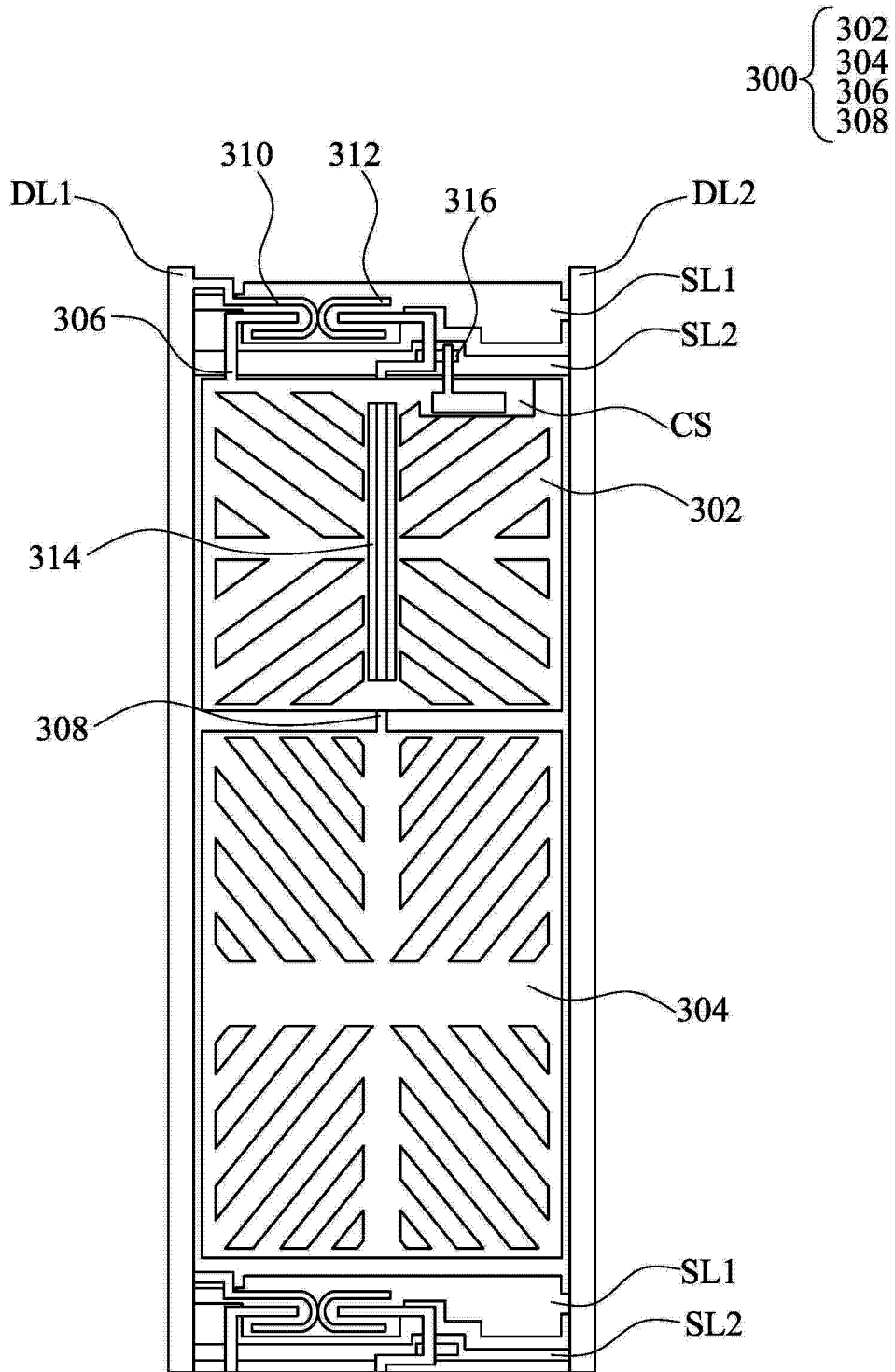


图 5

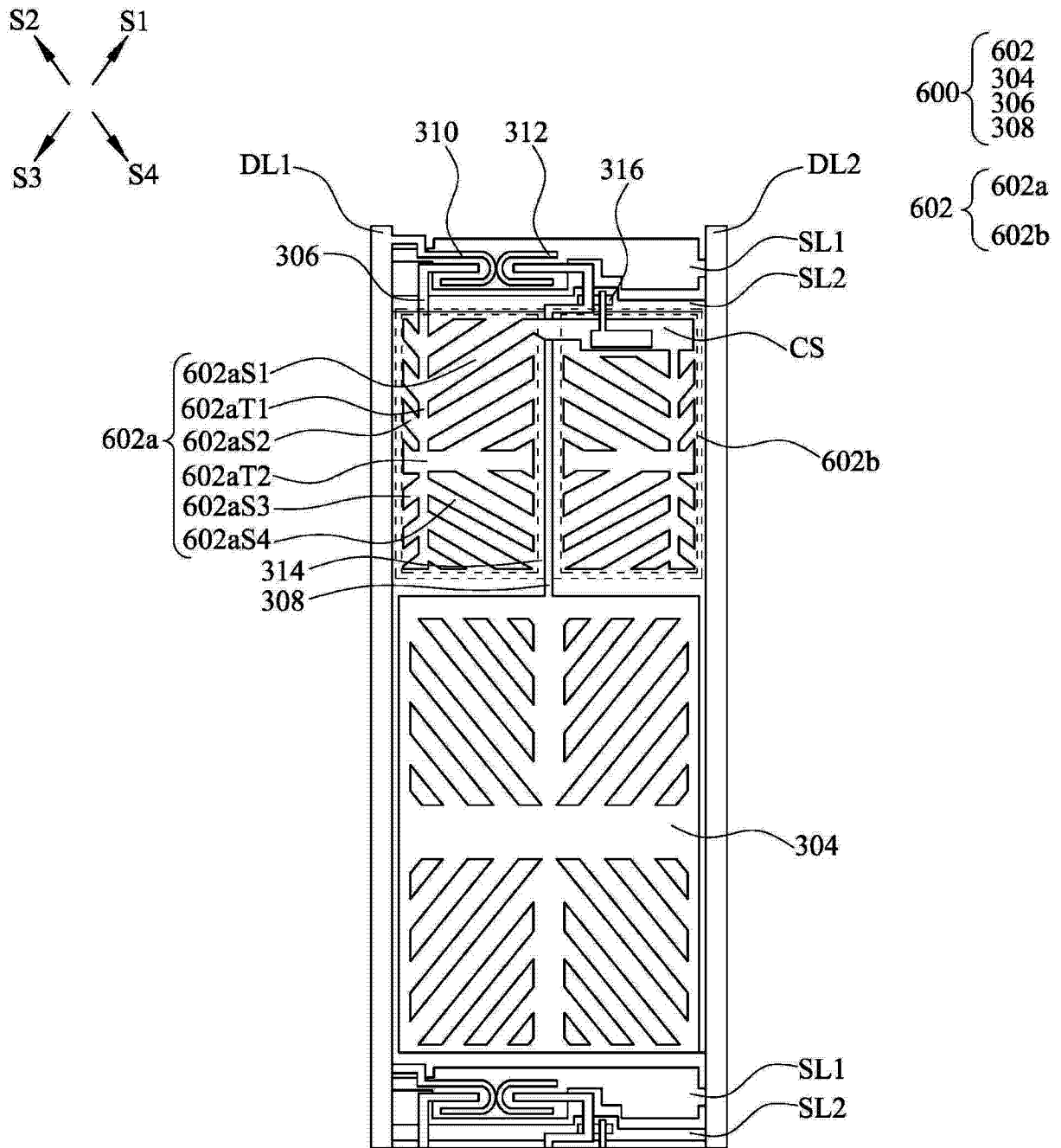
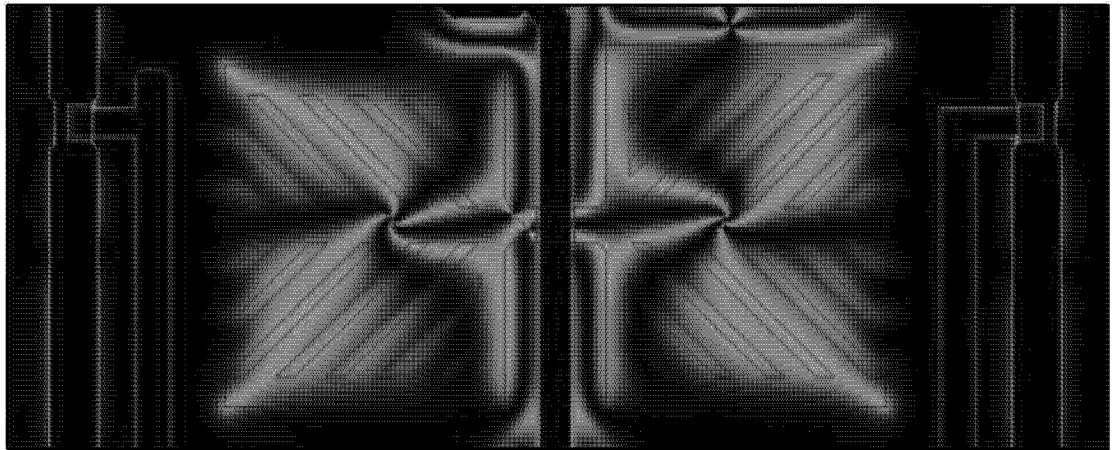
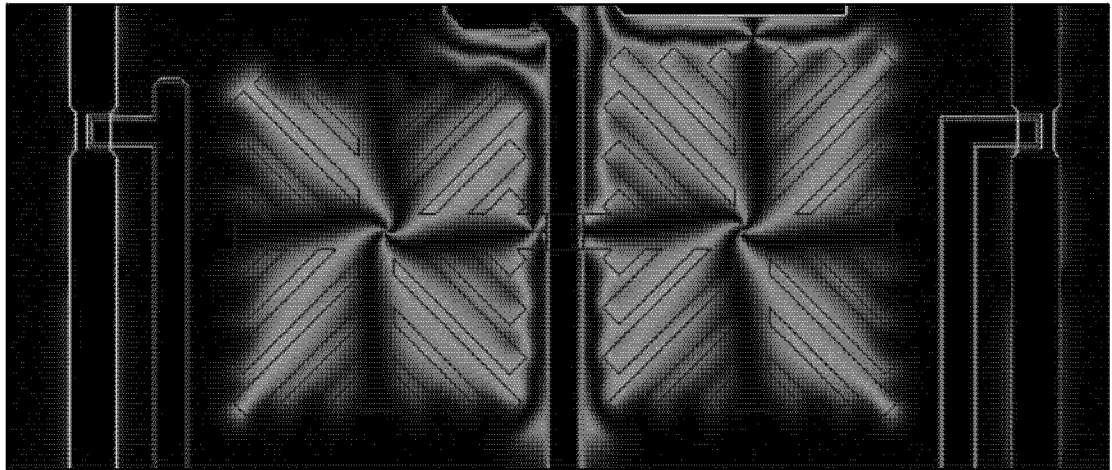


图 6



(A)



(B)

图 7

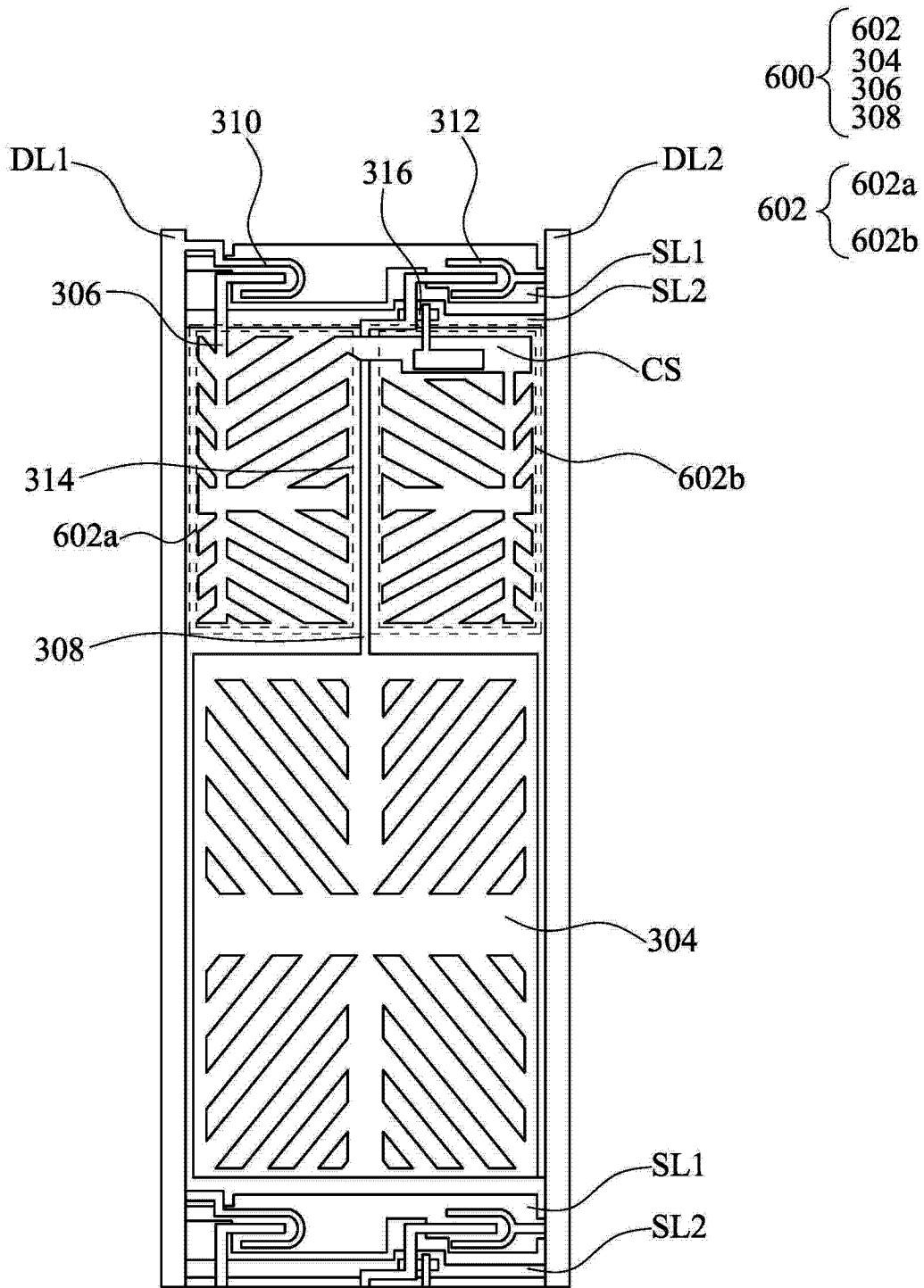


图 8

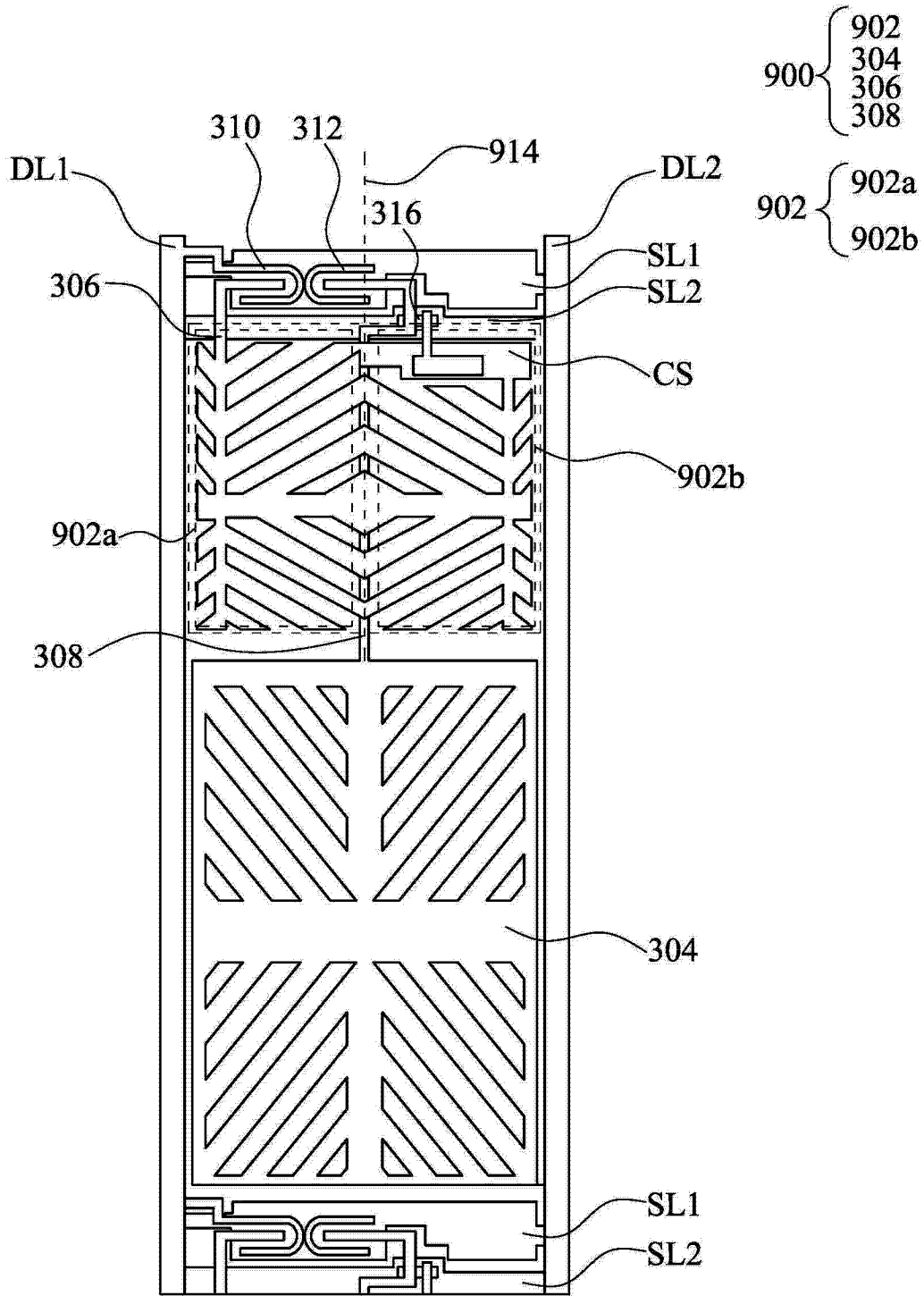


图 9

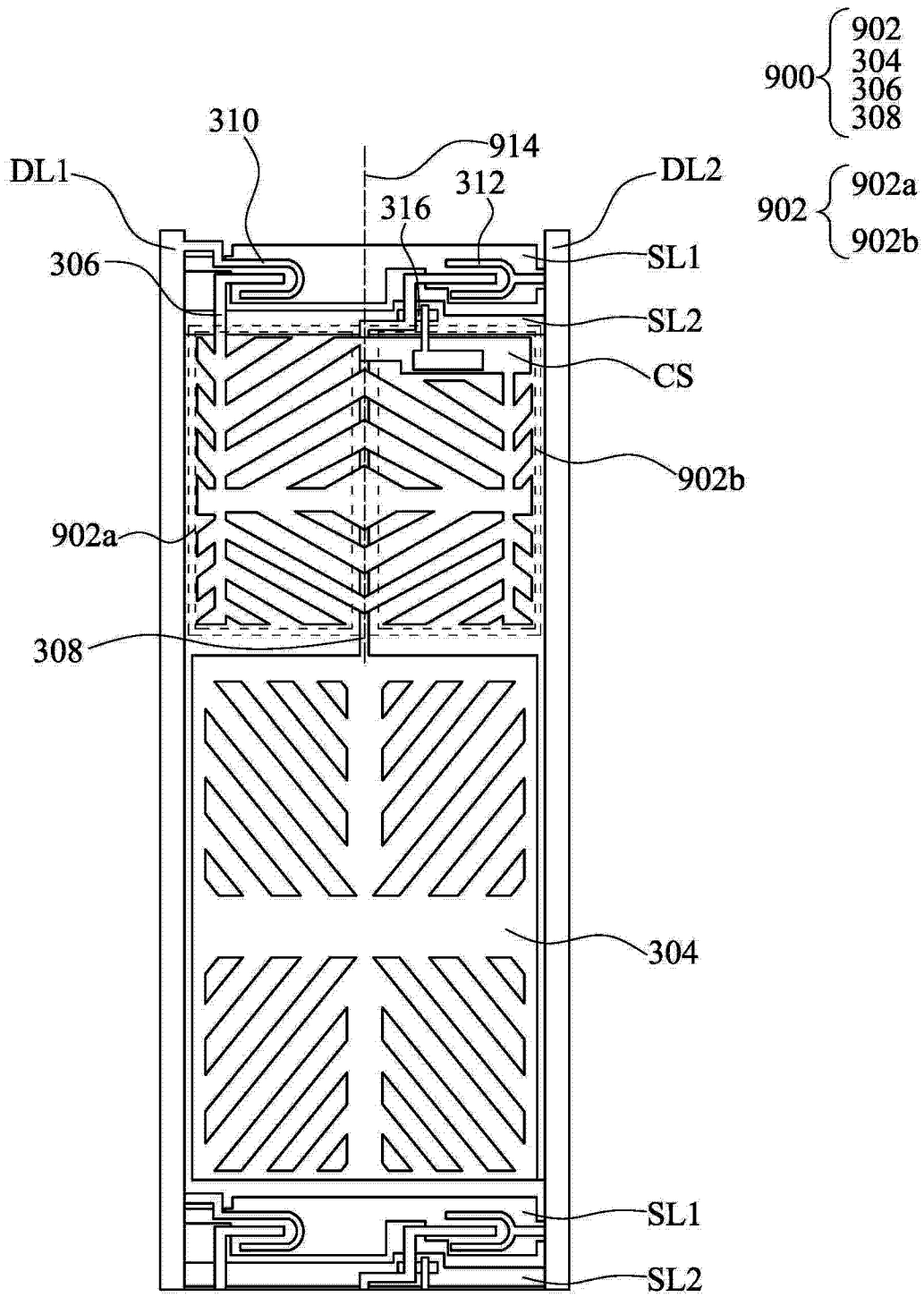


图 10



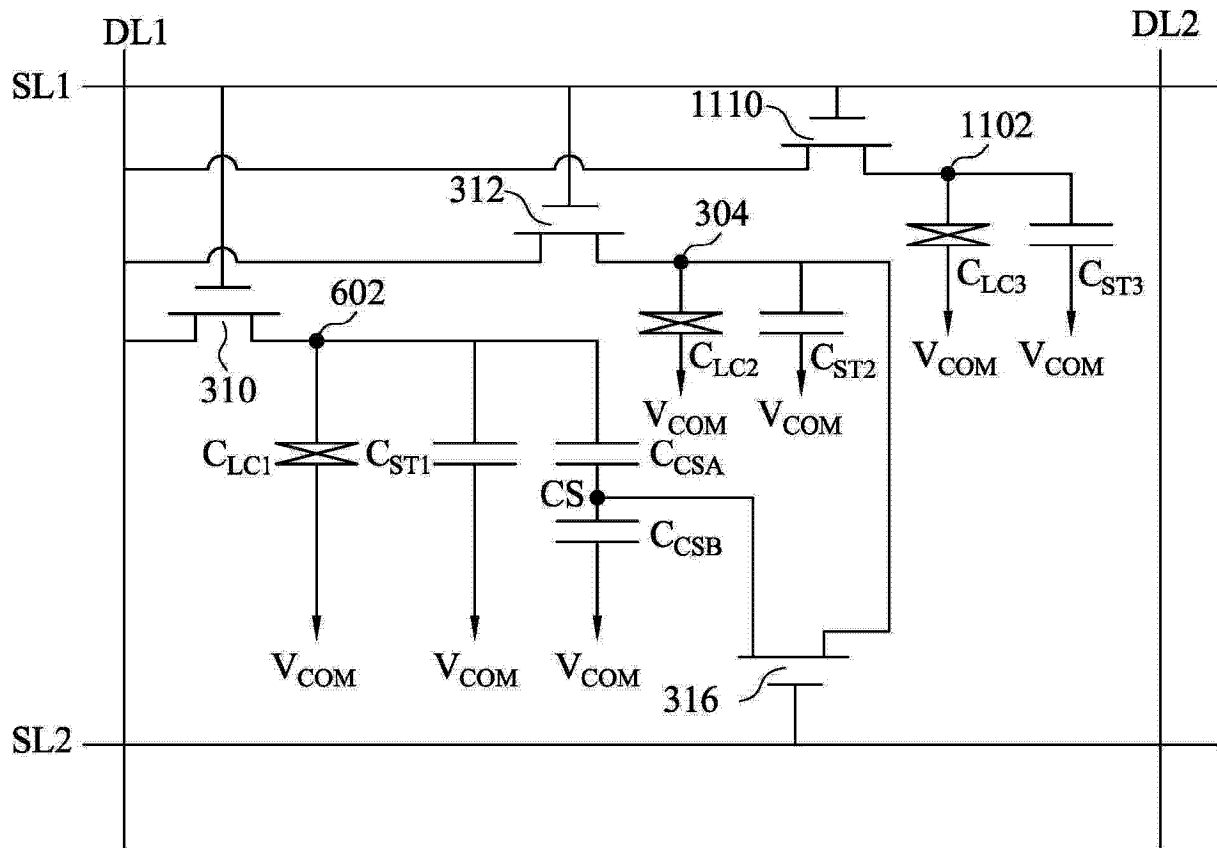


图 12

1300

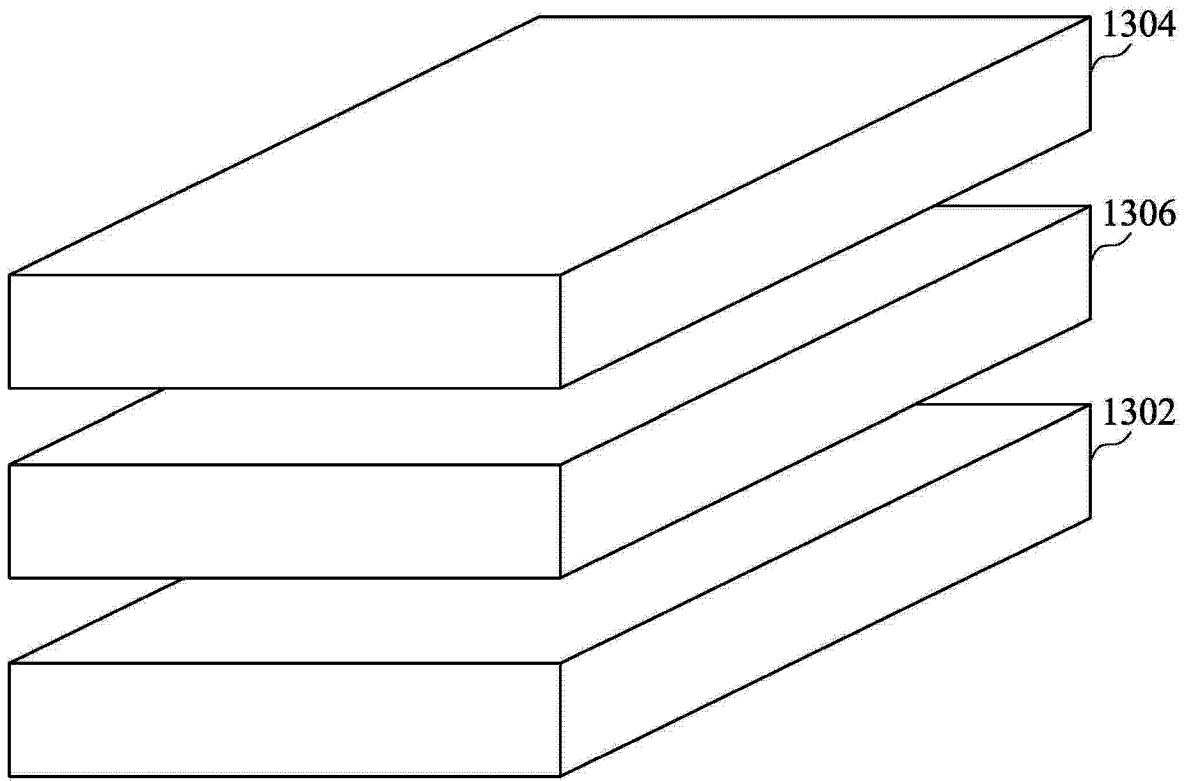


图 13

