

# (12) 发明专利申请

(10) 申请公布号 CN 103309081 A

(43) 申请公布日 2013. 09. 18

(21) 申请号 201310210409. 1

(22) 申请日 2013. 05. 30

(71) 申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 崔贤植 李会 徐智强 严允晟

(74) 专利代理机构 北京中博世达专利商标代理  
有限公司 11274

代理人 申健

(51) Int. Cl.  
G02F 1/1335 (2006. 01)

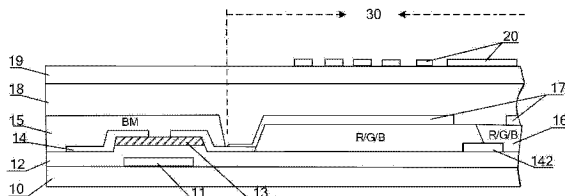
权利要求书2页 说明书8页 附图3页

## (54) 发明名称

阵列基板及其制造方法、显示装置

## (57) 摘要

本发明公开了一种阵列基板及其制造方法、显示装置,涉及显示领域,可降低阵列基板与彩膜基板对位偏差对透过率的影响,避免对位偏差导致的漏光。本发明所述阵列基板,包括:基板,形成于基板上的多个像素和分隔像素的黑矩阵;对应黑矩阵所在区域,基板上设置有栅极、栅绝缘层、半导体层、源电极和漏电极;像素的对应区域设置有用于产生电场以驱动液晶的第一电极和第二电极,第二电极设置在第一电极的上方,还包括:图案化的色阻层,所述色阻层设置在栅绝缘层与第二电极所在层之间,并且分布在像素的对应区域。本发明用于改进显示装置,可提高显示装置的透过率。



1. 一种阵列基板,包括:基板,形成于所述基板上的多个像素和分隔所述像素的黑矩阵;

对应所述黑矩阵所在区域,所述基板上设置有栅极、栅绝缘层、半导体层、源电极和漏电极;

所述像素的对应区域设置有用于产生电场以驱动液晶的第一电极和第二电极,所述第二电极设置在所述第一电极的上方,其特征在于,还包括:

图案化的色阻层,

所述色阻层设置在所述栅绝缘层与所述第二电极所在层之间,并且分布在所述像素的对应区域。

2. 根据权利要求1所述的阵列基板,其特征在于,

所述色阻层设置在所述源电极和漏电极所在层的上方,且位于所述第一电极所在层的下方。

3. 根据权利要求1所述的阵列基板,其特征在于,

所述色阻层设置在所述第一电极之上,且位于所述第二电极的下方。

4. 根据权利要求1-3任一项所述的阵列基板,其特征在于,

所述黑矩阵设置在所述源电极和漏电极所在层之上,并且覆盖薄膜晶体管对应区域,所述薄膜晶体管由所述栅极、栅绝缘层、半导体层、源电极和漏电极构成。

5. 根据权利要求4所述的阵列基板,其特征在于,还包括:

树脂层,覆盖在所述黑矩阵及所述第一电极上;

钝化层,覆盖在所述树脂层上。

6. 根据权利要求5所述的阵列基板,其特征在于,

所述第二电极为狭缝状透明电极,且设置在所述钝化层上。

7. 根据权利要求1-3任一项所述的阵列基板,其特征在于,所述色阻层包括若干基色色块,所述像素包括若干亚像素,每一所述基色色块分布在一所述亚像素的对应区域;

所述阵列基板还包括:与所述源电极和漏电极位于同一层的数据线,

所述数据线的位置对应于所述色阻层中任意两个基色色块的相邻区域。

8. 根据权利要求1所述的阵列基板,其特征在于,还包括:

与所述栅极同层设置的栅线,

所述栅线设置在所述黑矩阵的遮挡位置。

9. 一种显示装置,其特征在于,包括权利要求1-8任一项所述的阵列基板。

10. 一种阵列基板的制造方法,其特征在于,包括:

在基板上形成栅金属层,采用构图工艺形成栅线和栅极的图案;

形成薄膜晶体管的栅绝缘层、半导体层、源漏电极层的图案;

形成黑矩阵层,采用构图工艺在所述薄膜晶体管对应区域形成黑矩阵,所述黑矩阵将基板分隔成多个像素;

在所述像素对应区域形成色阻层;

形成第一透明导电膜层,采用构图工艺在所述像素对应区域形成第一电极;

形成树脂层;

形成钝化层;

形成第二透明导电膜层,采用构图工艺在所述像素区域形成第二电极。

11. 根据权利要求 10 所述的方法,其特征在于,所述色阻层包括若干基色色块,所述像素包括若干亚像素;所述在所述像素对应区域形成色阻层具体为:

重复采用色胶涂覆工艺及构图工艺,形成若干依次排列的基色色块,每一所述基色色块分布在一所述亚像素对应区域。

12. 一种阵列基板的制造方法,其特征在于,包括:

在基板上形成栅金属层,采用构图工艺形成栅线和栅极的图案;

形成薄膜晶体管的栅绝缘层、半导体层、源漏电极层的图案;

形成黑矩阵层,采用构图工艺在所述薄膜晶体管对应区域形成黑矩阵,所述黑矩阵将基板分隔成多个像素;

形成第一透明导电膜层,采用构图工艺所述像素对应区域形成第一电极;

在所述像素对应区域形成色阻层;

形成树脂层;

形成钝化层;

形成第二透明导电膜层,采用构图工艺在所述像素对应区域形成第二电极。

## 阵列基板及其制造方法、显示装置

### 技术领域

[0001] 本发明涉及显示领域,尤其涉及一种阵列基板及其制造方法、显示装置。

### 背景技术

[0002] 液晶显示器因其质量轻、功耗低,辐射小、能大量节省空间等优点,现已取代传统的阴极射线管显示器,广泛应用于各个显示领域,如家庭、公共场所、办公场及个人电子相关产品等。

[0003] 现有液晶面板的制造工艺都是单独制造阵列(Array)基板和彩膜(Color Filter)基板,然后再将阵列基板和彩膜基板进行对位、成盒(Cell)。但在阵列基板与彩膜基板对位成盒时,由于对位精度的限制,极易出现对位偏差,而对位偏差又会导致漏光、透过率降低等不良;如果将黑矩阵做的足够宽来避免这些问题,又会损失面板的透过率,增加背光成本。

### 发明内容

[0004] 本发明所要解决的技术问题在于提供一种阵列基板及其制造方法、显示装置,可降低阵列基板与彩膜基板对位偏差对透过率的影响,避免对位偏差导致的漏光。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 一种阵列基板,包括:基板,形成于所述基板上的多个像素和分隔所述像素的黑矩阵;

[0007] 对应所述黑矩阵所在区域,所述基板上设置有栅极、栅绝缘层、半导体层、源电极和漏电极;

[0008] 所述像素的对应区域设置有用于产生电场以驱动液晶的第一电极和第二电极,所述第二电极设置在所述第一电极的上方,其特征在于,还包括:

[0009] 图案化的色阻层,

[0010] 所述色阻层设置在所述栅绝缘层与所述第二电极所在层之间,并且分布在所述像素的对应区域。

[0011] 优选地,所述色阻层设置在所述源电极和漏电极所在层的上方,且位于所述第一电极所在层的下方。

[0012] 可选地,所述色阻层设置在所述第一电极之上,且位于所述第二电极的下方。

[0013] 进一步地,所述黑矩阵设置在所述源电极和漏电极所在层之上,并且覆盖薄膜晶体管对应区域,所述薄膜晶体管由所述栅极、栅绝缘层、半导体层、源电极和漏电极构成。

[0014] 更进一步地,所述阵列基板,还包括:

[0015] 树脂层,覆盖在所述黑矩阵及所述第一电极上;

[0016] 钝化层,覆盖在所述树脂层上。

[0017] 优选地,所述第二电极为狭缝状透明电极,且设置在所述钝化层上。

[0018] 可选地,所述色阻层包括若干基色色块,所述像素包括若干亚像素,每一所述基色

色块分布在一所述亚像素的对应区域；

[0019] 所述阵列基板还包括：与所述源电极和漏电极位于同一层的数据线，

[0020] 所述数据线的位置对应于所述色阻层中任意两个基色色块的相邻区域。

[0021] 优选地，还包括：与所述栅极同层设置的栅线，

[0022] 所述栅线设置在所述黑矩阵的遮挡位置。

[0023] 本发明还提供一种显示装置，包括所述的任一阵列基板。

[0024] 另外，本发明还提供一种阵列基板的制造方法，包括：

[0025] 在基板上形成栅金属层，采用构图工艺形成栅线和栅极的图案；

[0026] 形成薄膜晶体管的栅绝缘层、半导体层、源漏电极层的图案；

[0027] 形成黑矩阵层，采用构图工艺在所述薄膜晶体管对应区域形成黑矩阵，所述黑矩阵将基板分隔成多个像素；

[0028] 在所述像素对应区域形成色阻层；

[0029] 形成第一透明导电膜层，采用构图工艺在所述像素对应区域形成第一电极；

[0030] 形成树脂层；

[0031] 形成钝化层；

[0032] 形成第二透明导电膜层，采用构图工艺在所述像素区域形成第二电极。

[0033] 可选地，所述色阻层包括若干基色色块，所述像素包括若干亚像素；所述在所述像素对应区域形成色阻层具体为：

[0034] 重复采用色胶涂覆工艺及构图工艺，形成若干依次排列的基色色块，每一所述基色色块分布在一所述亚像素对应区域。

[0035] 本发明还提供第二种阵列基板的制造方法，包括：

[0036] 在基板上形成栅金属层，采用构图工艺形成栅线和栅极的图案；

[0037] 形成薄膜晶体管的栅绝缘层、半导体层、源漏电极层的图案；

[0038] 形成黑矩阵层，采用构图工艺在所述薄膜晶体管对应区域形成黑矩阵，所述黑矩阵将基板分隔成多个像素；

[0039] 形成第一透明导电膜层，采用构图工艺在所述像素对应区域形成第一电极；

[0040] 在所述像素对应区域形成色阻层；

[0041] 形成树脂层；

[0042] 形成钝化层；

[0043] 形成第二透明导电膜层，采用构图工艺在所述像素对应区域形成第二电极。

[0044] 本发明提供的阵列基板及其制造方法、显示装置，将原本位于彩膜基板的色阻层设置在阵列基板上，从而降低了阵列基板与彩膜基板对位偏差对透过率的影响，降低了漏光不良发生的机率。

## 附图说明

[0045] 图 1 为本发明实施例一提供的阵列基板的结构示意图一；

[0046] 图 2 为一种现有 ADS 阵列基板的结构示意图；

[0047] 图 3 为本发明实施例一提供的阵列基板的结构示意图二；

[0048] 图 4 为本发明实施例三提供的阵列基板的制造方法流程图；

[0049] 图 5 为本发明实施例三中阵列基板的制造过程示意图。

[0050] 附图标记说明

[0051] 10- 基板, 11- 栅极, 12- 栅绝缘层, 13- 半导体层, 14- 源电极和漏电极,

[0052] 142- 数据线, 15- 黑矩阵, 16- 色阻层, 17- 像素电极, 18- 树脂层,

[0053] 19- 钝化层, 20- 公共电极, 21- 公共电极线, 30- 像素。

## 具体实施方式

[0054] 本发明实施例提供一种阵列基板及其制造方法、显示装置, 可降低阵列基板与彩膜基板对位偏差对透过率的影响, 避免因此导致的漏光不良。

[0055] 下面结合附图对本发明实施例进行详细描述。此处所描述的具体实施方式仅仅用以解释本发明, 并不用于限定本发明。

[0056] 实施例一

[0057] 本发明实施例提供一种阵列基板, 该阵列基板包括: 基板, 形成于所述基板上的多个像素和分隔所述像素的黑矩阵;

[0058] 对应所述黑矩阵所在区域, 所述基板上设置有栅极、栅绝缘层、半导体层、源电极和漏电极;

[0059] 所述像素的对应区域设置有用于产生电场以驱动液晶的第一电极和第二电极, 所述第二电极设置在所述第一电极的上方, 还包括:

[0060] 图案化的色阻层,

[0061] 所述色阻层设置在所述栅绝缘层与所述第二电极所在层之间, 并且分布在所述像素的对应区域。

[0062] 本实施例中的栅极、栅绝缘层、半导体层、源电极和漏电极构成薄膜晶体管。本实施例中的第一电极和第二电极分别指像素电极和公共电极, 若其中之一(如第一电极)为像素电极, 另一(第二电极)则为公共电极; 并且, 作为像素电极的第一电极或第二电极与上述薄膜晶体管的漏电极直接相连(或者通过过孔相连)。显示装置工作时, 通过该薄膜晶体管控制显示数据的加载。

[0063] 本实施例所述色阻层指覆盖在像素对应区域的红/绿/蓝三基色彩膜, 本实施例中将色阻层设置在阵列基板上, 具体地, 其中, 色阻层位于阵列基板的栅绝缘层与第二电极所在层(第二电极层, 2nd ITO)之间, 且位于所述像素对应的区域, 可避免降低阵列基板与彩膜基板对位偏差对透过率的影响。

[0064] 进一步地, 所述黑矩阵设置在所述源电极和漏电极所在层(源漏电极层)之上, 并且覆盖薄膜晶体管对应区域, 所述薄膜晶体管由所述栅极、栅绝缘层、半导体层、源电极和漏电极构成。

[0065] 进一步地, 所述半导体层与所述源电极漏电极所在层之间还设置有欧姆接触层, 目的在于降低半导体层与源电极和漏电极的接触电阻, 半导体层与欧姆接触层形成半导体有源层。

[0066] 本实施例中的黑矩阵覆盖薄膜晶体管, 色阻层分布在像素的对应区域(即像素区域, 由一组横向栅线和一组纵向数据线定义, 所述薄膜晶体管位于栅线和数据线的交叉部)。本实施例所述阵列基板上设置有色阻层和黑矩阵, 因此阵列基板与彩膜基板对位偏差

对透过率的影响得以降低,同时也可避免对位偏差导致的漏光。

[0067] 具体的,如图 1 所示,为符合本实施例的第一种阵列基板的具体结构,包括:

[0068] 基板 10;形成在基板 10 上的多个像素 30 和分隔像素 30 的黑矩阵 15;对应黑矩阵 15 所在区域,基板 10 上设置的有栅极 11、栅绝缘层 12、半导体层 13、源电极和漏电极 (14);所述像素 30 的对应区域设置有用于产生电场以驱动液晶的第一电极(像素电极 17)和第二电极(公共电极 20),第二电极(公共电极 20)设置在第一电极(像素电极 17)的上方,

[0069] 本实施例设置于基板 10 上的栅极 11,栅绝缘层 12、半导体层 13、源电极和漏电极层 (14) 共同形成底栅结构的薄膜晶体管,栅极 11 由栅金属层形成,栅金属层一般包括栅极和栅线的图形,源电极和漏电极 (14) 所在层为源漏电极层,源漏电极层一般包括薄膜晶体管的源电极、漏电极以及数据线的图案;在栅绝缘层 12 上的像素区域覆盖有图案化的色阻层 16,色阻层可以是包括红色滤光层、绿色滤光层、蓝色滤光层依次相邻设置在每个像素中,当然,可以根据设计还可以包括黄色滤光层或者白色滤光层,色阻层 16 可以设置在源漏电极层的上方,在形成源漏电极层的制程之后进行形成色阻层 16 的制程。

[0070] 黑矩阵 15,设置源电极和漏电极所在层(源漏电极层)之上,并且设置在覆盖薄膜晶体管对应区域,所述的薄膜晶体管由栅金属层形成的栅极 11,栅绝缘层 12、半导体层,源漏电极层形成的源电极和漏电极 (14) 构成。

[0071] 色阻层 16 之上设置有像素电极 17(对应本实施例所述的第一电极),且像素电极 17 连接至薄膜晶体管的漏电极;

[0072] 树脂层 18,覆盖在黑矩阵 15 及像素电极 17 上;

[0073] 钝化层 19,覆盖在树脂层 18 上;

[0074] 公共电极 20(对应本实施例所述的第二电极)为狭缝状的透明电极,且设置在钝化层 19 上;

[0075] 本实施例中的图 1 提供了一种适用于高级超维场转换 (ADvancedSuper Dimension Switch, AD-SDS,简称 ADS) 模式的阵列基板,将原本位于彩膜基板的色阻层和黑矩阵设置到阵列基板上,从而降低阵列基板与彩膜基板对位偏差对透过率的影响,避免对位偏差导致的漏光。具体地,黑矩阵 15 设置在所述源电极和漏电极所在层(源漏电极层)之上,覆盖薄膜晶体管对应区域,色阻层 16 设置在源电极和漏电极所在层(源漏电极层)的上方,第一电极所在层(第一电极层)的下方,且对应分布在像素区域。色阻层 16 设置在源漏电极层与第一电极所在层之间,色阻层 16 一般采用绝缘材质制成,可降低数据线和第一电极之间的寄生电容。

[0076] 其中,上面所述的 ADS 模式,其核心技术特性描述为:通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场,使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。高级超维场转换技术可以提高 TFT-LCD 产品的画面品质,具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹(push Mura)等优点。一种现有技术中的 ADS 模式的阵列基板如图 2 所示,包括:基板 10;设置于基板 10 上的栅金属层(栅极 11 所在层),栅绝缘层 12,半导体层 13,源漏电极层(源电极和漏电极 14 所在层),树脂层 18,设置在树脂层 18 上的公共电极 20,设置在公共电极 20 上的钝化层 19,以及设置在钝化层 19 上的像素电极 17。其中,数据线 142 与源漏电极层位于同一层,公共电极线 21

与栅金属层位于同一层,像素电极 17 通过过孔连接至薄膜晶体管的漏极,公共电极 20 通过过孔连接至公共电极线 21。另外,对于现有技术中的 ADS 模式显示装置,色阻层和黑矩阵则位于彩膜基板上。

[0077] 需注意,本发明实施例所述源漏电极层除形成薄膜晶体管的源电极和漏电极外,一般还用于同步形成数据线 142 和公共电极线(图 1 中未示出),而栅线一般由栅金属层在形成薄膜晶体管的栅极 11 时同步形成。横向的栅线和纵向的数据线二者纵横交错,定义出像素区域,色阻层 16 覆盖在在像素区域,所述色阻层 16 包括若干基色色块,即通常所说的红/绿/蓝(R/G/B)色块,像素 30 包括若干亚像素,每一所述基色色块分布在一亚像素的对应区域;现有技术中为防止发生混色不良,在两相邻基色色块之间也设置黑矩阵,而本实施例中将所述数据线 142 的位置对应于色阻层 16 中任意两个基色色块的相邻区域,因本实施例将第一层透明导电膜作为像素电极 17 时,如附图 1 所示,数据线 142 上方不需要额外设置 BM,原因如下:数据线 142 上方的像素电极 17 分别位于数据线 142 两侧,而数据线 142 上方的公共电极 20 完全覆盖数据线 142 区域,这样,公共电极 20 可以屏蔽数据线 142 与公共电极 20 产生的电场干扰,数据线 142 附近的液晶分子不会受到干扰从而避免漏光。

[0078] 当数据线的线宽宽度较窄时,采用相邻基色色块层叠的结构,此时通过两次基色色块后透光量会减少,从而减少混色的程度;而当数据线的线宽度较宽时,可由数据线充当两个相邻基色色块间的黑矩阵,无需层叠基色色块,也不会发生混色、漏光等不良,从而减小黑矩阵的遮挡面积,提高像素开口率。

[0079] 当然次选的,在对透过率不敏感时,也可以在数据线对应位置覆盖黑矩阵,确保不发生混色、漏光等不良。

[0080] 对于栅线(图中未示出),则一般设置在有黑矩阵遮挡的位置。

[0081] 而公共电极线(图中未示出)可以与数据线平行纵向排列,与数据线采用同样的方案,同时覆盖或不覆盖黑矩阵;也可以与栅线平行横向排列,与栅线采用同样的方案,设置在有黑矩阵遮挡的位置。

[0082] 现有技术的 ADS 模式中,数据线对应位置不设置黑矩阵时,会发生混色等不良。而本发明实施例所述设置有黑矩阵和色阻层的 ADS 阵列基板,在信号线对应位置可不设置黑矩阵,黑矩阵仅覆盖薄膜晶体管,从而减小黑矩阵的遮挡面积,提高显示装置的透过率及亮度。

[0083] 具体的,如图 3 所示,为符合本实施例的第二种阵列基板的具体结构,与图 1 所示的第一种阵列基板的具体结构的不同之处在于,所述色阻层 16 在像素电极 17(对应第一电极)之上,且位于公共电极(第二电极)20 的下方。黑矩阵 15 设置在源电极和漏电极(14)所在层之上,并且覆盖薄膜晶体管对应区域;树脂层 18 和钝化层 19 设置在黑矩阵 15 及色阻层 16 之上;公共电极(第二电极)20 设置在钝化层 19 之上。

[0084] 本实施例所述阵列基板上设置有色阻层和黑矩阵,因此可降低阵列基板与彩膜基板对位偏差对透过率的影响,避免对位偏差导致的漏光;进一步地,对位偏差对透过率的影响降低,使得对位精度的要求降低,从而可减小黑矩阵的遮挡面积,提高显示装置的透过率及亮度。

[0085] 另外,本实施例中的薄膜晶体管也可以采用顶栅结构,栅绝缘层及其上的栅金属层位于半导体层之上,其余膜层的结构大致类似,在此不再赘述。

[0086] 实施例二

[0087] 本发明实施例还提供了一种显示装置,其包括实施例一中所述的任意一种阵列基板。所述显示装置可以为:液晶面板、电子纸、OLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0088] 本实施例所述显示装置,因采用的阵列基板上设置有色阻层和黑矩阵,因此可降低阵列基板与彩膜基板对位偏差对透过率的影响,从而使得黑矩阵的遮挡面积可以减小,显示装置的透过率及亮度得以提高。

[0089] 实施例三

[0090] 如图 4 和图 5 所示,本发明实施例还提供一种阵列基板的制造方法,包括:

[0091] 101、在基板 10 上形成栅金属层,采用构图工艺形成栅线和栅极的图案;

[0092] 可选地,本步骤中首先采用磁控溅射或热蒸发的成膜方法,在基板 10 上沉积栅金属层,其中。制备栅金属层的材料,可选自钼、铝、铬、铜中的一种或多种。

[0093] 可选地,本实施例所述构图工艺指经涂胶、掩膜板遮挡下曝光,刻蚀等步骤,将图形制作在基板上的整个光刻过程,亦称为掩膜工艺。

[0094] 102、在完成步骤 101 的基板上形成薄膜晶体管的栅绝缘层 12、半导体层 13、源漏电极层(源电极、漏电极及数据线 142)的图案;

[0095] 本步骤中按常规流程形成栅绝缘层 22、半导体层 23、源漏电极层和数据线 142 的图案,一般需要 2~3 次掩膜工艺。第一次掩膜工艺形成栅绝缘层 22 过孔(也可以不使用掩膜工艺),第二次掩膜工艺形成半导体层 23 的图案,第三次掩膜工艺形成源漏电极层的图案(包括:源电极、漏电极及数据线 142)。

[0096] 103、在完成步骤 102 的基板上形成黑矩阵层,采用构图工艺在薄膜晶体管对应区域形成黑矩阵 15,所述黑矩阵将基板分隔成多个像素;

[0097] 本步骤中形成黑矩阵覆盖薄膜晶体管对应区域,信号线可根据设计要求如线宽等,进行覆盖或不进行覆盖(具体见实施例一中所述)。

[0098] 104、在完成步骤 103 的基板上,在所述像素对应区域形成色阻层 16;

[0099] 本步骤在像素电极对应区域形成色阻层,即涂覆形成彩色滤光层色块,具体形成方法与现有技术一致,一般而言,常见的红/绿/蓝(RGB)彩膜,需要三次掩膜工艺。除此之外,还可以有 RGBW(红/绿/蓝/白),RGBY(红/绿/蓝/黄)等不同的彩膜方式,可根据情况设计。

[0100] 具体地,对于常见的红/绿/蓝色块(RGB)彩膜,重复采用色胶涂覆工艺及构图工艺,第一次形成第一种基色色块(例如红色),第二次形成第二种基色色块(例如绿色),第三次形成第三种基色色块(例如蓝色),最终形成三色依次排列的基色色块,每一所述基色色块分布在一所述第一电极的对应区域。

[0101] 105、在完成步骤 104 的基板上,形成第一透明导电膜层,采用构图工艺在所述像素对应区域形成第一电极(像素电极 17);

[0102] 透明导电薄膜可以采用氧化铟锡(ITO)、氧化铟锌(IZO)或氧化铝锌等材料。第一电极可以是像素电极 17(见图 1 所示),也可以为公共电极 20(见图 2 所示)。第一电极可以是狭缝状电极也可以是板状电极,可以根据产品需要进行设计。

[0103] 106、在完成步骤 105 的基板上,形成树脂层 18;

[0104] 本步骤形成树脂层 18,若形成图 1 所示结构,当第一电极为像素电极 17,第二电极为公共电极 20 时,且公共电极线与公共电极位于同一层时,钝化层 19、树脂层 18 不需要过孔,因此本步骤不需要使用掩膜构图工艺;若第一电极为公共电极,第二电极为像素电极时,参照图 2 所示,第一电极需要穿过树脂层 18 和栅绝缘层 12 与公共电极线相连,此时树脂层 18 需设置漏极过孔和公共电极线连接过孔,本步骤需要使用掩膜工艺,形成树脂层以及贯穿树脂层的漏极过孔和公共电极线连接过孔。

[0105] 107、在完成步骤 106 的基板上,形成钝化层层;同上。本步骤也可不需要使用掩膜工艺。

[0106] 本步骤形成钝化层,若形成图 1 所示结构,当第一电极为像素电极 17,第二电极为公共电极 20 时,且公共电极线与公共电极位于同一层时,需要使用构图工艺形成过孔,在周边引线区域将栅线信号线以及数据线信号线露出,需要形成贯穿钝化层 19、树脂层 18、栅绝缘层 12 的栅线引线过孔(图中未示出),以及在周边引线区域形成贯穿钝化层 19 树脂层 18 的数据线引线过孔(图中未示出);若第一电极为公共电极,第二电极为像素电极时,参照图 2 所示,第二电极需要穿过钝化层 19、树脂层 18 与薄膜晶体管的漏极相连,钝化层、树脂层需设置漏极过孔,本步骤需要使用掩膜工艺。

[0107] 108、在完成步骤 107 的基板上,形成第二透明导电膜层,采用构图工艺形成第二电极。第二电极必须是狭缝电极,才能形成多维电场。

[0108] 本实施例提供的阵列基板的制造方法,将彩膜基板制作流程中的黑矩阵制程和色阻层制程转移到阵列基板的制作过程中,并且不会因此额外增加掩膜工艺的次数,制作过程简单,制成的阵列基板上设置有色阻层和黑矩阵,因此可降低阵列基板与彩膜基板对位偏差对透过率的影响,从而使得黑矩阵的遮挡面积可以减小,显示装置的透过率及亮度得以提高。

[0109] 本发明实施例还提供第二种阵列基板的制造方法,参照图 3 所示,该方法包括:

[0110] 步骤一、在基板上形成栅金属层,采用构图工艺形成栅线和栅极的图案;

[0111] 步骤二、形成薄膜晶体管的栅绝缘层、半导体层、源漏电极层的图案;

[0112] 步骤三、形成黑矩阵层,采用构图工艺在所述像素对应区域薄膜晶体管对应区域形成黑矩阵;

[0113] 步骤四、形成第一透明导电膜层,采用构图工艺在像素对应区域形成第一电极;

[0114] 步骤五、在所述像素对应区域形成色阻层;

[0115] 步骤六、形成树脂层;

[0116] 形成贯穿树脂层 18 和栅绝缘层 12 的公共电极线连接过孔。

[0117] 步骤七、形成钝化层;

[0118] 本步骤形成钝化层,参照图 2 所示,第二电极需要与薄膜晶体管的漏极相连,因此需要形成贯穿钝化层、树脂层的漏极过孔,本步骤需要使用掩膜工艺。

[0119] 步骤八、形成第二透明导电膜层,采用构图工艺在像素对应区域形成第二电极。

[0120] 本实施例提供的阵列基板的制造方法,将彩膜基板制作流程中的黑矩阵制程和色阻层制程转移到阵列基板的制作过程中,并且不会因此额外增加掩膜工艺的次数,制成的阵列基板上设置有色阻层和黑矩阵,因此可降低阵列基板与彩膜基板对位偏差对透过率的影响,从而使得黑矩阵的遮挡面积可以减小,显示装置的透过率及亮度得以提高。

[0121] 需要说明的是,在本发明实施例中,所述各步骤的序号并不能用于限定各步骤的先后顺序,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,对各步骤的先后变化也在本发明的保护范围之内,例如,在第一种阵列基板制造方法中还可以将步骤 103 和 104 调换顺序,即先在像素区域形成色阻层 16,再在薄膜晶体管对应区域形成黑矩阵 15。

[0122] 本发明实施例所述的技术特征,在不冲突的情况下,可任意相互组合使用。

[0123] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应所述以权利要求的保护范围为准。

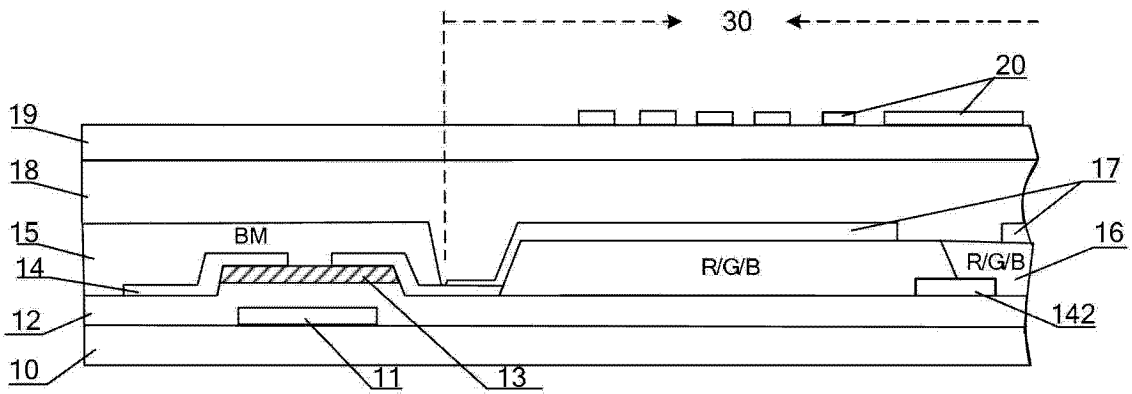


图 1

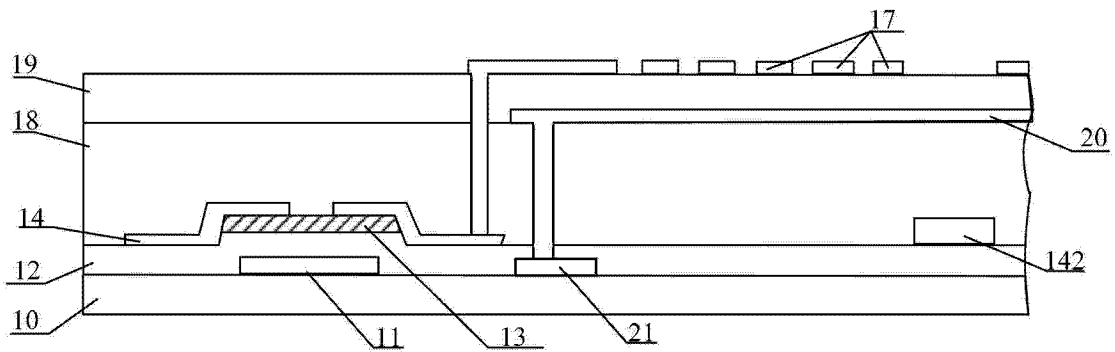


图 2

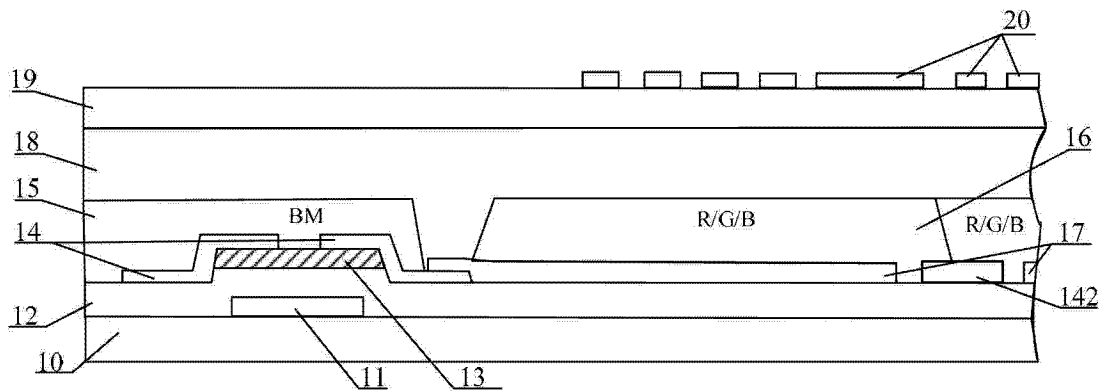


图 3

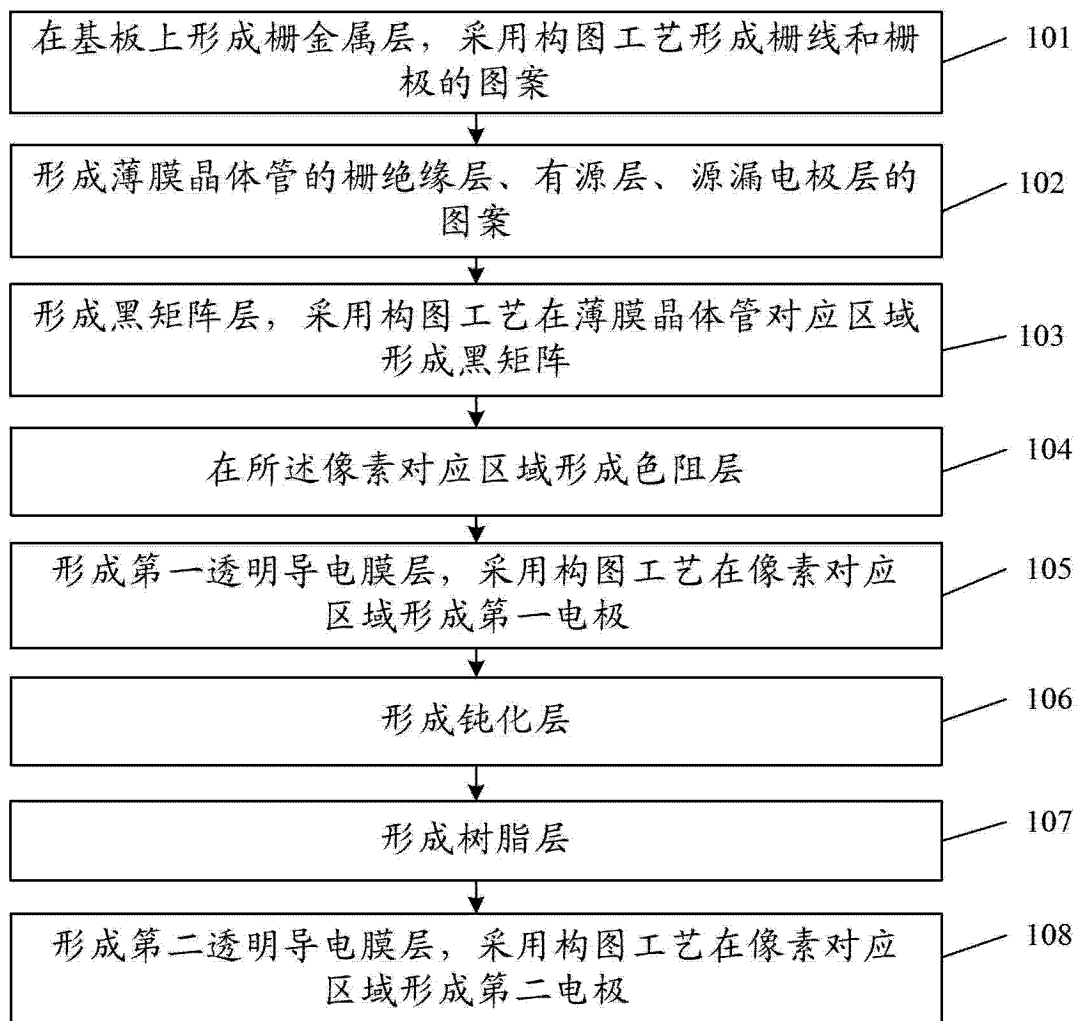


图 4

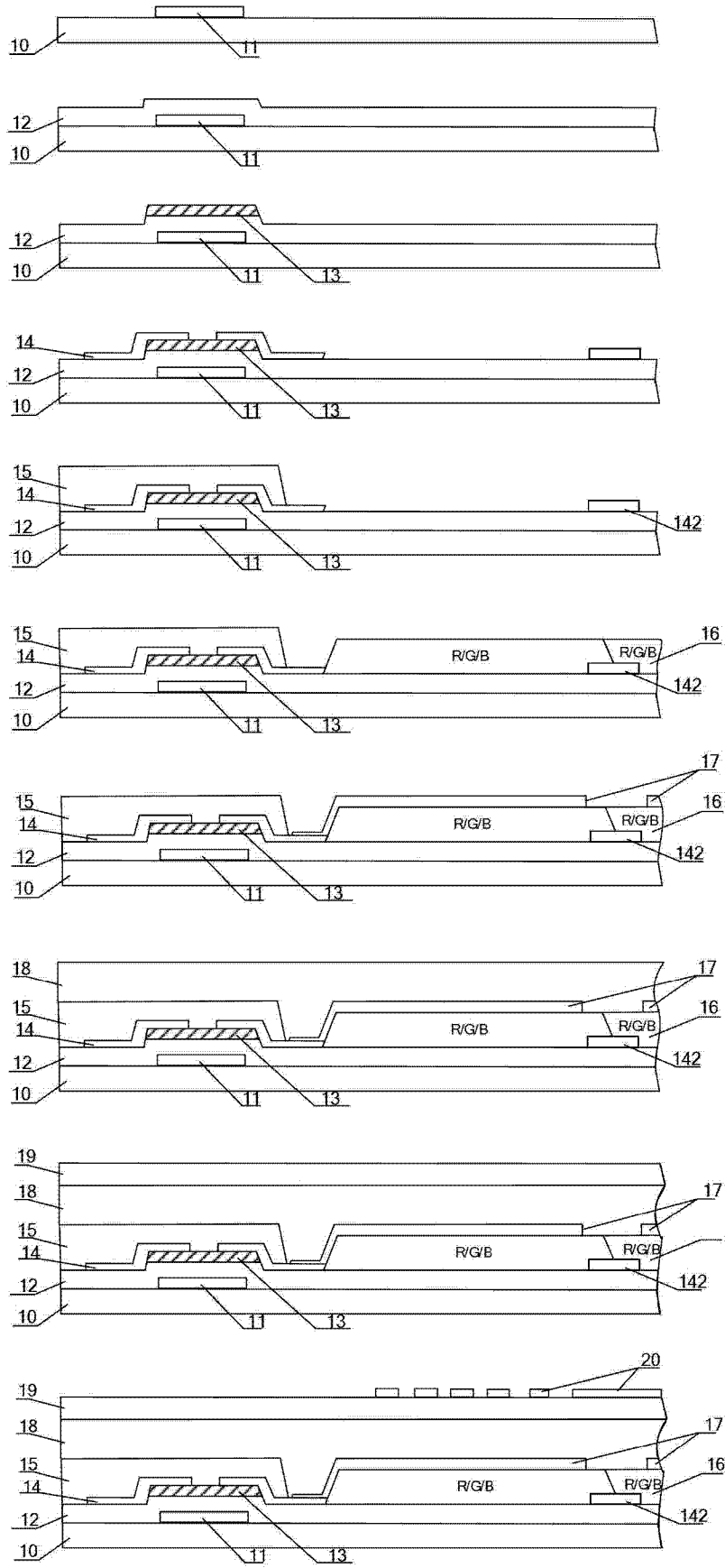


图 5

专利名称(译)	阵列基板及其制造方法、显示装置		
公开(公告)号	<a href="#">CN103309081A</a>	公开(公告)日	2013-09-18
申请号	CN201310210409.1	申请日	2013-05-30
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	崔贤植 李会 徐智强 严允晟		
发明人	崔贤植 李会 徐智强 严允晟		
IPC分类号	G02F1/1335		
CPC分类号	G02F1/136209 G02F1/133514 G02F1/1343 G02F1/134309 G02F1/1368 G02F2001/134372 G02F2001/136222 H01L27/124 H01L27/1259 H01L27/3244 H01L51/5262		
代理人(译)	申健		
其他公开文献	CN103309081B		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明公开了一种阵列基板及其制造方法、显示装置，涉及显示领域，可降低阵列基板与彩膜基板对位偏差对透过率的影响，避免对位偏差导致的漏光。本发明所述阵列基板，包括：基板，形成于基板上的多个像素和分隔像素的黑矩阵；对应黑矩阵所在区域，基板上设置有栅极、栅绝缘层、半导体层、源电极和漏电极；像素的对应区域设置有用于产生电场以驱动液晶的第一电极和第二电极，第二电极设置在第一电极的上方，还包括：图案化的色阻层，所述色阻层设置在栅绝缘层与第二电极所在层之间，并且分布在像素的对应区域。本发明用于改进显示装置，可提高显示装置的透过率。

