



(12) 发明专利

(10) 授权公告号 CN 103197478 B

(45) 授权公告日 2015. 11. 25

(21) 申请号 201310090474. 5

(22) 申请日 2013. 03. 20

(73) 专利权人 合肥京东方光电科技有限公司

地址 230011 安徽省合肥市新站区铜陵北路
2177 号

专利权人 京东方科技集团股份有限公司

(72) 发明人 刘金良 田广彦

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

G02F 1/13(2006. 01)

H01L 27/12(2006. 01)

(56) 对比文件

CN 101770122 B, 2012. 09. 26, 说明书第

[0037]–[0043]、[0047]–[0050] 段, 图 2、6、7.

CN 102033372 A, 2011. 04. 27, 全文.

CN 102944959 A, 2013. 02. 27, 全文.

CN 1704830 A, 2005. 12. 07, 说明书第 7 页第
25 行–第 8 页第 16 行, 图 3A.

JP 2009216963 A, 2009. 09. 24, 说明书第
[0025]–[0043] 段及图 1–6.

US 2012140137 A1, 2012. 06. 07, 全文.

审查员 纪红

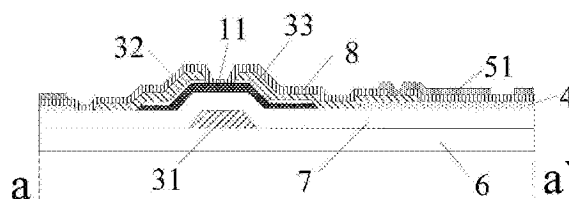
权利要求书1页 说明书5页 附图3页

(54) 发明名称

一种阵列基板及液晶显示装置

(57) 摘要

本发明提供了一种阵列基板及液晶显示装置, 涉及显示技术领域, 解决了现有技术中阵列基板制成后驱动薄膜晶体管无法进行特性检测的问题。一种阵列基板, 包括显示像素区域和周边非显示像素区域, 位于周边非显示像素区域的公共电极包括至少一个与像素单元对应的第一公共电极, 位于显示像素区域的公共电极彼此相连为第二公共电极, 且所述至少一个与像素单元对应的第一公共电极与第二公共电极电绝缘; 至少在对应周边非显示像素区域的至少一个像素单元中的所述钝化层中设置有过孔, 使得与所述像素单元对应的第一公共电极通过所述过孔与该像素单元的驱动薄膜晶体管的漏极电连接。本发明适用于液晶显示装置的设计和制造。



1. 一种阵列基板,包括:透明基板和相互交叉设置的栅线和数据线,所述透明基板进一步包括显示像素区域和周边非显示像素区域,所述栅线和数据线将所述显示像素区域和周边非显示像素区域划分为多个像素单元,

每个所述像素单元包括:驱动薄膜晶体管、像素电极以及隔着钝化层设置于所述像素电极上方的公共电极,其中,所述驱动薄膜晶体管包括与所述栅线相连的栅极、与所述数据线相连的源极和与所述像素电极相连的漏极,各像素单元的像素电极互不接触;

其特征在于,位于周边非显示像素区域的公共电极包括至少一个与像素单元对应的第一公共电极,位于显示像素区域的公共电极彼此相连为第二公共电极,且所述至少一个与像素单元对应的第一公共电极与第二公共电极电绝缘;

至少在对应周边非显示像素区域的至少一个像素单元中的所述钝化层中设置有过孔,使得与所述像素单元对应的第一公共电极通过所述过孔与该像素单元的驱动薄膜晶体管的漏极电连接;

在所述像素电极与所述漏极相连接的位置处,所述像素电极位于所述漏极上方,或者,在所述像素电极与所述漏极相连接的位置处,所述像素电极位于所述漏极下方;

所述过孔设置在像素单元的对应漏极的位置处,该像素单元对应的第一公共电极通过所述过孔与该像素单元的漏极直接电连接。

2. 根据权利要求1所述的阵列基板,其特征在于,周边非显示像素区域的各像素单元分别对应的第一公共电极彼此电绝缘。

3. 根据权利要求2所述的阵列基板,其特征在于,在对应周边非显示像素区域的每个像素单元中的所述钝化层中均设置有过孔,使得各像素单元对应的第一公共电极通过所述过孔与该像素单元对应的漏极电连接。

4. 根据权利要求1所述的阵列基板,其特征在于,所述像素电极与所述公共电极之间还设置有彩色滤光层,所述过孔贯穿所述彩色滤光层。

5. 根据权利要求1所述的阵列基板,其特征在于,周边非显示像素区域的栅线和数据线分别设置有用以连接栅线信号和数据线信号的栅线测试点和数据线测试点。

6. 根据权利要求5所述的阵列基板,其特征在于,所述栅线测试点和数据线测试点设置在阵列基板的周边区域。

7. 一种液晶显示装置,其特征在于,包括权利要求1-6任一项所述的阵列基板。

一种阵列基板及液晶显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板及液晶显示装置。

背景技术

[0002] 高级超维场开关型液晶显示装置是一种水平电场驱动型液晶显示装置,其是在阵列基板上设置公共电极和像素电极以形成水平电场。如图 1、图 2 所示,高开口率高级超维场开关型液晶显示装置是将阵列基板上的公共电极 5 设置在像素电极 4 的上面,公共电极为一个整体,在对应像素区域内设置有狭缝。在公共电极 5 和像素电极 4 之间设置有钝化层 8,用于使公共电极 5 和像素电极 4 电绝缘,形成存储电容。具体的,高开口率高级超维场开关型液晶显示装置的阵列基板包括:栅线 1、数据线 2、驱动薄膜晶体管 3、像素电极 4、公共电极 5 以及位于像素电极 4 和公共电极 5 之间的钝化层 8;其中,驱动薄膜晶体管 3 包括栅极 31、源极 32 和漏极 33,其中,栅极 31 和栅线 1 相连,源极 32 和数据线 2 相连,漏极 33 和像素电极 4 相连。

[0003] 如图 3 所示,现有的高开口率高级超维场开关型液晶显示装置的阵列基板 100,包括显示像素区域 101、周边非显示像素区域 102 和走线区域 103。显示像素区域 101 和周边非显示像素区域 102 分别包括多个由交错设置的栅线 and 数据线形成的像素单元,如图 1 所示,且每一像素单元对应一个驱动薄膜晶体管 3。显示像素区域主要用于图像显示,周边非显示像素区域不显示图像。高开口率高级超维场开关型液晶显示装置的阵列基板的公共电极位于基板表面,显示像素区无栅极金属层的公共电极走线,其表面的公共电极通过接触孔与走线区域 103 处的公共电极线电连接,这样可以提高显示像素区域的像素的开口率。阵列基板在生产过程中在所述基板的周边区域还设置有测试区 104,所述测试区 104 设置有驱动薄膜晶体管,用于检测基板上驱动薄膜晶体管的特性。当阵列基板与彩膜基板贴合,形成显示面板后,该区域一般会被切掉。然而,由于测试区设置在基板显示像素区域的外围,尽管其驱动薄膜晶体管与显示区域驱动薄膜晶体管的结构和形状参数相同,但由于工艺制作过程中微观环境的差异可能会使测试区的驱动薄膜晶体管特性与显示像素区域的驱动薄膜晶体管特性存在较大差异。另外,在产品画质检查过程中出现残像或对比度不足等不良而需要检测驱动薄膜晶体管的特性时,由于周边测试区已被切掉,而显示像素区域和周边非显示像素区域的驱动薄膜晶体管均被钝化层覆盖,阵列基板上驱动薄膜晶体管特性无法检测,会对后期的产品解析造成困扰。

发明内容

[0004] 本发明的实施例提供一种阵列基板及液晶显示装置,所述阵列基板可在像素周边的测试区域被切掉后对驱动薄膜晶体管的特性进行检测,且检测结果相比周边测试区的测试结果更接近显示像素区驱动薄膜晶体管的实际状况。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 本发明实施例提供了一种阵列基板,包括:透明基板和相互交叉设置的栅线 and 数

据线,所述透明基板进一步包括显示像素区域和周边非显示像素区域,所述栅线 and 数据线将所述显示像素区域和周边非显示像素区域划分为多个像素单元,每个所述像素单元包括:驱动薄膜晶体管、像素电极以及隔着钝化层设置于所述像素电极上方的公共电极,其中,所述驱动薄膜晶体管包括与所述栅线相连的栅极、与所述数据线相连的源极和与所述像素电极相连的漏极,各像素单元的像素电极互不接触;其中,位于周边非显示像素区域的公共电极包括至少一个与像素单元对应的第一公共电极,位于显示像素区域的公共电极彼此相连为第二公共电极,且所述至少一个与像素单元对应的第一公共电极与第二公共电极电绝缘;至少在对应周边非显示像素区域的至少一个像素单元中的所述钝化层中设置有过孔,使得与所述像素单元对应的第一公共电极通过所述过孔与该像素单元的驱动薄膜晶体管的漏极电连接。

[0007] 可选的,周边非显示像素区域的各像素单元分别对应的第一公共电极彼此电绝缘。

[0008] 可选的,在对应周边非显示像素区域的每个像素单元中的所述钝化层中均设置有过孔,使得各像素单元对应的第一公共电极通过所述过孔与该像素单元对应的漏极电连接。

[0009] 可选的,在所述像素电极与所述漏极相连接的位置处,所述像素电极位于所述漏极上方。

[0010] 可选的,在所述像素电极与所述漏极相连接的位置处,所述像素电极位于所述漏极下方。

[0011] 可选的,所述过孔设置在像素单元的对应漏极的位置处,该像素单元对应的第一公共电极通过所述过孔与该像素单元的漏极直接电连接。

[0012] 可选的,所述像素电极与所述公共电极之间还设置有彩色滤光层,所述过孔贯穿所述彩色滤光层。

[0013] 可选的,周边非显示像素区域的栅线 and 数据线分别设置有助于连接栅线信号和数据线信号的栅线测试点和数据线测试点。

[0014] 可选的,所述栅线测试点 and 数据线测试点设置在阵列基板的周边区域。

[0015] 本发明实施例提供了一种显示装置,包括本发明实施例提供的任一所述的阵列基板。

[0016] 本发明实施例提供了一种阵列基板及液晶显示装置,至少在对应周边非显示像素区域的至少一个像素单元中的所述钝化层中设置有过孔,使得与所述像素单元对应的第一公共电极通过所述过孔与该像素单元的驱动薄膜晶体管的漏极电连接。且所述至少一个与像素单元对应的第一公共电极与位于显示像素区域的第二公共电极电绝缘。可通过所述第一公共电极来检测所述驱动薄膜晶体管的特性,相对于现有技术其检测结果更加接近显示像素区驱动薄膜晶体管的实际状况,且可方便在阵列基板周边测试区域被切掉后进行检测。

附图说明

[0017] 图 1 为现有技术中周边非显示像素区域的像素单元俯视结构示意图;

[0018] 图 2 为现有技术中周边非显示像素区域的像素单元剖视结构示意图;

- [0019] 图 3 为现有技术中阵列基板的俯视结构示意图；
- [0020] 图 4 为本发明实施例提供的一种周边非显示像素区域的像素单元俯视结构示意图；
- [0021] 图 5 为本发明实施例提供的一种周边非显示像素区域的像素单元剖视结构示意图；
- [0022] 图 6 为本发明实施例提供的另一种周边非显示像素区域的像素单元剖视结构示意图；
- [0023] 附图标记：
- [0024] 1- 栅线；2- 数据线；3- 薄膜晶体管；31- 栅极；32- 源极；33- 漏极；4- 像素电极；5- 公共电极；51- 第一公共电极；6- 透明基板；7- 栅绝缘层；8- 钝化层；11- 有源层；100- 阵列基板；101- 显示像素区域；102- 周边非显示像素区域；103- 走线区域；104- 测试区。

具体实施方式

[0025] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。

[0026] 本发明提供了一种阵列基板，如图 5、图 6 所示包括：透明基板 6 和相互交叉设置的栅线 1 和数据线 2，所述透明基板进一步包括显示像素区域和周边非显示像素区域，所述栅线 1 和数据线 2 将所述显示像素区域和周边非显示像素区域划分为多个像素单元，每个所述像素单元进一步包括驱动薄膜晶体管 3、像素电极、以及隔着钝化层设置于所述像素电极上方的公共电极，其中，所述驱动薄膜晶体管 3 包括与所述栅线 1 相连的栅极 31、与所述数据线 2 相连的源极 32 和与所述像素电极相连的漏极 33，各像素单元的像素电极互不接触；其中，位于周边非显示像素区域的公共电极包括至少一个与像素单元对应的第一公共电极，位于显示像素区域的公共电极彼此相连为第二公共电极，且所述至少一个与像素单元对应的第一公共电极与第二公共电极电绝缘；

[0027] 至少在对应周边非显示像素区域的至少一个像素单元中的所述钝化层 8 中设置有过孔，使得与所述像素单元对应的第一公共电极通过所述过孔与该像素单元的驱动薄膜晶体管 3 的漏极 33 电连接。

[0028] 需要说明的是，本发明中所述公共电极设置在所述像素电极的上面，其中，所述“上”、“下”以制作各电极薄膜的顺序为依据，例如在“下”的像素电极为相对在先制作的电极，在“上”的公共电极为相对在后制作的电极。且阵列基板上还包括其他薄膜或层结构，如图 5、图 6 所示，阵列基板还包括位于栅极 31 上面的栅绝缘层 7 以及有源层 11 等。由于其与本发明的发明点无关，在本发明实施例中不作具体描述，只需参照现有技术即可。需要说明的是，液晶显示装置按照驱动液晶的方式分为水平电场驱动型液晶显示装置和垂直电场驱动型液晶显示装置，其中，水平电场驱动型液晶显示装置在阵列基板上形成有公共电极和像素电极，通过公共电极和像素电极形成水平电场以驱动液晶。例如 ADS (Advanced) Super Dimensional Switching, 高级超维场开关) 型液晶显示装置。其中，阵列基板上公共电极设置在像素电极的上面的液晶显示装置称之为 HADS (High aperture Advanced-Super Dimensional Switching, 高开口率高级超维场开关) 型液晶显示装置。本发明实施例提供的阵列基板可适用于上述 HADS 型液晶显示装置。

[0029] 具体的,所述至少在对应周边非显示像素区域的至少一个像素单元中的所述钝化层中设置有过孔,使得与所述像素单元对应的第一公共电极通过所述过孔与该像素单元的驱动薄膜晶体管的漏极电连接,即当所述像素单元对应的第一公共电极和像素电极之间隔着钝化层,则在所述钝化层中设置过孔。若在所述像素单元对应的第一公共电极和像素电极之间还设置有其他层结构,则所述过孔同时设置在第一公共电极和像素电极之间的各层结构中。

[0030] 需要说明的是,与所述像素单元对应的第一公共电极通过所述过孔与该像素单元的漏极电连接,可以是所述与所述像素单元对应的第一公共电极通过所述过孔与该像素单元的漏极直接电连接,还可以是所述与所述像素单元对应的第一公共电极通过所述过孔以及其他导电层与该像素单元的漏极电连接。例如,由于漏极与像素电极电连接,与所述像素单元对应的第一公共电极可以通过所述过孔与该像素单元的像素电极电连接,进而实现与该像素单元的漏极的电连接。另外,在对驱动薄膜晶体管进行特性检测时,一般通过在与该驱动薄膜晶体管对应的栅线和数据线上分别通过探针添加栅线信号和数据线信号,通过检测漏极来评估该驱动薄膜晶体管的特性。

[0031] 本发明实施例提供了一种阵列基板,至少在对应周边非显示像素区域的至少一个像素单元中的所述钝化层中设置有过孔,使得与所述像素单元对应的第一公共电极通过所述过孔与该像素单元的驱动薄膜晶体管的漏极电连接。且所述至少一个与像素单元对应的第一公共电极与位于显示像素区域的第二公共电极电绝缘。所述阵列基板上的周边非显示像素区域的第一公共电极与漏极电连接,可通过所述第一公共电极来检测所述驱动薄膜晶体管的特性。且周边非显示像素区域的驱动薄膜晶体管和显示像素区域的驱动薄膜晶体管的形状和结构相同,相对于检测测试区的驱动薄膜晶体管,其检测结果更接近显示像素区驱动薄膜晶体管特性。且所述阵列基板的周边非显示像素区域不会被切掉,可方便对显示像素区域的驱动薄膜晶体管的特性进行评估。

[0032] 优选的,周边非显示像素区域的各像素单元分别对应的第一公共电极彼此电绝缘。周边非显示像素区域的各像素单元分别对应一个第一公共电极,即每一所述像素单元分别与位于其像素单元位置处的第一公共电极一一对应,则各所述第一公共电极和所述第二公共电极电绝缘。

[0033] 进一步的,在对应周边非显示像素区域的每个像素单元中的所述钝化层中均设置有过孔,使得各像素单元对应的第一公共电极通过所述过孔与该像素单元对应的漏极电连接。具体的,周边非显示像素区域包括多个像素单元,每一像素单元分别对应一个第一公共电极,每一个像素单元中的所述钝化层中均设置过孔,则各第一公共电极分别与对应的像素单元的漏极电连接。则可根据需要对固定位置的驱动薄膜晶体管进行特性检测。还可以检测多个驱动薄膜晶体管的特性,整体评估阵列基板上驱动薄膜晶体管的特性是否良好。

[0034] 可选的,在所述像素电极与所述漏极相连接的位置处,所述像素电极位于所述漏极下方。具体的,如图5所示,像素电极4位于漏极33的下面。在漏极和第一公共电极51之间设置有钝化层8,则所述钝化层8上设置过孔,使得第一公共电极51通过所述过孔与漏极33电连接。具体的,在钝化层上设置过孔,可以使得对应的第一公共电极与所述像素电极电连接,进而通过所述像素电极与所述漏极电连接。

[0035] 优选的,所述过孔设置在像素单元的对应漏极的位置处,该像素单元对应的第一

公共电极通过所述过孔与该像素单元的漏极直接电连接。如图 5 所示,钝化层在对应漏极的区域设置有过孔。这样,相同过孔尺寸条件下,第一公共电极通过所述过孔直接与所述漏极电连接,相对于通过像素电极与漏极电连接,减小了接触电阻,使驱动薄膜晶体管的特性检测结果相对更加准确。

[0036] 可选的,在所述像素电极与所述漏极相连接的位置处,所述像素电极位于所述漏极上方。具体的,如图 6 所示,像素电极 4 位于漏极 33 的上面,且位于第一公共电极 51 的下面。则在所述钝化层上设置有过孔,可以使得对应的第一公共电极与所述像素电极电连接,进而通过所述像素电极与所述漏极电连接。

[0037] 优选的,所述过孔设置在像素单元的对应漏极的位置处,该像素单元对应的第一公共电极通过所述过孔与该像素单元的漏极直接电连接。如图 6 所示,钝化层和像素电极对应漏极上方的区域均设置有过孔,所述第一公共电极通过所述过孔直接与所述漏极电连接。由于相同过孔尺寸条件下,第一公共电极通过所述像素电极和钝化层上的过孔直接与漏极电连接相对于通过像素电极与漏极电连接减小了接触电阻,使得驱动薄膜晶体管的特性检测更加准确。

[0038] 可选的,所述像素电极与所述公共电极之间还设置有彩色滤光层,所述过孔贯穿所述彩色滤光层。具体的,阵列基板在公共电极和像素电极之间设置有钝化层以及彩色滤光层,则在所述钝化层和彩色滤光层均设置过孔,以使得公共电极与漏极电连接。

[0039] 可选的,周边非显示像素区域的栅线 and 数据线分别设置有用连接栅线信号和数据线信号的栅线测试点和数据线测试点。

[0040] 需要说明的是,在对驱动薄膜晶体管进行特性检测时,一般是在驱动薄膜晶体管的栅极和源极添加电压信号,通过检测漏极信号评估该驱动薄膜晶体管的特性是否良好。又由于栅极和栅线相连、源极和数据线相连,因此一般通过在与该驱动薄膜晶体管对应的栅线和数据线上分别通过探针添加栅线信号和数据线信号。对应的探针与栅线和数据线接触的部分为栅线测试点和数据线测试点。且为了更方便的对驱动薄膜晶体管的特性进行测试,在所述驱动薄膜晶体管对应的栅线和数据线上分别设置一个栅线测试点和数据线测试点。所述栅线测试点和数据线测试点可以是与栅线或数据线电连接的部分,也可以是固定设置的引线。例如,所述栅线测试点和数据线测试点可以直接是栅线和数据线裸漏在基板表面上的部分。

[0041] 可选的,所述栅线测试点和数据线测试点可单独设置在阵列基板的周边区域。具体的,如图 3 所示,所述栅线测试点和数据线测试点可以设置在阵列基板的走线区域 103,方便对驱动薄膜晶体管的特性进行检测。

[0042] 本发明实施例提供了一种液晶显示装置,包括本发明实施例提供的任一所述的阵列基板。所述液晶显示装置可以为液晶显示器以及包括液晶显示器的电视、数码相机、手机、平板电脑等任何具有显示功能的产品或者部件。

[0043] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

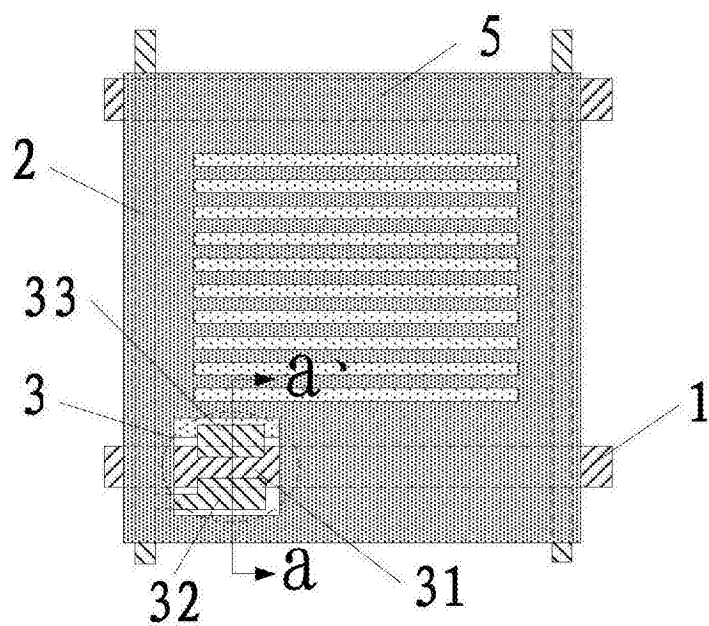


图 1

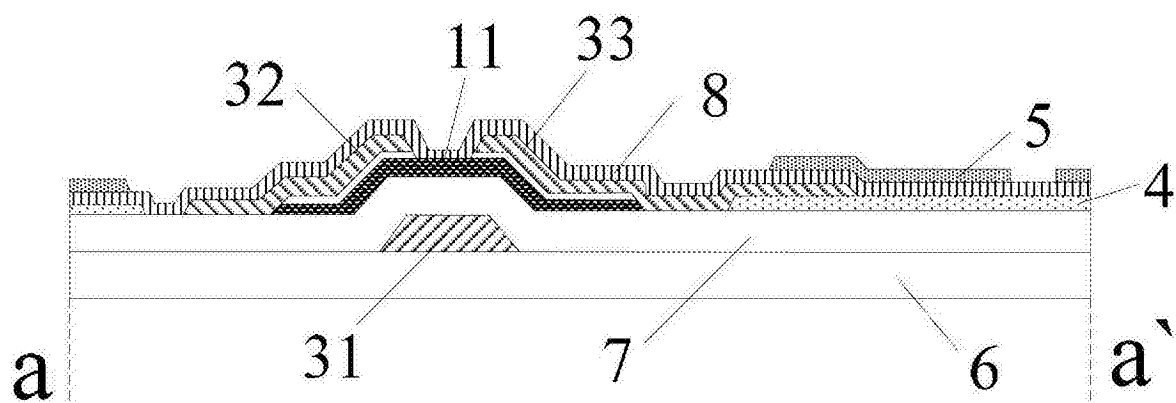


图 2

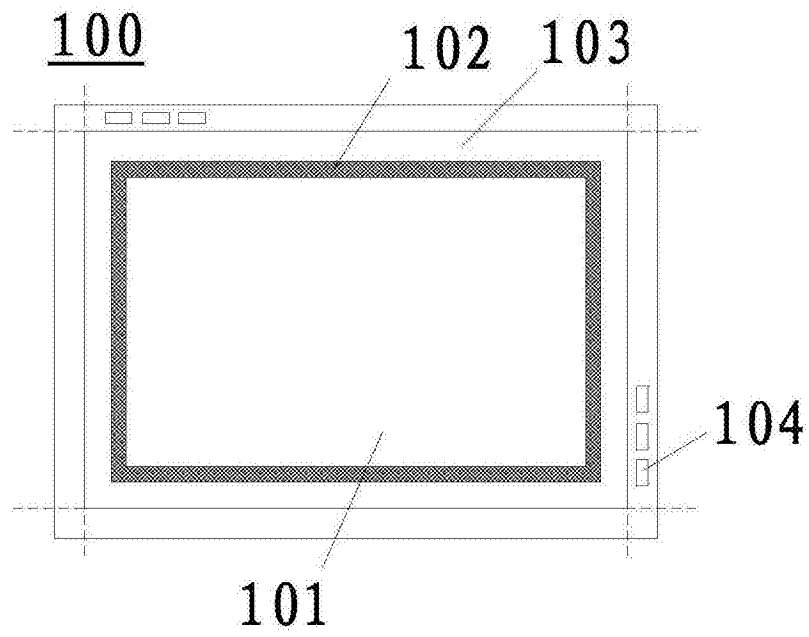


图 3

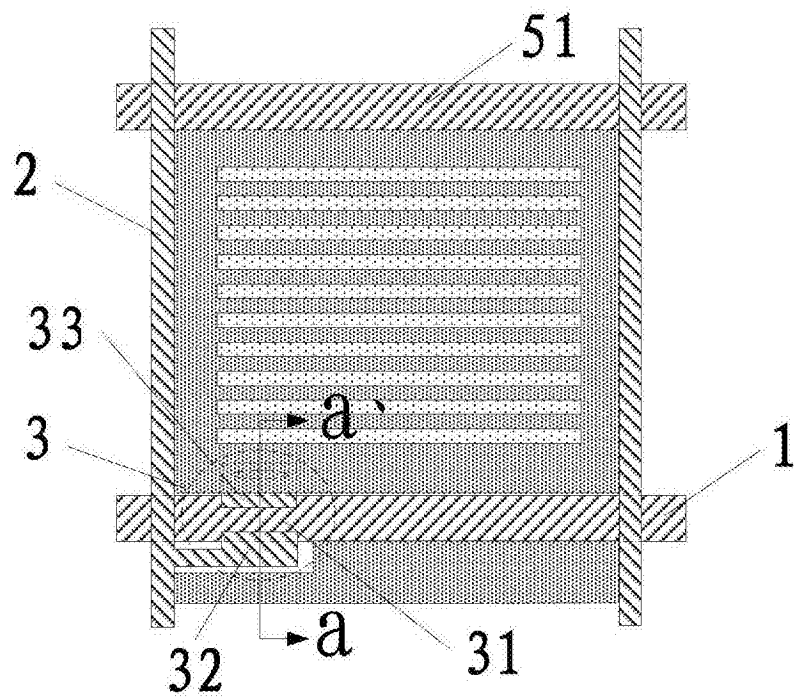


图 4

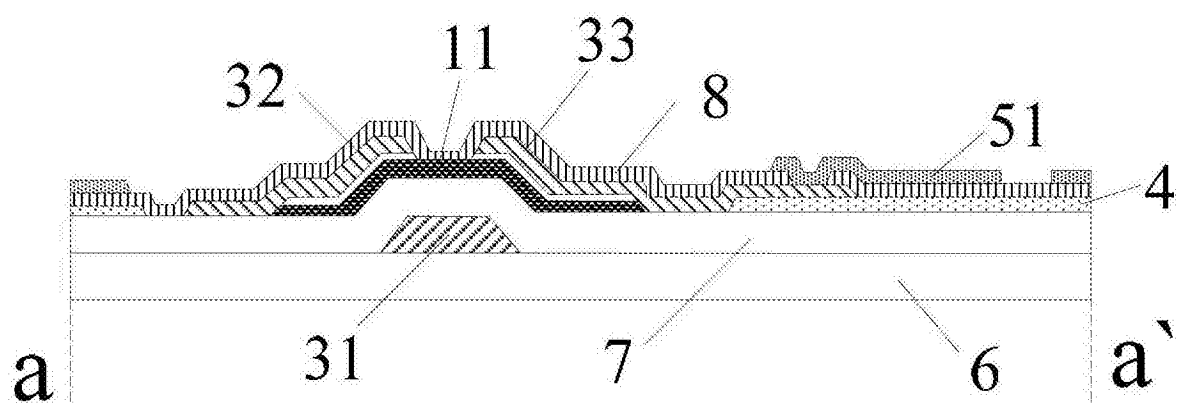


图 5

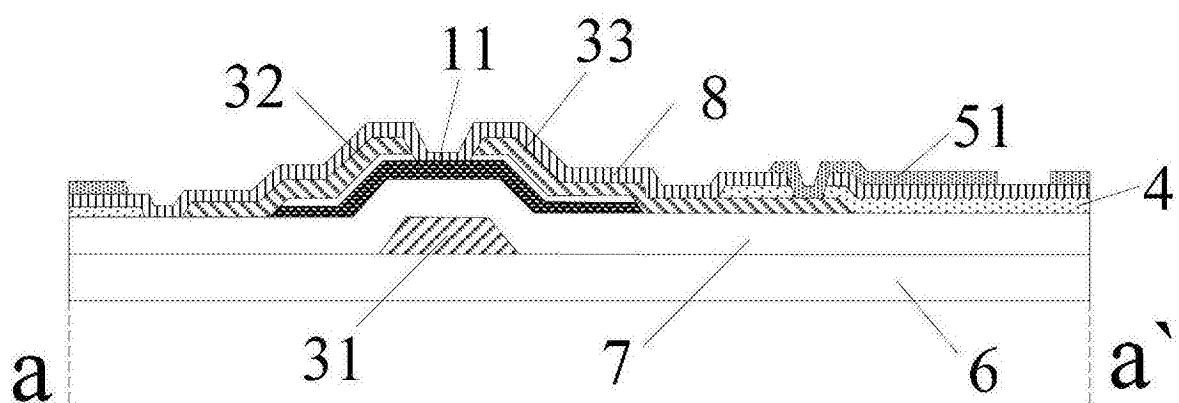


图 6

专利名称(译)	一种阵列基板及液晶显示装置		
公开(公告)号	CN103197478B	公开(公告)日	2015-11-25
申请号	CN201310090474.5	申请日	2013-03-20
[标]申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
当前申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
[标]发明人	刘金良 田广彦		
发明人	刘金良 田广彦		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/13 H01L27/12		
CPC分类号	G02F1/136227 G02F1/134363 G02F2001/133388 G02F2001/134381		
代理人(译)	申健		
审查员(译)	纪红		
其他公开文献	CN103197478A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种阵列基板及液晶显示装置，涉及显示技术领域，解决了现有技术中阵列基板制成后驱动薄膜晶体管无法进行特性检测的问题。一种阵列基板，包括显示像素区域和周边非显示像素区域，位于周边非显示像素区域的公共电极包括至少一个与像素单元对应的第一公共电极，位于显示像素区域的公共电极彼此相连为第二公共电极，且所述至少一个与像素单元对应的第一公共电极与第二公共电极电绝缘；至少在对应周边非显示像素区域的至少一个像素单元中的所述钝化层中设置有过孔，使得与所述像素单元对应的第一公共电极通过所述过孔与该像素单元的驱动薄膜晶体管的漏极电连接。本发明适用于液晶显示装置的设计和制造。

