



(12) 发明专利

(10) 授权公告号 CN 102778796 B

(45) 授权公告日 2015. 11. 11

(21) 申请号 201210236108. 1

(22) 申请日 2012. 07. 06

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
专利权人 北京京东方显示技术有限公司

(72) 发明人 张斌 张亮 胡巍浩

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

G02F 1/133(2006. 01)

G09G 3/36(2006. 01)

(56) 对比文件

CN 102184717 A, 2011. 09. 14,

CN 1598674 A, 2005. 03. 23,

CN 1606771 A, 2005. 04. 13,

JP 2002229532 A, 2002. 08. 16,

CN 1372242 A, 2002. 10. 02,

审查员 李国斌

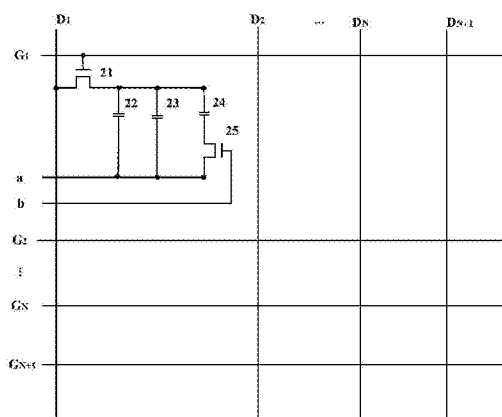
权利要求书2页 说明书5页 附图3页

(54) 发明名称

一种薄膜晶体管阵列基板及其驱动方法与液晶显示器

(57) 摘要

本发明公开了一种薄膜晶体管阵列基板及其驱动方法与液晶显示器,所述薄膜晶体管阵列基板的各子像素包括栅极与栅极线连接且漏极与数据线连接的第一晶体管、一端与第一晶体管的源极相连且另一端与参考电压输出端相连的第一存储电容,同时,所述子像素还包括第二存储电容和第二晶体管,所述第二存储电容的一端与第一晶体管的源极相连、另一端与第二晶体管的漏极相连,所述第二晶体管的源极与参考电压输出端相连、栅极与使能信号输出端相连。由于在本发明所述薄膜晶体管阵列基板中,各子像素均增加了第二存储电容,因而增大了静态显示时的存储电容的电容量,降低了静态显示时的电压转换频率,达到了降低了系统功耗的效果。



1. 一种薄膜晶体管阵列基板,包括至少一个由栅极线与数据线相互交叉形成的子像素区域,其中,每个子像素区域对应的子像素包括栅极与栅极线连接且漏极与数据线连接的第一晶体管、一端与该第一晶体管的源极相连且另一端与参考电压输出端相连的第一存储电容,其特征在于,每个子像素还包括一组或多组由第二存储电容和第二晶体管进行串接后所形成的、与所述第一存储电容并联的支路,其中,对于任一组支路:

该支路中包含的第二存储电容的一端与第一晶体管的源极相连、另一端与该支路中包含的第二晶体管的漏极相连;

该支路中包含的第二晶体管的源极与参考电压输出端相连、栅极与使能信号输出端相连;

其中,所述使能信号输出端输出的使能信号由时序控制器 TCON 控制;且,所述使能信号输出端输出的使能信号是 TCON 根据数据线上数据信号的相邻帧的状态控制的;当薄膜晶体管阵列基板的子像素进行动态画面显示以使得数据线上数据信号的相邻帧的状态不同时, TCON 能够根据数据线上数据信号的相邻帧的状态,控制与该子像素的第二晶体管相对应的使能信号输出端输出能够将第二晶体管设置为开路状态的第一使能信号,以保持驱动电压的电压转换频率不变;而当子像素进行静态画面显示以使得数据线上数据信号的相邻帧的状态相同时, TCON 能够根据数据线上数据信号的相邻帧的状态,控制与该子像素的第二晶体管相对应的使能信号输出端输出的能够将第二晶体管设置为导通状态的第二使能信号,以降低驱动电压的电压转换频率。

2. 如权利要求 1 所述的薄膜晶体管阵列基板,其特征在于,

所述第二晶体管为金属-氧化物-半导体场效应晶体管。

3. 一种液晶显示器,其特征在于,所述液晶显示器包括权利要求 1 和 2 任一所述的薄膜晶体管阵列基板。

4. 一种驱动薄膜晶体管阵列基板的方法,其特征在于,所述薄膜晶体管阵列基板包括至少一个由栅极线与数据线相互交叉形成的子像素区域;其中,每个子像素区域对应的子像素包括栅极与栅极线连接且漏极与数据线连接的第一晶体管,一端与该第一晶体管的源极相连且另一端与参考电压输出端相连的第一存储电容,以及,一组或多组由第二存储电容和第二晶体管进行串接后所形成的、与所述第一存储电容并联的支路;其中,对于任一组支路,该支路中包含的第二存储电容的一端与第一晶体管的源极相连、另一端与该支路中包含的第二晶体管的漏极相连,该支路中包含的第二晶体管的源极与参考电压输出端相连、栅极与使能信号输出端相连;其中,所述使能信号输出端输出的使能信号由时序控制器 TCON 控制,且,所述使能信号输出端输出的使能信号是 TCON 根据数据线上数据信号的相邻帧的状态控制的;所述方法包括:

当薄膜晶体管阵列基板中的子像素进行动态画面显示以使得数据线上数据信号的相邻帧的状态不同时, TCON 根据数据线上数据信号的相邻帧的状态,控制使能信号输出端向该子像素的第二晶体管的栅极输入将该第二晶体管设置为开路状态的第一使能信号,以保持驱动电压的电压转换频率不变;

当薄膜晶体管阵列基板中的子像素进行静态画面显示以使得数据线上数据信号的相邻帧的状态相同时, TCON 根据数据线上数据信号的相邻帧的状态,控制使能信号输出端向该子像素的第二晶体管的栅极输入将该第二晶体管设置为导通状态的第二使能信号,以

低驱动电压的电压转换频率。

一种薄膜晶体管阵列基板及其驱动方法与液晶显示器

技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种薄膜晶体管(Thin Film Transistor, TFT)阵列基板及其驱动方法与液晶显示器(Liquid Crystal Display, LCD)。

背景技术

[0002] 随着液晶显示技术的不断发展,具有体积小、功耗低、无辐射等优点的 LCD 已逐渐取代阴极射线管(Cathode Ray Tube, CRT)显示器成为显示器件中的主流产品。

[0003] 目前, LCD 通常具有如图 1 所示的 TFT 阵列基板结构,所述 TFT 阵列基板包括至少一个由栅极线(Gate Line, 简称为 G)与数据线(Data Line, 简称为 D)相互交叉形成的子像素区域(以图 1 所示的 TFT 阵列基板结构示意图为例, G_1 、 G_2 、 D_1 以及 D_2 相互交叉后,即形成了一个子像素区域,同时, G_N 、 G_{N+1} 、 D_N 以及 D_{N+1} 相互交叉后,也可以形成一个子像素区域),其中,每个子像素区域对应的子像素包括栅极与栅极线连接且漏极与数据线连接的晶体管 11、一端与该晶体管 11 的源极相连且另一端与参考电压(V_{com})输出端(标记为 a)相连的液晶电容 12、以及一端与该晶体管 11 的源极相连且另一端与参考电压输出端相连的存储电容 13。

[0004] 其中,当一驱动电压通过数据线加载到所述晶体管 11 时,晶体管 11 所在的子像素区域被激活,达到显示效果。

[0005] 目前,为了保证 LCD 各子像素在进行动态画面显示时的画面连续性, LCD 大多采用每 60HZ 即改变一次驱动电压的方式(即电压转换频率为 60HZ)来实现子像素的交流驱动,即使当 LCD 各子像素处于静态画面显示时,所述电压转换频率仍固定为 60HZ。

[0006] 但是,由于驱动 LCD 各子像素进行画面显示时产生的 LCD 功耗与驱动电压、驱动电压的电压转换频率以及 LCD 数据线上寄生电容的大小呈正比,因此,当 LCD 各子像素处于静态显示时,由于电压转换频率较高,会使得 LCD 产生较大的静态功耗。

发明内容

[0007] 本发明实施例提供了一种 TFT 阵列基板及其驱动方法与 LCD,用以解决现有技术中存在的 LCD 的电压转换频率较高导致 LCD 在静态画面显示时系统功耗较大的问题。

[0008] 一种 TFT 阵列基板,包括至少一个由栅极线与数据线相互交叉形成的子像素区域,其中,每个子像素区域对应的子像素包括栅极与栅极线连接且漏极与数据线连接的第一晶体管、一端与该第一晶体管的源极相连且另一端与 V_{com} 输出端相连的第一存储电容,所述子像素还包括第二存储电容和第二晶体管,其中:

[0009] 所述第二存储电容的一端与第一晶体管的源极相连、另一端与第二晶体管的漏极相连;

[0010] 所述第二晶体管的源极与 V_{com} 输出端相连、栅极与使能(Enable)信号输出端(标记为 b)相连。

[0011] 进一步地,所述第二晶体管为金属-氧化物-半导体场效应晶体管(MOSFET)。

[0012] 一种 LCD,其中,所述 LCD 包括上述 TFT 阵列基板。

[0013] 一种驱动上述 TFT 阵列基板的方法,所述方法包括:

[0014] 当 TFT 阵列基板中的子像素进行动态画面显示时,Enable 信号输出端向第二晶体管的栅极输入将该第二晶体管设置为开路状态的第一使能信号(第一 Enable 信号);

[0015] 当 TFT 阵列基板中的子像素进行静态画面显示时,Enable 信号输出端向第二晶体管的栅极输入将该第二晶体管设置为导通状态的第二使能信号(第二 Enable 信号)。

[0016] 本发明的有益效果为:

[0017] 本发明实施例提供了一种 TFT 阵列基板及其驱动方法与 LCD,所述 TFT 阵列基板的各子像素包括栅极与栅极线连接且漏极与数据线连接的第一晶体管以及一端与第一晶体管的源极相连且另一端与 Vcom 输出端相连的第一存储电容,同时,所述子像素还包括第二存储电容以及第二晶体管,其中,所述第二存储电容的一端与第一晶体管的源极相连、另一端与第二晶体管的漏极相连,所述第二晶体管的源极与 Vcom 输出端相连、栅极与 Enable 信号输出端相连。由于在本发明所述 TFT 阵列基板中,各子像素均增加了第二存储电容,因而增大了静态显示时存储电容的电容量,降低了静态显示时的电压转换频率,达到了降低了系统功耗的效果。

附图说明

[0018] 图 1 所示为现有技术中 TFT 阵列基板结构示意图;

[0019] 图 2 所示为本发明实施例一中所述 TFT 阵列基板结构示意图;

[0020] 图 3 所示为本发明实施例一中 TFT 阵列基板的信号驱动示意图。

具体实施方式

[0021] 由于驱动 LCD 的 TFT 阵列基板中各子像素进行画面显示时产生的 LCD 功耗与驱动电压、驱动电压的电压转换频率以及 LCD 数据线上寄生电容的大小呈正比,且驱动电压和 LCD 数据线上寄生电容的大小由 LCD 本身的液晶特性决定,也就是说,当 LCD 确定后,所述 LCD 的驱动电压和 LCD 数据线上寄生电容的大小也是确定的,因此,为了降低 LCD 的 TFT 阵列基板中各子像素进行静态画面显示时产生的静态功耗,本发明实施例提供了一种新的 TFT 阵列基板,通过在 TFT 阵列基板的各子像素中增加额外的存储电容和用于控制该额外的存储电容开关的晶体管的方式,来达到增加各子像素的存储电容电容量,降低电压转换频率的效果。

[0022] 下面结合说明书附图对本发明实施例作进一步说明,但本发明不局限于下面的实施例。

[0023] 实施例一:

[0024] 如图 2 所示,为本发明实施例一中所述 TFT 阵列基板的结构示意图,所述 TFT 阵列基板包括至少一个由栅极线与数据线相互交叉形成的子像素区域(以图 2 所示的 TFT 阵列基板结构示意图为例, G_1 、 G_2 、 D_1 以及 D_2 相互交叉后,即形成了一个子像素区域,同时, G_N 、 G_{N+1} 、 D_N 以及 D_{N+1} 相互交叉后,也可以形成一个子像素区域),其中,每个子像素区域对应的子像素包括栅极与栅极线连接且漏极与数据线连接的第一晶体管 21 以及一端与该第一晶体管 21 的源极相连且另一端与参考电压(Vcom)输出端(标记为 a)相连的第一存储电容 23,同时,所述子像素还包括第二存储电容 24 以及第二晶体管 25,其中:

[0025] 所述第二存储电容 24 的一端与第一晶体管 21 的源极相连、另一端与第二晶体管 25 的漏极相连；所述第二晶体管 25 的源极与参考电压 (Vcom) 输出端相连、栅极与使能信号 (Enable 信号) 输出端 (标记为 b) 相连。

[0026] 具体地, 所述第一存储电容 23 以及第二存储电容 24 的电容量大小可以根据实际情况进行设定, 本发明实施例对此不作任何限定; 另外, 所述第一晶体管 21 和第二晶体管 25 可以为金属-氧化物-半导体场效应晶体管 (MOSFET), 包括 PMOSFET 和 NMOSFET 以及薄膜晶体管 (TFT) 等开关管; 具体地, 可以为 NMOSFET。

[0027] 具体地, 所述第二晶体管 25 用于控制所述第二存储电容 24 的开关; 以所述第二晶体管 25 为 NMOSFET 为例, 当所述 Enable 信号输出端输出的 Enable 信号为高电平时, 所述第二晶体管 25 处于导通状态, 此时第二存储电容 24 与第一存储电容 23 为并联状态, 以图 2 所示的 TFT 阵列基板为例, G_1 、 G_2 、 D_1 以及 D_2 相互交叉后形成的子像素区域对应的子像素的存储电容的电容量将为第一存储电容 23 与第二存储电容 24 的电容量之和, 此时, 由于存储电容的电容量增加了, 因而导致 LCD 驱动电压的电压转换频率降低, 以现有技术中电压转换频率为 60Hz 为例, 降低后的电压转换频率可以为 6~10Hz 左右; 进一步地, 当所述 Enable 信号输出端输出的 Enable 信号为低电平时, 所述第二晶体管 25 处于开路状态, 此时, 仍以图 2 所示的 TFT 阵列基板为例, G_1 、 G_2 、 D_1 以及 D_2 相互交叉后形成的子像素区域对应的子像素的存储电容的电容量将只为第一存储电容 23 的电容量, 由于存储电容的电容量与现有技术中 TFT 阵列基板中各子像素的存储电容的电容量是相同的, 因此, LCD 驱动电压的电压转换频率将保持不变。

[0028] 进一步地, 所述 Enable 信号输出端输出的 Enable 信号由时序控制器 (TCON) 控制。

[0029] 由于存储电容的电容量越大, LCD 驱动电压的电压转换频率越低, 且电压转换频率越低, LCD 静态功耗则越低, 因此, 在本发明实施例一中, 为了降低 LCD 的 TFT 阵列基板中各子像素在进行静态画面显示时所产生的静态功耗, 同时保证各子像素在进行动态画面显示时画面的连续性, 需要使得当 TFT 阵列基板的子像素进行动态画面显示时, 与该子像素的第二晶体管 25 相对应的 Enable 信号输出端输出的 Enable 信号为能够将所述第二晶体管 25 设置为开路状态的第一 Enable 信号 (具体地, 当所述第二晶体管为 NMOSFET 时, 所述第一 Enable 信号可以为低电平), 且当所述子像素进行静态画面显示时, 与该子像素的第二晶体管 25 相对应的 Enable 信号输出端输出的 Enable 信号为能够将所述第二晶体管 25 设置为导通状态的第二 Enable 信号 (具体地, 当所述第二晶体管为 NMOSFET 时, 所述第二 Enable 信号可以为高电平)。

[0030] 具体地, 当所述第二晶体管为 NMOSFET 时, 以图 3 所示的 TFT 阵列基板的信号驱动示意图为例, 当 TFT 阵列基板的子像素进行静态画面显示时, 数据线上的数据信号 (Data 信号) 在帧之间是相同的, 如第 N-1 帧 (N-1 frame)、第 N 帧和第 N+1 帧之间, 此时, 为了降低各子像素在进行静态显示时所产生的静态功耗, Enable 信号输出端输出的 Enable 信号均为高电平; 当 TFT 阵列基板的子像素进行动态画面显示时, 数据线上的数据在帧之间是不同的, 如第 N+1 帧和第 N+2 帧之间或第 N-2 帧和第 N-1 帧之间, 此时, 为了保证各子像素在进行动态画面显示时, 画面的连续性, Enable 信号输出端输出的 Enable 信号为低电平。

[0031] 进一步地, 所述 TFT 阵列基板还包括一端与该第一晶体管 21 的漏极相连且另一端与 Vcom 输出端相连的液晶电容 22; 具体地, 所述液晶电容 22 的电容量大小由 LCD 的液晶

特性决定,通常来说,所述液晶电容 22 的电容量一般均较小。

[0032] 需要说明的是,在本发明实施例一所述 TFT 阵列基板中,每个子像素可以包含多组由第二存储电容 24 和第二晶体管 25 进行串接后所形成的、与所述第一存储电容 23 并联的支路,本发明实施例对此并不作任何限定;另外,对于任一组由第二存储电容 24 和第二晶体管 25 进行串接后所形成的、与所述第一存储电容 23 并联的支路,该支路中还可以包含多个第二存储电容 24 和 / 或多个第二晶体管 25,本发明实施例对此不作任何限定。

[0033] 本发明实施例一提供了一种 TFT 阵列基板,在所述 TFT 阵列基板中,各子像素均包括栅极与栅极线连接且漏极与数据线连接的第一晶体管以及一端与第一晶体管的源极相连且另一端与 Vcom 输出端相连的第一存储电容,同时,各子像素还包括第二存储电容以及第二晶体管,所述第二存储电容的一端与第一晶体管的源极相连、另一端与第二晶体管的漏极相连,所述第二晶体管的源极与 Vcom 输出端相连、栅极与 Enable 信号输出端相连。由于在本发明实施例一所述 TFT 阵列基板中,各子像素均增加了额外的第二存储电容,因而增大了各子像素进行静态画面显示时的存储电容的电容量,降低了静态显示时的电压转换频率,达到了降低了系统功耗的效果。

[0034] 实施例二:

[0035] 本发明实施例二提供了一种 LCD,所述 LCD 包括实施例一中所述的 TFT 阵列基板。

[0036] 具体地,与现有技术中的 LCD 相比,在本实施例二所述 LCD 的 TFT 阵列基板中,各子像素均增加了第二存储电容以及用于控制该第二存储电容开关的第二晶体管,其中,所述第二存储电容的一端与 TFT 阵列基板中的第一晶体管的源极相连、另一端与第二晶体管的漏极相连,所述第二晶体管的源极与 Vcom 输出端相连、栅极与 Enable 信号输出端相连。

[0037] 具体地,当本发明实施例二中 LCD 的 TFT 阵列基板中各子像素进行动态画面显示时,与该子像素的第二晶体管相对应的 Enable 信号输出端输出的 Enable 信号为将该第二晶体管设置为开路状态的第一使能信号(具体地,当所述第二晶体管为 NMOSFET 时,所述第一使能信号可以为低电平),且当所述子像素进行静态画面显示时,与该子像素的第二晶体管相对应的 Enable 信号输出端输出的 Enable 信号为将该第二晶体管设置为导通状态的第二使能信号(具体地,当所述第二晶体管为 NMOSFET 时,所述第二使能信号可以为高电平),从而增大了 LCD 的 TFT 阵列基板中各子像素静态显示时的电容量大小,降低了静态显示时的电压转换频率,达到了降低了系统功耗的效果。

[0038] 需要说明的是,与现有技术中的 LCD 相比,在本发明实施例二中所述 LCD 中,除了 TFT 阵列基板发生改变之外,其他 LCD 的结构部件均未发生任何变化。

[0039] 实施例三:

[0040] 本发明实施例三提供了一种驱动实施例一中所述 TFT 阵列基板的方法,所述方法包括:

[0041] 当 TFT 阵列基板中的子像素进行动态画面显示时,Enable 信号输出端向第二晶体管的栅极输入将所述第二晶体管设置为开路状态的第一使能信号(具体地,当所述第二晶体管为 NMOSFET 时,所述第一使能信号可以为低电平);当 TFT 阵列基板中的子像素进行静态画面显示时,Enable 信号输出端向第二晶体管的栅极输入将所述第二晶体管设置为导通状态的第二使能信号(具体地,当所述第二晶体管为 NMOSFET 时,所述第二使能信号可以为高电平)。

[0042] 具体地,以所述第二晶体管为 NMOSFET 为例,当所述 Enable 信号输出端向第二晶体管的栅极输入低电平的 Enable 信号时,所述第二晶体管处于开路状态,此时,以图 2 所示的 TFT 阵列基板为例, G_1 、 G_2 、 D_1 以及 D_2 相互交叉后形成的子像素区域对应的子像素的存储电容的电容量将只为第一存储电容 23 的电容量,此时,驱动电压的电压转换频率保持不变,现有技术中该电压转换频率通常为 60HZ 左右;进一步地,当所述 Enable 信号输出端向第二晶体管的栅极输入高电平的 Enable 信号时,所述第二晶体管处于导通状态,此时第二存储电容与第一存储电容为并联状态,仍以图 2 所示的 TFT 阵列基板为例, G_1 、 G_2 、 D_1 以及 D_2 相互交叉后形成的子像素区域对应的子像素的存储电容的电容量将为第一存储电容 23 与第二存储电容 24 的电容量之和,此时,由于存储电容的电容量增加了,因而导致驱动电压的电压转换频率降低,以现有技术中电压转换频率为 60HZ 为例,降低后的电压转换频率可以为 6~10HZ 左右。

[0043] 具体地,所述 Enable 信号输出端输出的 Enable 信号可以由 TCON 控制;当所述第二晶体管为 NMOSFET 时,以图 3 所示的 TFT 阵列基板的信号驱动示意图为例,当 TFT 阵列基板的子像素进行静态画面显示时,数据线上的数据信号(Data 信号)在帧之间是相同的,如第 N-1 帧(N-1frame)、第 N 帧和第 N+1 帧之间,此时,为了降低各子像素在进行静态显示时所产生的静态功耗,TCON 可以根据数据线上数据信号的第 N-1 帧、第 N 帧和第 N+1 帧的状态,控制 Enable 信号输出端输出的 Enable 信号均为高电平;当 TFT 阵列基板的子像素进行动态画面显示时,数据线上的数据在帧之间是不同的,如第 N+1 帧和第 N+2 帧之间或第 N-2 帧和第 N-1 帧之间,此时,为了保证各子像素在进行动态画面显示时画面的连续性,TCON 可以根据数据线上数据信号的第 N+1 帧和第 N+2 帧或第 N-2 帧和第 N-1 帧的状态,控制 Enable 信号输出端输出的 Enable 信号为低电平。

[0044] 以上所述仅是本发明的优选实施方案,显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

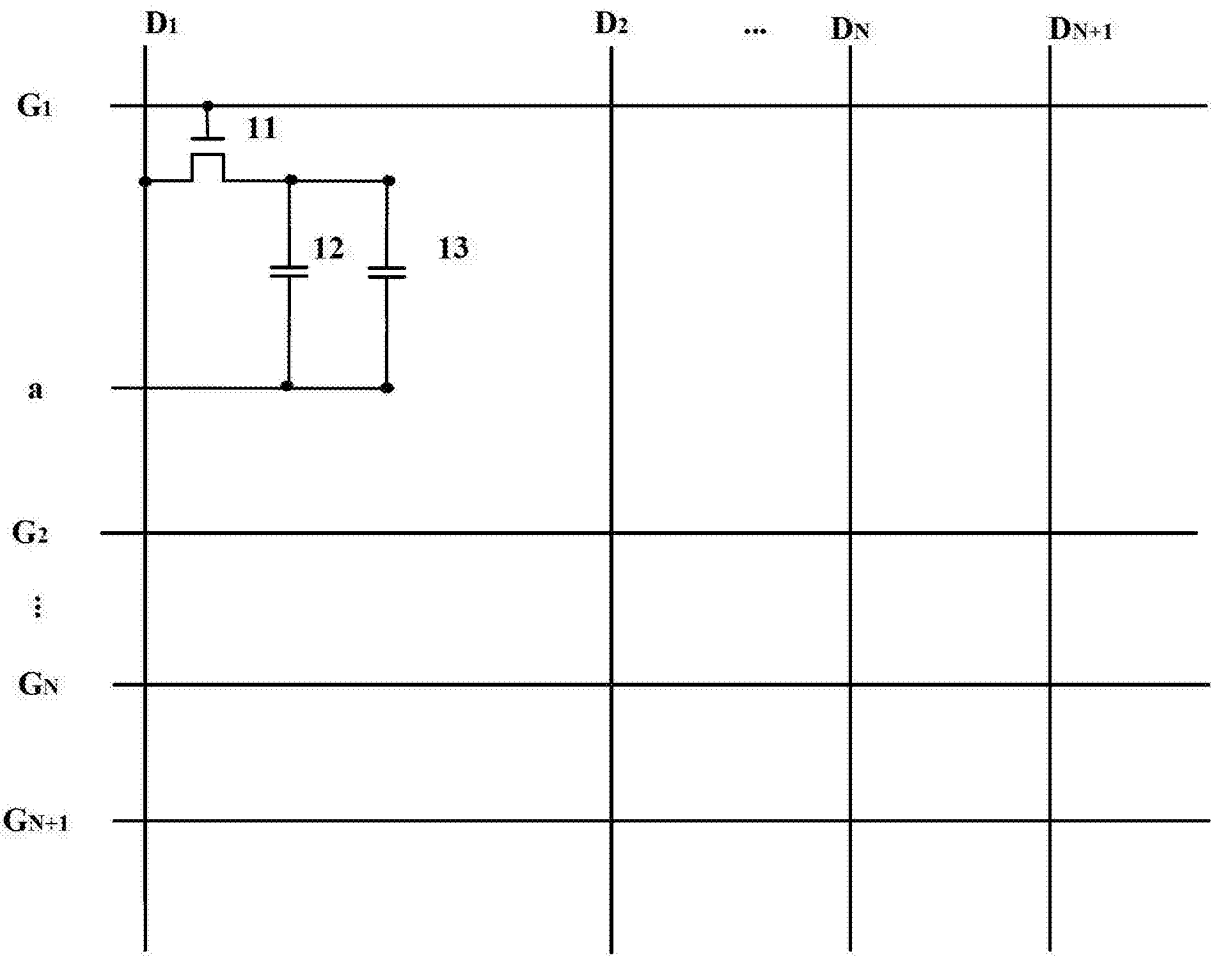


图 1

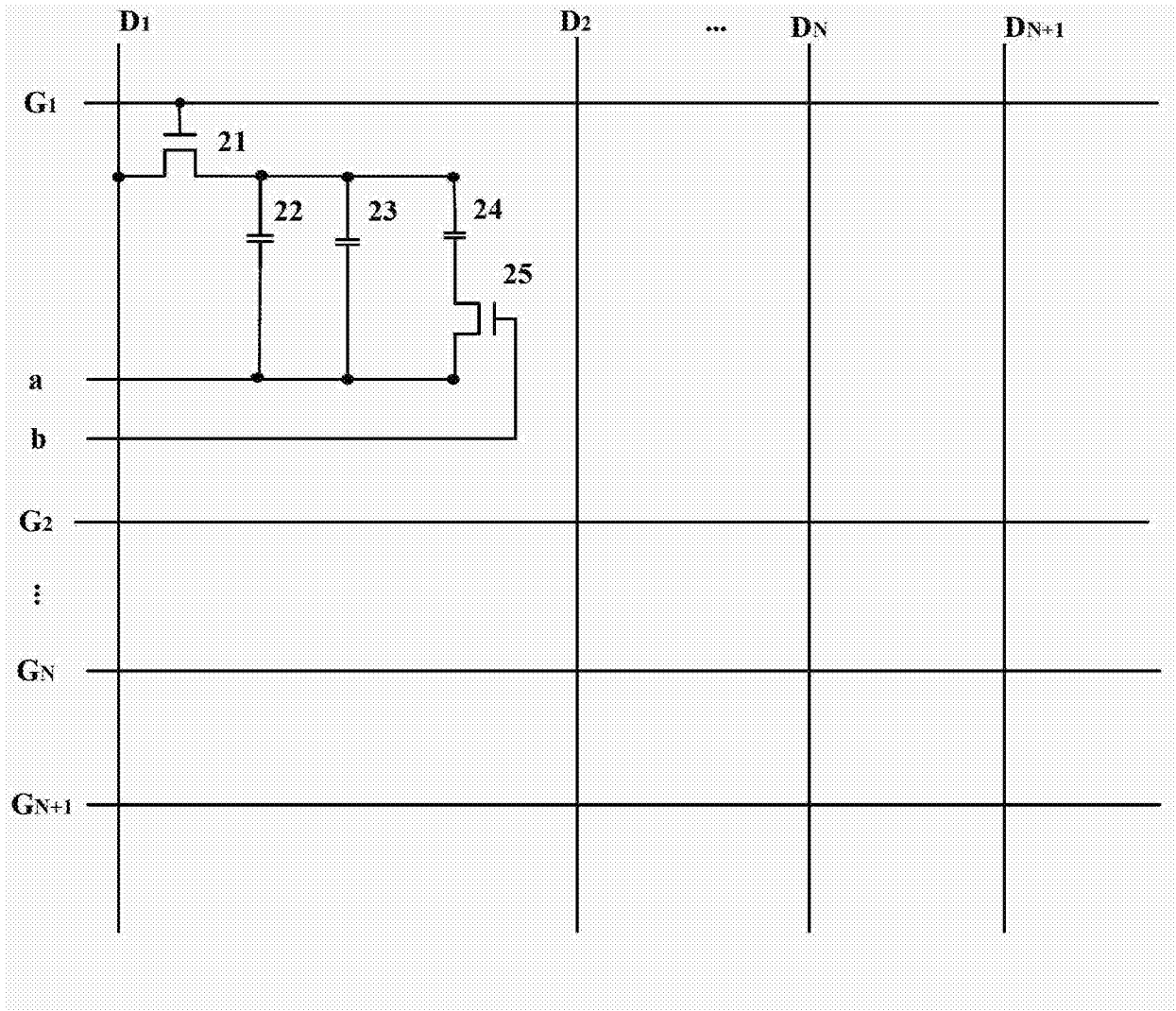


图 2

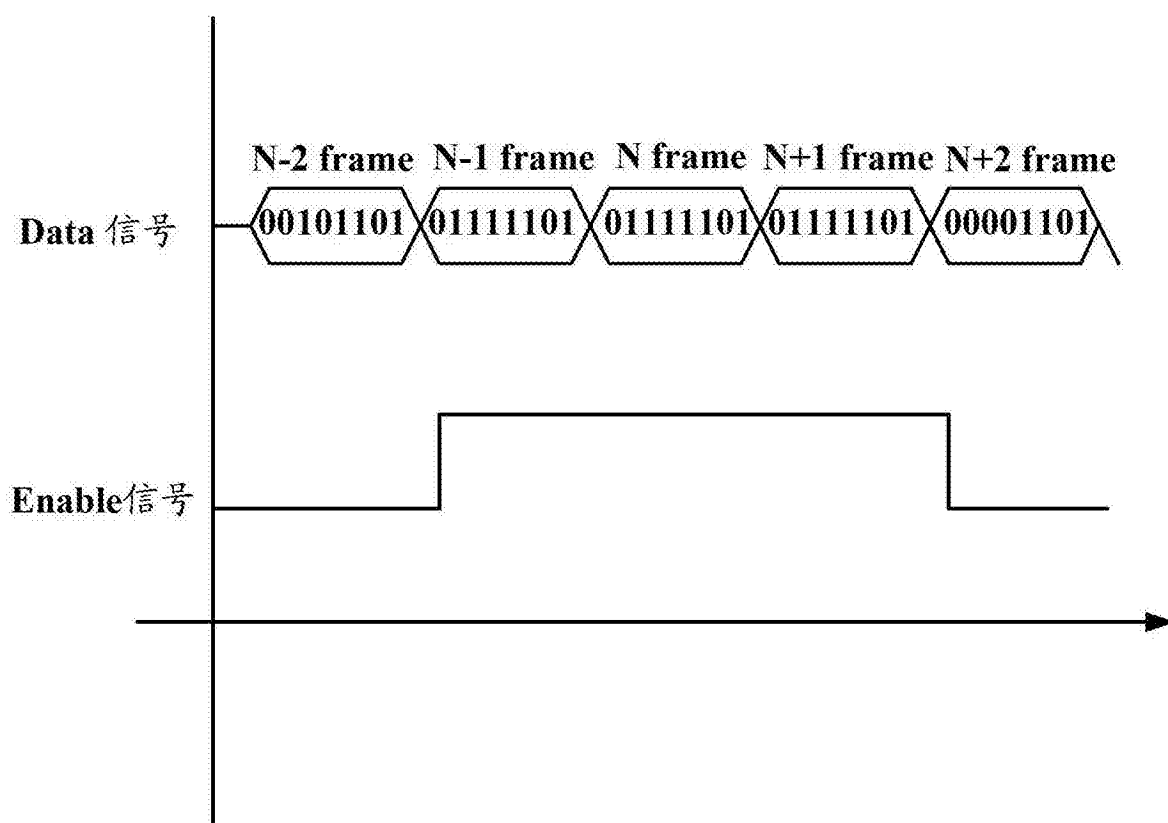


图 3

专利名称(译)	一种薄膜晶体管阵列基板及其驱动方法与液晶显示器		
公开(公告)号	CN102778796B	公开(公告)日	2015-11-11
申请号	CN201210236108.1	申请日	2012-07-06
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
[标]发明人	张斌 张亮 胡巍浩		
发明人	张斌 张亮 胡巍浩		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/133 G09G3/36		
CPC分类号	H01L27/1255 G02F1/136213 G09G3/3648 G09G3/3696 G09G2300/0852 G09G2330/021 G09G2340/0435 G09G2320/10		
代理人(译)	黄志华		
审查员(译)	李国斌		
其他公开文献	CN102778796A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种薄膜晶体管阵列基板及其驱动方法与液晶显示器，所述薄膜晶体管阵列基板的各子像素包括栅极与栅极线连接且漏极与数据线连接的第一晶体管、一端与第一晶体管的源极相连且另一端与参考电压输出端相连的第一存储电容，同时，所述子像素还包括第二存储电容和第二晶体管，所述第二存储电容的一端与第一晶体管的源极相连、另一端与第二晶体管的漏极相连，所述第二晶体管的源极与参考电压输出端相连、栅极与使能信号输出端相连。由于在本发明所述薄膜晶体管阵列基板中，各子像素均增加了第二存储电容，因而增大了静态显示时的存储电容的电容量，降低了静态显示时的电压转换频率，达到了降低了系统功耗的效果。

