



(12)实用新型专利

(10)授权公告号 CN 209182622 U

(45)授权公告日 2019.07.30

(21)申请号 201920017910.9

(22)申请日 2019.01.07

(73)专利权人 成都中电熊猫显示科技有限公司

地址 610200 四川省成都市双流区公兴街
道青栏路1778号

(72)发明人 齐扬扬 储周硕 刘翔 八木敏文
兰箭

(74)专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 黄溪 刘芳

(51)Int.Cl.

G02F 1/1362(2006.01)

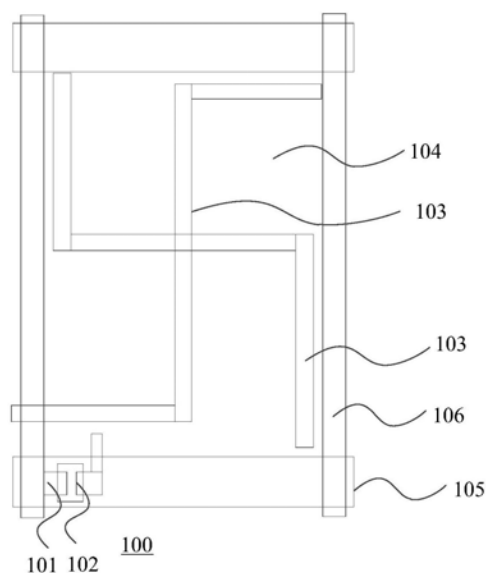
权利要求书1页 说明书7页 附图3页

(54)实用新型名称

阵列基板、液晶显示面板及显示装置

(57)摘要

本实用新型提供一种阵列基板、液晶显示面板及显示装置,该阵列基板包括:衬底基板,衬底基板上设置有薄膜晶体管、存储电容、像素电极、扫描线和数据线,扫描线与数据线交叉在衬底基板上并限定像素区域,像素电极位于像素区域内,薄膜晶体管与像素电极电连接;存储电容与液晶层中液晶分子偏转时形成的暗纹区域形成的暗纹区域相对,存储电容至少部分与暗纹区域重合。本实用新型提供的阵列基板,通过在衬底基板上设置存储电容,存储电容与液晶层中液晶分子偏转时形成的暗纹区域形成的暗纹区域相对,且存储电容至少部分与暗纹区域重合。从而其他位置存储电容的走线区域可以减小,进而达到提高像素开口率的目的。



1. 一种阵列基板,其特征在于,包括:衬底基板,所述衬底基板上设置有薄膜晶体管、存储电容、像素电极、扫描线和数据线,所述扫描线与所述数据线交叉在所述衬底基板上并限定像素区域,所述像素电极位于所述像素区域内,所述薄膜晶体管与所述像素电极电连接;所述存储电容与液晶层中液晶分子偏转时形成的暗纹区域相对,所述存储电容至少部分与所述暗纹区域重合。
2. 根据权利要求1所述的阵列基板,其特征在于,所述存储电容与所述扫描线同层设置。
3. 根据权利要求1所述的阵列基板,其特征在于,所述存储电容与所述数据线同层设置。
4. 根据权利要求1所述的阵列基板,其特征在于,所述存储电容全部与所述暗纹区域重合。
5. 根据权利要求4所述的阵列基板,其特征在于,所述存储电容的形状为卅字形。
6. 根据权利要求1所述的阵列基板,其特征在于,所述衬底基板上设置有保护层,所述扫描线与所述数据线之间设置所述保护层,所述像素电极与所述数据线之间也设置所述保护层。
7. 根据权利要求6所述的阵列基板,其特征在于,所述保护层为氧化硅层、氧化铝或氮化硅层。
8. 根据权利要求1-6任一项所述的阵列基板,其特征在于,所述像素电极为氧化铟锡电极。
9. 一种液晶显示面板,其特征在于,包括:权利要求1-8任一项所述的阵列基板。
10. 一种显示装置,其特征在于,包括:权利要求9所述的液晶显示面板。

阵列基板、液晶显示面板及显示装置

技术领域

[0001] 本实用新型涉及显示设备技术领域,尤其涉及一种阵列基板、液晶显示面板及显示装置。

背景技术

[0002] 随着显示技术的发展,液晶显示器(LiquidCrystalDisplay,LCD)等平面显示装置因具有高画质、省电、机身薄及应用范围广等优点,而被广泛的应用于手机、电视、个人数字助理、数字相机、笔记本电脑、台式计算机等各种消费性电子产品。现有市场上的液晶显示装置大部分为背光型彩膜基板,其包括液晶显示面板及背光模。通常液晶显示面板包括彩膜(Color Filter,CF)基板、薄膜晶体管(ThinFilmTransistor,TFT)基板(也称阵列基板)、夹于彩膜基板与阵列基板之间的液晶(LC,LiquidCrystal)。液晶显示面板的工作原理是在平行的彩膜基板与阵列基板之间放置液晶分子,之间中间有许多垂直和水平的数据线和扫描线,通过数据线和扫描线的通电与否来控制液晶分子改变方向,将背光模组的光线折射出来产生画面。

[0003] 对于大屏幕的液晶显示器,阵列基板上的薄膜晶体管的尺寸也相应的增加,因此,需要较大的存储电容来保证像素有足够的电压保持率。图1为现有技术中阵列基板中存储电容走线的示意图。如图1所示,在现有技术中,在像素开口区域设置存储电容走线,存储电容走线与薄膜晶体管连接,来保证像素有足够的电压保持率。

[0004] 但是,将存储电容走线设置在像素开口区,会降低像素的开口区域面积,从而降低像素的开口率,产品显示时的透过率降低。

实用新型内容

[0005] 有鉴于此,本实用新型实施例提供一种阵列基板、液晶显示面板及显示装置,以解决将存储电容走线设置在像素开口区,降低了像素的开口区域面积,从而降低像素的开口率,使产品显示时的透过率降低的问题。

[0006] 本实用新型提供了一种阵列基板,包括衬底基板,所述衬底基板上设置有薄膜晶体管、存储电容、像素电极、扫描线和数据线,所述扫描线与所述数据线交叉在所述衬底基板上并限定像素区域,所述像素电极位于所述像素区域内,所述薄膜晶体管与所述像素电极电连接;

[0007] 所述存储电容与液晶层中液晶分子偏转时形成的暗纹区域相对,所述存储电容至少部分与所述暗纹区域重合。

[0008] 作为一种可选的方式,本实用新型提供的阵列基板,所述存储电容与所述扫描线同层设置。

[0009] 作为一种可选的方式,本实用新型提供的阵列基板,所述存储电容与所述数据线同层设置。

[0010] 作为一种可选的方式,本实用新型提供的阵列基板,所述存储电容全部与所述暗

纹区域重合。

[0011] 作为一种可选的方式,本实用新型提供的阵列基板,所述存储电容的形状为卍字形。作为一种可选的方式,本实用新型提供的阵列基板,所述衬底基板上设置有保护层,所述扫描线与所述数据线之间设置所述保护层,所述像素电极与所述数据线之间也设置所述保护层。

[0012] 作为一种可选的方式,本实用新型提供的阵列基板,所述保护层为氧化硅层、氧化铝或氮化硅层。

[0013] 作为一种可选的方式,本实用新型提供的阵列基板,所述像素电极为氧化铟锡电极。

[0014] 本实用新型还提供一种液晶显示面板,包括:上述的阵列基板。

[0015] 本实用新型还提供一种显示装置,包括:上述的液晶显示面板。

[0016] 本实用新型实施例提供的阵列基板、液晶显示面板及显示装置,通过在衬底基板上设置存储电容,存储电容与液晶层中液晶分子偏转时形成的暗纹区域形成的暗纹区域相对,且存储电容至少部分与暗纹区域重合。即在固定的暗纹区域布置存储电容的走线,解决现有技术中将存储电容走线设置在像素开口区,降低了像素的开口区域面积,从而降低像素的开口率,使产品显示时的透过率降低的问题。从而其他位置存储电容的走线区域可以减小,进而达到提高像素开口率的目的。

附图说明

[0017] 为了更清楚地说明本实用新型实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍,显而易见地,下面描述中的附图是本实用新型的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0018] 图1为现有技术中阵列基板中存储电容走线的示意图;

[0019] 图2为现有技术中液晶显示面板的暗纹区域图;

[0020] 图3为本实用新型实施例一提供的阵列基板的结构示意图;

[0021] 图4为本实用新型实施例三提供的液晶显示面板的结构示意图。

[0022] 附图标记说明:

[0023] 100—阵列基板;

[0024] 101—半导体层;

[0025] 102—薄膜晶体管;

[0026] 103—存储电容;

[0027] 104—像素电极;

[0028] 105—扫描线;

[0029] 106—数据线;

[0030] 200—暗纹区域;

[0031] 201—第一暗纹区;

[0032] 202—第二暗纹区;

[0033] 203—第三暗纹区;

- [0034] 204—第四暗纹区；
- [0035] 205—第五暗纹区；
- [0036] 206—第六暗纹区；
- [0037] 300—彩膜基板；
- [0038] 400—液晶分子层。

具体实施方式

[0039] 为使本实用新型的目的、技术方案和优点更加清楚，下面将结合本实用新型的优选实施例中的附图，对本实用新型实施例中的技术方案进行更加详细的描述。在附图中，自始至终相同或类似的标号表示相同或类似的部件或具有相同或类似功能的部件。所描述的实施例是本实用新型一部分实施例，而不是全部的实施例。下面通过参考附图描述的实施例是示例性的，旨在用于解释本实用新型，而不能理解为对本实用新型的限制。基于本实用新型中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本实用新型保护的范围。

[0040] UV²A(Ultra Violet Vertical Alignment)技术是一种采用紫外线(UV=UltraViolet)进行液晶配向的VA(Vertical Alignment,垂直配向)面板技术,其名称来源于紫外线UV与液晶面板VA模式的相乘,其原理是利用UV光来实现液晶分子的精准配向控制,UV²A技术能够通过配向膜实现所有液晶分子向设计方向倾斜的状态,所以在载入电场时,液晶分子可以同时向同一方向倾倒,使响应速度增至原来的2倍,且由于其不使用突起和狭缝也能分割成多个区域,因此其开口率与原来的利用突起形成多区域相比得到显著的提高,还具有降低耗电,节省成本等优点。

[0041] 目前,现有的UV²A配向为将基板分割成多个区域,以部分改变配向方向,使用的配向方式多为扫描曝光的方式,如一个4区域像素的配向方式,首先以不同子像素单元排列方向为行方向,垂直行方向的方向为纵方向,以行方向一个子像素单元距离为TFT侧UV²A光罩的周期,将TFT侧纵方向的子像素单元分为左、右两个部分,对TFT侧像素单元的左半部分进行照射,完成TFT侧左半部分的曝光配向,之后对TFT侧像素单元的右半部分进行照射,完成右半部分的曝光配向,其中左右两部分的曝光方向相反,且紫外线的曝光方向与基板的流动方向平行;以纵方向一个子像素单元的距离为CF侧UV²A光罩的周期,将CF侧行方向的子像素单元分成上、下两个部分,对CF侧像素单元的上半部分进行照射,完成CF侧上半部分的曝光配向,之后对CF侧像素单元的下半部分进行照射,完成下半部分的曝光配向,其中上、下两部分的曝光方向相反,且紫外线的曝光方向与基板的流动方向平行。

[0042] 然而,采用上述UV²A配向时,每个子像素内的各个区域(Domain)的交界处,由于各个区域配向方向不同而使得液晶分子旋转方向不同,而交界处的液晶分子处于两个区域旋转方向的中间状态(例如水平状或竖直状),无法透光,这样在交界处形成暗纹,同时在ITO(Indium Tin Oxide)边缘电场的作用力下,边缘处的液晶分子与内部的液晶分子的旋转角度不同,从而在边缘处也产生暗纹,最终形成如图2中所示的“卍”字形状的暗纹(4Domain为例),该暗纹处不透光,降低了显示面板的透过率。

[0043] 对于大屏幕的液晶显示器,阵列基板上的薄膜晶体管的尺寸也相应的增加,因此,需要较大的存储电容来保证像素有足够的电压保持率。图1为现有技术中阵列基板中存储

电容走线的示意图。如图1所示,在现有技术中,在像素开口区域设置存储电容走线,存储电容走线与薄膜晶体管连接,来保证像素有足够的电压保持率。但是,将存储电容走线设置在像素开口区,会降低像素的开口区域面积,从而降低像素的开口率,产品显示时的透过率降低。

[0044] 为了解决将存储电容走线设置在像素开口区,会降低像素的开口区域面积,从而降低像素的开口率,产品显示时的透过率降低的问题,本实用新型提供一种阵列基板,通过在衬底基板上设置存储电容,存储电容与液晶层中液晶分子偏转时形成的暗纹区域形成的暗纹区域相对,且存储电容至少部分与暗纹区域重合。即在固定的暗纹区域布置存储电容的走线,解决现有技术中将存储电容走线设置在像素开口区,降低了像素的开口区域面积,从而降低像素的开口率,使产品显示时的透过率降低的问题。从而其他位置存储电容的走线区域可以减小,进而达到提高像素开口率的目的。

[0045] 实施例一

[0046] 图3为本实用新型实施例一提供的阵列基板的结构示意图。如图3所示,本实施例提供了一种阵列基板100,包括衬底基板(图中未示出),衬底基板上设置有薄膜晶体管102、存储电容103、像素电极104、扫描线105和数据线106,扫描线105与数据线106交叉在衬底基板上并限定像素区域,像素电极104位于像素区域内;薄膜晶体管102与像素电极电104连接;

[0047] 存储电容103与液晶层中液晶分子偏转时形成的暗纹区域200相对,存储电容103至少部分与暗纹区域200重合。

[0048] 具体的,扫描线105与数据线106的数量均为多个,多个扫描线105相互平行设置,多个数据线106相互平行设置,扫描线105与数据线106相互交叉限定多个矩形阵列形式的多个像素区域,每个像素区域内具有一个像素电极104。每个像素区域内扫描线105与数据线106相交处设置一个薄膜晶体管102,薄膜晶体管102以扫描线105为栅极,以半导体层101为沟道,以数据线106为源极形成薄膜晶体管102开关器件。

[0049] 像素电极104为多个,多个像素电极104在衬底基板以矩形阵列的形式设置。每一像素电极104位于一个像素区域内,以便控制该像素区域对应的液晶层内液晶分子偏转,进而实现图像的显示。

[0050] 图2为现有技术中液晶显示面板的暗纹区域图。图2中所示的“卍”字形状的不透光的暗纹区域200(4Domain为例)分别为:第一暗纹区201、第二暗纹区202、第三暗纹区203、第四暗纹区204、第五暗纹区205和第六暗纹区206,其中第一暗纹区201、第二暗纹区202和第三暗纹区203之间相互平行,第四暗纹区204、第五暗纹区205和第六暗纹区206之间相互平行,第二暗纹区202和第五暗纹区205垂直,第一暗纹区201和第三暗纹区203分别位于第五暗纹区205的两端且与第五暗纹区205垂直,第四暗纹区204和第六暗纹区206分别位于第二暗纹区202的两端且与第二暗纹区202垂直。第一暗纹区 201、第二暗纹区202和第三暗纹区203均与扫描线105平行,第四暗纹区204、第五暗纹区205和第六暗纹区206均与数据线106平行。

[0051] 存储电容103与液晶层中液晶分子偏转时形成的暗纹区域200相对,存储电容103部分与暗纹区域200重合。即存储电容103部分与第一暗纹区201、第二暗纹区202、第三暗纹区203、第四暗纹区204、第五暗纹区205或第六暗纹区206重合,或者存储电容103 的部分与

第一暗纹区201的部分、第二暗纹区202的部分、第三暗纹区203的部分、第四暗纹区204的部分、第五暗纹区205的部分或第六暗纹区206的部分重合,根据存储电容103的尺寸选择存储电容103与暗纹区域200重合即可,本实施例在此不作限定。

[0052] 在光配向时液晶分子偏转会形成上述难以避免的第一暗纹区201、第二暗纹区202、第三暗纹区203、第四暗纹区204、第五暗纹区205和第六暗纹区206,本实施例通过在衬底基板上设置存储电容103,存储电容103与液晶层中液晶分子偏转时形成的暗纹区域200相对,且存储电容103至少部分与暗纹区域200重合。即在固定的暗纹区域200布置存储电容103的走线,解决现有技术中将存储电容103走线设置在像素开口区,降低了像素的开口区域面积,从而降低像素的开口率,使产品显示时的透过率降低的问题。从而其他位置存储电容103的走线区域可以减小,进而达到提高像素开口率的目的。

[0053] 为了进一步增减小其他位置存储电容103的走线区域,以提高像素开口率。本实施例提供的阵列基板100,存储电容103全部与暗纹区域200重合。

[0054] 存储电容103全部与暗纹区域200重合,即存储电容103的布线全部与暗纹区域200重合。若存储电容103的面积小于暗纹区域200的面积,则存储电容103全部与第一暗纹区201、第二暗纹区202、第三暗纹区203、第四暗纹区204、第五暗纹区205和/或第六暗纹区206重合,或者存储电容103分别与第一暗纹区201的部分、第二暗纹区202的部分、第三暗纹区203的部分、第四暗纹区204的部分、第五暗纹区205的部分或第六暗纹区206的部分重合,根据存储电容103的尺寸选择存储电容103与暗纹区域200重合即可,本实施例在此不作限定。

[0055] 存储电容103的形状为卍字形,具体的,将存储电容103的走线区域设置按照暗纹区域200的形状设置,即在固定的暗纹区域200布置存储电容103的走线,解决现有技术中将存储电容103走线设置在像素开口区,降低了像素的开口区域面积,从而降低像素的开口率,使产品显示时的透过率降低的问题。从而其他位置存储电容103的走线区域可以进一步减小,进而达到提高像素开口率的目的。

[0056] 在一种可能的实现方式中,存储电容103与扫描线105同层设置。因此,可以将存储电容103与扫描线105同时进行布线。

[0057] 这样,在进行扫描线105布线时,同时也进行存储电容103布线,只需要将掩膜板的形状进行适应性的改变,即可同时进行存储电容103与扫描线105的布线,提高了制作阵列基板100的效率,降低了成本。

[0058] 在另一种可能的实现方式中,存储电容103与数据线106同层设置。因此,可以将存储电容103与数据线106同时进行布线。

[0059] 这样,在进行数据线106布线时,同时也进行存储电容103布线,只需要将掩膜板的形状进行适应性的改变,即可同时进行存储电容103与数据线106的布线,提高了制作阵列基板100的效率,降低了成本。

[0060] 进一步的,本实施例提供的阵列基板100,衬底基板上设置有保护层(图中未示出),扫描线105与数据线106之间设置保护层,像素电极104与数据线106之间也设置保护层。

[0061] 可选的,像素电极104与数据线106之间还设置有绝缘厚膜层(图中未示出)。具体地,绝缘厚膜层可以为酚醛树脂等树脂类有机材料,也可以为水玻璃($\text{Na}_2\text{O} \cdot m\text{SiO}_2$)等无机绝缘材料。

[0062] 可选的,本实施例提供的阵列基板100,保护层为氧化硅层、氧化铝或氮化硅层。保护层的材质选用绝缘的材质,即保护层也可以为绝缘层。

[0063] 可选的,本实施例提供的阵列基板100,像素电极104为氧化铟锡电极。

[0064] 本实施例中像素电极104的材质可以多种,只要保证像素电极104具有较高的导电率以及透明度即可;例如:像素电极104可以为主要由氧化铟锡构成的氧化铟锡电极,呈薄膜状的氧化铟锡电极的透明度较高,且导电性较好;或者像素电极104由其他的透明导电材质构成。本实施例在此不作限定。

[0065] 氧化铟锡电极也称为ITO(indiumtin oxide)电极或薄膜,也可将氧化铟系列也称为ITO薄膜。作为透明导电电极,要求ITO薄膜有良好的透明性和导电性。所以,此类材料的禁带宽度 E_g 一般都大于3eV,其掺杂组分要偏离化学计量比。

[0066] 氧化铟锡电极的制备方法有蒸发、溅射、反应离子镀、化学汽相沉积、热解喷涂等,但使用最多的是反应磁控溅射法。与其它透明导电薄膜相比,氧化铟锡电极具有良好的化学稳定性、热稳定性以及良好的图形加工特性。

[0067] 经过铯化处理的ITO薄膜具有光电发射效应。其光电发射稳定,有1.71ua/lm的积分灵敏度,寿命达千小时以上。这种ITO薄膜的光电发射对于研制大面积的光电器件、平板显示器件会有较大的促进作用。

[0068] 可选的,衬底基板上还具有配向膜。

[0069] 本实用新型实施例提供的阵列基板100的制作方法为:

[0070] 第一步、在衬底基板上,可选的,衬底基板为玻璃基板,在玻璃基板上溅射形成第一层金属薄膜,利用第一张掩膜版,通过光刻胶的涂布、曝光、显影、刻蚀等工艺同时形成扫描线105的图案和存储电容103的图案。

[0071] 第二步、在扫描线105的图案和存储电容103的图案上,用化学气相沉积工艺形成透明绝缘的第一个保护层。在第一个保护层的上方沉积半导体层101,利用第二张掩膜版,通过光刻胶的涂布、曝光、显影、刻蚀等工艺形成半导体层101的沟道图案。

[0072] 第三步、在半导体层101的沟道图案上,利用第三张掩膜版,通过光刻胶的涂布、曝光、显影、刻蚀等工艺形成公共电极线、数据线106、漏极05等图案。

[0073] 第四步、在公共电极线、数据线106、漏极05等图案上,用化学气相沉积工艺形成透明绝缘的第二个保护层。在第二个保护层的上方涂布一层透明的绝缘厚膜层,利用第四张掩膜版,通过光刻胶的涂布、曝光、显影、刻蚀等工艺形成接触孔图案。

[0074] 第五步、在绝缘厚膜层和接触孔的上方,利用第五张掩膜版,通过光刻胶的涂布、曝光、显影、刻蚀等工艺形成像素电极104图案。

[0075] 实施例二

[0076] 本实施例提供的阵列基板100与实施例一的不同之处在于,本实施例中存储电容103与数据线106同层设置。

[0077] 本实用新型实施例提供的阵列基板100的制作方法为:

[0078] 第一步、在衬底基板上,可选的,衬底基板为玻璃基板,在玻璃基板上溅射形成第一层金属薄膜,利用第一张掩膜版,通过光刻胶的涂布、曝光、显影、刻蚀等工艺同时形成扫描线105的图案的图案。

[0079] 第二步、在扫描线105的图案图案上,用化学气相沉积工艺形成透明绝缘的第一个

保护层。在第一个保护层的上方沉积半导体层101,利用第二张掩膜版,通过光刻胶的涂布、曝光、显影、刻蚀等工艺形成半导体层101的沟道图案。

[0080] 第三步、在半导体层101的沟道图案上,利用第三张掩膜版,通过光刻胶的涂布、曝光、显影、刻蚀等工艺形成公共电极线、数据线106和存储电容103、漏极05等图案。

[0081] 其中,存储电容103与数据线106同层设置。

[0082] 第四步、在公共电极线、数据线106、漏极05等图案上,用化学气相沉积工艺形成透明绝缘的第二个保护层。在第二个保护层的上方涂布一层透明的绝缘厚膜层,利用第四张掩膜版,通过光刻胶的涂布、曝光、显影、刻蚀等工艺形成接触孔图案。

[0083] 第五步、在绝缘厚膜层和接触孔的上方,利用第五张掩膜版,通过光刻胶的涂布、曝光、显影、刻蚀等工艺形成像素电极104图案。

[0084] 实施例三

[0085] 图4为本实用新型实施例三提供的液晶显示面板的结构示意图。如图4所示,本实施例提供一种液晶显示面板,包括:上述实施例提供的阵列基板100。

[0086] 具体的,液晶显示面板包括彩膜基板300、阵列基板100、以及位于彩膜基板300 与阵列基板100之间的液晶分子层400。其中,阵列基板100采用上述任一实施例提供的阵列基板100。

[0087] 阵列基板100的结构和工作原理在上述实施例中进行了详细说明,本实施例在此不一一赘述。

[0088] 实施例四

[0089] 本实施例提供一种显示装置,包括:上述实施例提供的液晶显示面板。

[0090] 本实施例提供的显示装置可以为手机、平板电脑、电视机、显示器、电子书、电子纸、智能手表、笔记本电脑、数码相框或导航仪等具有显示功能的产品或部件。

[0091] 在本实用新型的描述中,“多个”的含义是多个,例如两个,四个等,除非另有明确具体的限定。

[0092] 此外,在说明书的描述中,术语“第一”、“第二”、“第三”、“第四”、“第五”、“第六”仅用于描述目的,而不能理解为指示或暗示相对重要性或隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”、“第三”、“第四”、“第五”、“第六”的特征可以明示或者隐含地包括一个或者更多个该特征。

[0093] 在本实用新型中,除非另有明确的规定,术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解,例如,可以是固定连接,也可以是可拆卸的连接,或一体成型,可以是机械连接,也可以是电连接或者彼此可通讯;可以是直接相连,也可以通过中间媒体间接连接,可以是两个元件内部的连通或者两个元件的互相作用关系,除非另有明确的限定。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本实用新型中的具体含义。

[0094] 最后应说明的是:以上各实施例仅用以说明本实用新型的技术方案,而非对其限制;尽管参照前述各实施例对本实用新型进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质的本质脱离本实用新型各实施例技术方案的范围。

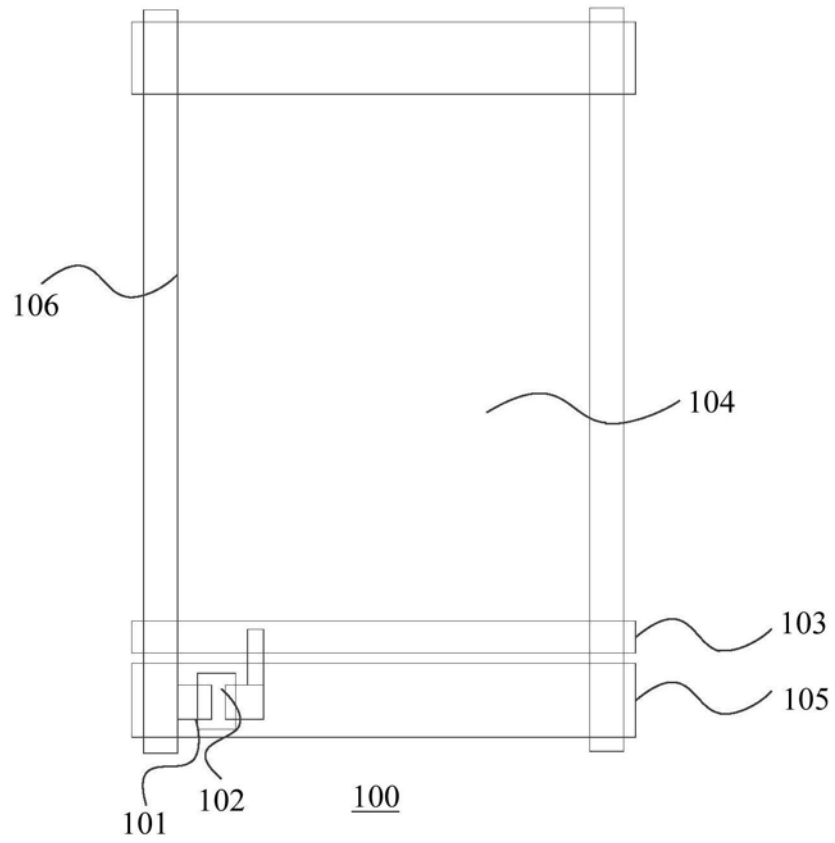


图1

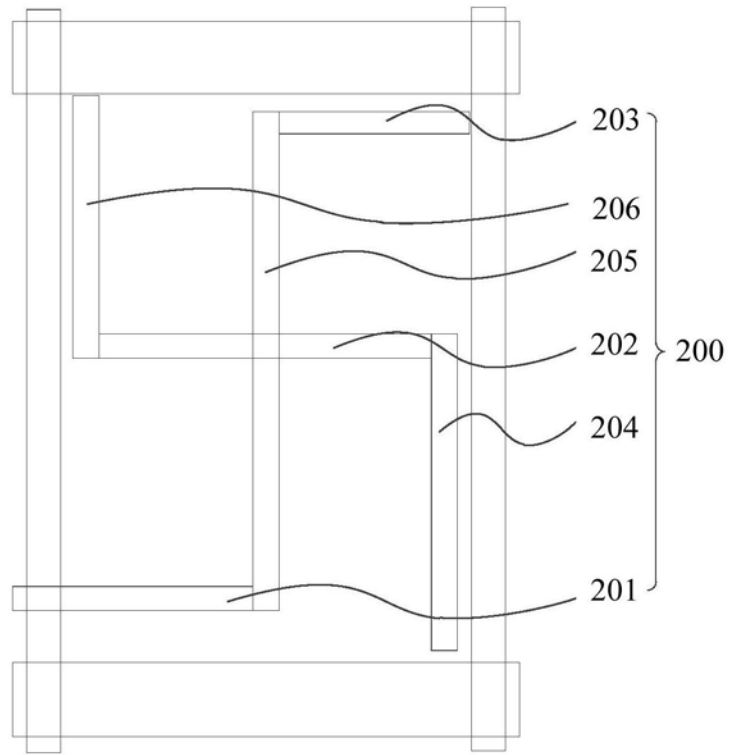


图2

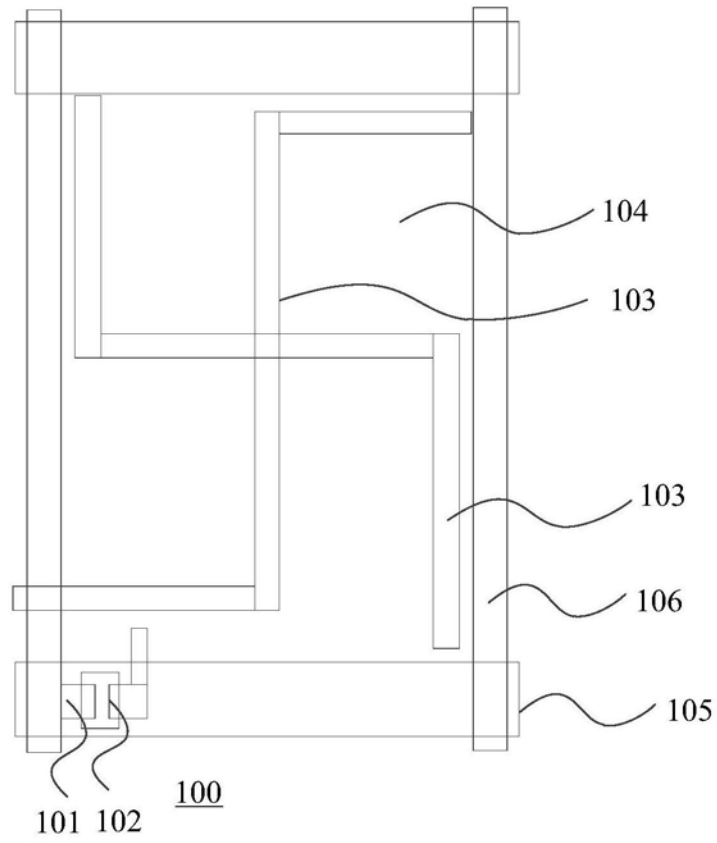


图3

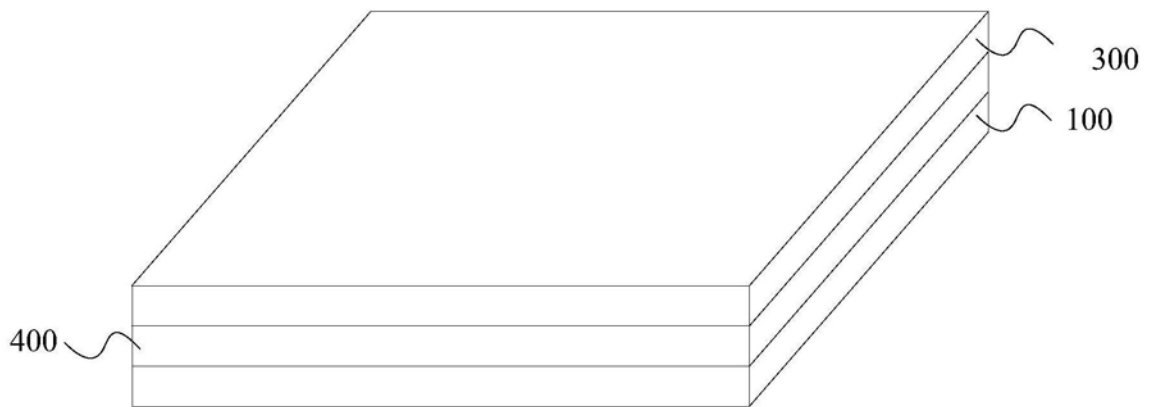


图4

专利名称(译)	阵列基板、液晶显示面板及显示装置		
公开(公告)号	CN209182622U	公开(公告)日	2019-07-30
申请号	CN201920017910.9	申请日	2019-01-07
[标]发明人	储周硕 刘翔 八木敏文 兰箭		
发明人	齐扬扬 储周硕 刘翔 八木敏文 兰箭		
IPC分类号	G02F1/1362		
代理人(译)	黄溪 刘芳		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型提供一种阵列基板、液晶显示面板及显示装置，该阵列基板包括：衬底基板，衬底基板上设置有薄膜晶体管、存储电容、像素电极、扫描线和数据线，扫描线与数据线交叉在衬底基板上并限定像素区域，像素电极位于像素区域内，薄膜晶体管与像素电极电连接；存储电容与液晶层中液晶分子偏转时形成的暗纹区域形成的暗纹区域相对，存储电容至少部分与暗纹区域重合。本实用新型提供的阵列基板，通过在衬底基板上设置存储电容，存储电容与液晶层中液晶分子偏转时形成的暗纹区域形成的暗纹区域相对，且存储电容至少部分与暗纹区域重合。从而其他位置存储电容的走线区域可以减小，进而达到提高像素开口率的目的。

