



## (12)发明专利申请

(10)申请公布号 CN 110058468 A

(43)申请公布日 2019.07.26

(21)申请号 201910314165.9

(22)申请日 2019.04.18

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 吕晓文

(74)专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

G02F 1/1362(2006.01)

G02F 1/1343(2006.01)

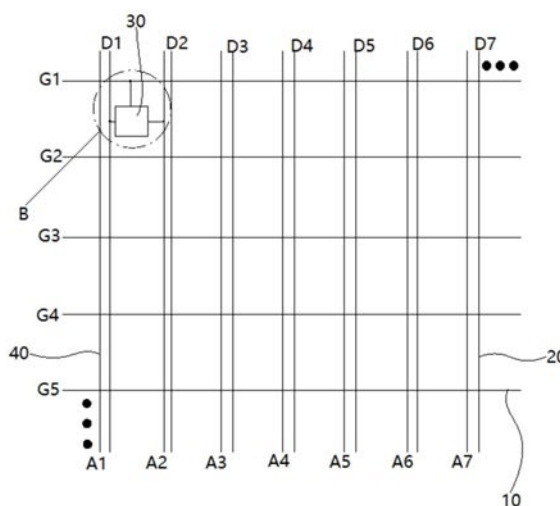
权利要求书2页 说明书4页 附图2页

### (54)发明名称

像素驱动电路及液晶显示面板

### (57)摘要

一种像素驱动电路以及液晶显示面板,包括:阵列排布的多个子像素、多条平行间隔排列的水平扫描线以及多条平行间隔排列的竖直的数据线,每一行所述子像素的个数大于每一列所述子像素的个数;其中,沿着所述数据线的方向设置有多条平行间隔排列的公共电极,每相邻的两条所述数据线之间设置有一列所述公共电极,每一列所述公共电极覆盖一列对应的所述子像素,同一列中所述子像素的公共电极连接在一起。有益效果:本发明所提供的像素驱动电路及液晶显示面板,在沿着数据线的方向设置多条平行间隔排列的公共电极,使得公共电极与每一行子像素的汇入点增多,进一步加强了公共电极的稳定性。



1. 一种像素驱动电路,其特征在于,包括:阵列排布的多个子像素、多条平行间隔排列的水平的扫描线以及多条平行间隔排列的竖直的数据线,每一行所述子像素对应一条所述扫描线,每一列所述子像素对应一条所述数据线,每一行所述子像素的个数大于每一列所述子像素的个数,所述子像素包括主区薄膜晶体管T1、主区存储电容C1、主区液晶电容C2、次区薄膜晶体管T2、次区存储电容C3、次区液晶电容C4以及共享薄膜晶体管T3;

其中,沿着所述数据线的方向设置有多条平行间隔排列的公共电极,每相邻的两条所述数据线之间设置有一列所述公共电极,每一列所述公共电极覆盖一列对应的所述子像素,同一列中所述子像素的所述公共电极连接在一起。

2. 根据权利要求1所述的像素驱动电路,其特征在于,所述主区薄膜晶体管T1的栅极电性连接该所述子像素对应的所述扫描线,所述主区薄膜晶体管T1的源极电性连接该所述子像素对应的所述数据线,所述主区薄膜晶体管T1的漏极与其对应的所述公共电极之间并联连接所述主区存储电容C1以及所述主区液晶电容C2。

3. 根据权利要求2所述的像素驱动电路,其特征在于,所述次区薄膜晶体管T2的栅极电性连接该所述子像素对应的所述扫描线,所述次区薄膜晶体管T2的源极电性连接该所述子像素对应的所述数据线,所述次区薄膜晶体管T2的漏极与其对应的所述公共电极之间并联连接所述次区存储电容C3以及所述次区液晶电容C4。

4. 根据权利要求3所述的像素驱动电路,其特征在于,所述共享薄膜晶体管T3的栅极电性连接该所述子像素对应的所述扫描线,所述共享薄膜晶体管T3的源极电性连接所述次区薄膜晶体管T2的漏极,所述共享薄膜晶体管T3的漏极电性连接其对应的所述公共电极。

5. 根据权利要求1所述的像素驱动电路,其特征在于,所述主区薄膜晶体管T1的栅极、所述次区薄膜晶体管T2的栅极、所述共享薄膜晶体管T3的栅极以及所述扫描线均通过第一金属层制作,所述第一金属层的材料为钼。

6. 根据权利要求5所述的像素驱动电路,其特征在于,所述主区薄膜晶体管T1的源极和漏极、所述次区薄膜晶体管T2的源极和漏极、所述共享薄膜晶体管T3的源极和漏极、以及所述数据线均通过第二金属层制作,所述第二金属层的材料为钛或铝。

7. 根据权利要求1所述的像素驱动电路,其特征在于,所述公共电极的材料为氧化铟锡(ITO)。

8. 根据权利要求1所述的像素驱动电路,其特征在于,所述子像素对应着八个畴的液晶分子。

9. 一种液晶显示面板,其特征在于,所述液晶显示面板包括薄膜晶体管阵列基板、彩膜基板以及夹设在两者之间的液晶层,所述薄膜晶体管阵列基板上设置有阵列排布的多个子像素、多条平行间隔排列的水平的扫描线以及多条平行间隔排列的竖直的数据线,每一行所述子像素对应一条所述扫描线,每一列所述子像素对应一条所述数据线,每一行所述子像素的个数大于每一列所述子像素的个数,所述子像素包括主区薄膜晶体管T1、主区存储电容C1、主区液晶电容C2、次区薄膜晶体管T2、次区存储电容C3、次区液晶电容C4以及共享薄膜晶体管T3;

其中,沿着所述数据线的方向设置有多条平行间隔排列的公共电极,每相邻的两条所述数据线之间设置有一列所述公共电极,每一列所述公共电极覆盖一列对应的所述子像素,同一列中所述子像素的公共电极连接在一起。

10. 根据权利要求9所述的液晶显示面板,其特征在于,所述公共电极的材料为氧化铟锡(ITO),所述子像素对应着八个畴的液晶分子。

## 像素驱动电路及液晶显示面板

### 技术领域

[0001] 本发明涉及显示驱动技术领域,尤其涉及一种像素驱动电路及液晶显示面板。

### 背景技术

[0002] 目前随着液晶显示技术的发展,显示屏幕的尺寸越来越大。为了改善多晶硅液晶显示面板的视角,一般采用3T-TFT结构(3个薄膜晶体管)来达到8畴显示结果,3T-TFT结构技术是将一个子像素分为主区和副区这两个区域,两个区域有不同电压,造成每个区域液晶分子倾斜角不同,从而有不同的亮度。3T-TFT结构中位于副区像素电极中的共享薄膜晶体管充电时,直接向公共电极(Acom)放电,公共电极的电压源无法稳定过大的电流差异,导致讯号在不同的灰阶下,公共电极的电压被拉到不同的准位。在高串扰情况下的数据线(Data)转态时,公共电极的电压随着变化,电压变化过大,无法及时回复,对应的像素会参考到错误的电压,且副区像素电极的亮度和公共电极的电压相关,这样就会形成横向串扰现象。

[0003] 综上所述,现有的像素驱动电路及液晶显示面板,由于同一行的像素在同一时间对同一行的公共电极放电时,导致讯号在不同的灰阶下公共电极的电压被拉到不同的准位,形成横向串扰现象。

### 发明内容

[0004] 本发明提供一种像素驱动电路及液晶显示面板,能够消除因为同一行的像素在同一时间对同一行的公共电极放电时产生的串扰现象,以解决现有的像素驱动电路及液晶显示面板,由于同一行的像素在同一时间对同一行的公共电极放电时,导致讯号在不同的灰阶下公共电极的电压被拉到不同的准位,形成横向串扰现象的技术问题。

[0005] 为解决上述问题,本发明提供的技术方案如下:

[0006] 本发明提供一种像素驱动电路,包括:阵列排布的多个子像素、多条平行间隔排列的水平的扫描线以及多条平行间隔排列的竖直的数据线,每一行所述子像素对应一条所述扫描线,每一列所述子像素对应一条所述数据线,每一行所述子像素的个数大于每一列所述子像素的个数,所述子像素包括主区薄膜晶体管T1、主区存储电容C1、主区液晶电容C2、次区薄膜晶体管T2、次区存储电容C3、次区液晶电容C4以及共享薄膜晶体管T3;

[0007] 其中,沿着所述数据线的方向设置有多条平行间隔排列的公共电极,每相邻的两条所述数据线之间设置有一列所述公共电极,每一列所述公共电极覆盖一列对应的所述子像素,同一列中所述子像素的所述公共电极连接在一起。

[0008] 根据本发明一优选实施例,所述主区薄膜晶体管T1的栅极电性连接该所述子像素对应的所述扫描线,所述主区薄膜晶体管T1的源极电性连接该所述子像素对应的所述数据线,所述主区薄膜晶体管T1的漏极与其对应的所述公共电极之间并联连接所述主区存储电容C1以及所述主区液晶电容C2。

[0009] 根据本发明一优选实施例,所述次区薄膜晶体管T2的栅极电性连接该所述子像素

对应的所述扫描线,所述次区薄膜晶体管T2的源极电性连接该所述子像素对应的所述数据线,所述次区薄膜晶体管T2的漏极与其对应的所述公共电极之间并联连接所述次区存储电容C3以及所述次区液晶电容C4。

[0010] 根据本发明一优选实施例,所述共享薄膜晶体管T3的栅极电性连接该所述子像素对应的所述扫描线,所述共享薄膜晶体管T3的源极电性连接所述次区薄膜晶体管T2的漏极,所述共享薄膜晶体管T3的漏极电性连接其对应的所述公共电极。

[0011] 根据本发明一优选实施例,所述主区薄膜晶体管T1的栅极、所述次区薄膜晶体管T2的栅极、所述共享薄膜晶体管T3的栅极以及所述扫描线均通过第一金属层制作,所述第一金属层的材料为钼。

[0012] 根据本发明一优选实施例,所述主区薄膜晶体管T1的源极和漏极、所述次区薄膜晶体管T2的源极和漏极、所述共享薄膜晶体管T3的源极和漏极、以及所述数据线均通过第二金属层制作,所述第二金属层的材料为钛或铝。

[0013] 根据本发明一优选实施例,所述公共电极的材料为氧化铟锡(ITO)。

[0014] 根据本发明一优选实施例,所述子像素对应着八个畴的液晶分子。

[0015] 本发明还提供一种液晶显示面板,所述液晶显示面板包括薄膜晶体管阵列基板、彩膜基板以及夹设在两者之间的液晶层,所述薄膜晶体管阵列基板上设置有阵列排布的多个子像素、多条平行间隔排列的水平的扫描线以及多条平行间隔排列的竖直的数据线,每一行所述子像素对应一条所述扫描线,每一列所述子像素对应一条所述数据线,每一行所述子像素的个数大于每一列所述子像素的个数,所述子像素包括主区薄膜晶体管T1、主区存储电容C1、主区液晶电容C2、次区薄膜晶体管T2、次区存储电容C3、次区液晶电容C4以及共享薄膜晶体管T3;

[0016] 其中,沿着所述数据线的方向设置有多条平行间隔排列的公共电极,每相邻的两条所述数据线之间设置有一列所述公共电极,每一列所述公共电极覆盖一列对应的所述子像素,同一列中所述子像素的公共电极连接在一起。

[0017] 根据本发明一优选实施例,所述公共电极的材料为氧化铟锡(ITO),所述子像素对应着八个畴的液晶分子。

[0018] 本发明的有益效果为:本发明所提供的像素驱动电路及液晶显示面板,在沿着数据线的方向设置多条平行间隔排列的公共电极,使得公共电极与每一行子像素的汇入点增多,进一步加强了公共电极的稳定性。

## 附图说明

[0019] 为了更清楚地说明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单介绍,显而易见地,下面描述中的附图仅仅是发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0020] 图1为本发明像素驱动电路连接示意图。

[0021] 图2为图1所述像素驱动电路在B处的放大示意图。

[0022] 图3为本发明液晶显示面板的结构示意图。

## 具体实施方式

[0023] 以下各实施例的说明是参考附加的图示,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。在图中,结构相似的单元是用以相同标号表示。

[0024] 本发明针对现有的像素驱动电路及液晶显示面板,由于同一行的像素在同一时间对同一行的公共电极放电时,导致讯号在不同的灰阶下公共电极的电压被拉到不同的准位,形成横向串扰现象的技术问题,本实施例能够解决该缺陷。

[0025] 如图1以及图2所示,为本发明像素驱动电路连接示意图。其中,所述像素驱动电路包括:阵列排布的多个子像素30、多条平行间隔排列的水平的扫描线10以及多条平行间隔排列的竖直的数据线20,每一行所述子像素30对应一条所述扫描线10,每一列所述子像素30对应一条所述数据线20,每一行所述子像素30的个数大于每一列所述子像素30的个数,所述子像素30包括主区薄膜晶体管T1、主区存储电容C1、主区液晶电容C2、次区薄膜晶体管T2、次区存储电容C3、次区液晶电容C4以及共享薄膜晶体管T3;

[0026] 其中,沿着所述数据线20的方向设置有多条平行间隔排列的公共电极40,每相邻的两条所述数据线20之间设置有一列所述公共电极40,每一列所述公共电极40覆盖一列对应的所述子像素30,同一列中所述子像素30的所述公共电极40连接在一起。

[0027] 具体的,所述主区薄膜晶体管T1的栅极电性连接该所述子像素30对应的所述扫描线10(G1),所述主区薄膜晶体管T1的源极电性连接该所述子像素30对应的所述数据线20(D1),所述主区薄膜晶体管T1的漏极与其对应的所述公共电极40之间并联连接所述主区存储电容C1以及所述主区液晶电容C2。

[0028] 具体的,所述次区薄膜晶体管T2的栅极电性连接该所述子像素30对应的所述扫描线10(G1),所述次区薄膜晶体管T2的源极电性连接该所述子像素30对应的所述数据线20(D1),所述次区薄膜晶体管T2的漏极与其对应的所述公共电极30之间并联连接所述次区存储电容C3以及所述次区液晶电容C4。

[0029] 具体的,所述共享薄膜晶体管T3的栅极电性连接该所述子像素30对应的所述扫描线10(G1),所述共享薄膜晶体管T3的源极电性连接所述次区薄膜晶体管T2的漏极,所述共享薄膜晶体管T3的漏极电性连接其对应的所述公共电极30。

[0030] 具体的,所述主区薄膜晶体管T1的栅极、所述次区薄膜晶体管T2的栅极、所述共享薄膜晶体管T3的栅极以及所述扫描线10(G1)均通过第一金属层制作,所述第一金属层的材料为钼。

[0031] 具体的,所述主区薄膜晶体管T1的源极和漏极、所述次区薄膜晶体管T2的源极和漏极、所述共享薄膜晶体管T3的源极和漏极、以及所述数据线20(D1)均通过第二金属层制作,所述第二金属层的材料为钛或铝。

[0032] 具体的,所述公共电极40的材料为氧化铟锡(ITO),所述子像素30对应着八个畴的液晶分子。

[0033] 本发明所提供的像素驱动电路中,在每一行所述子像素30的个数大于每一列所述子像素30的个数的情况下,将所述公共电极40沿着所述数据线20的方向排列,一方面使得纵向的所述公共电极40接收到的电流负载大幅降低,有利于所述公共电极40讯号维持稳

定；另一方面使同一时间同一行的所述子像素30不是都向同一行的所述公共电极40放电，而是向每根沿着所述数据线20方向不同的所述公共电极40放电，每一所述公共电极40上接收的电流相比横向排列时的所述公共电极40接收到的电流变小，进一步消除了横向串扰现象。

[0034] 如图3所示，本发明还提供一种使用上述像素驱动电路制成的液晶显示面板，包括彩膜基板70、薄膜晶体管阵列基板50以及位于所述彩膜基板70与所述薄膜晶体管阵列基板50之间的液晶层60和封装胶框80。

[0035] 具体的，所述薄膜晶体管阵列基板50上设置有阵列排布的多个子像素、多条平行间隔排列的水平扫描线以及多条平行间隔排列的竖直的数据线，每一行所述子像素对应一条所述扫描线，每一列所述子像素对应一条所述数据线，每一行所述子像素的个数大于每一列所述子像素的个数，所述子像素包括主区薄膜晶体管T1、主区存储电容C1、主区液晶电容C2、次区薄膜晶体管T2、次区存储电容C3、次区液晶电容C4以及共享薄膜晶体管T3；

[0036] 其中，沿着所述数据线的方向设置有多条平行间隔排列的公共电极，每相邻的两条所述数据线之间设置有一列所述公共电极，每一列所述公共电极覆盖一列对应的所述子像素，同一列中所述子像素的公共电极连接在一起。

[0037] 具体的，所述彩膜基板70包括衬底基板701、黑色矩阵702与彩色滤光片703，所述黑色矩阵702包括多个黑色子矩阵7021，每一所述黑色子矩阵7021与所述彩色滤光片703间隔设置。

[0038] 具体的，所述公共电极的材料为氧化铟锡(ITO)，所述子像素对应着八个畴的液晶分子。

[0039] 本发明的有益效果为：本发明所提供的像素驱动电路及液晶显示面板，在沿着数据线的方向设置多条平行间隔排列的公共电极，使得公共电极与每一行子像素的汇入点增多，进一步加强了公共电极的稳定性。

[0040] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。





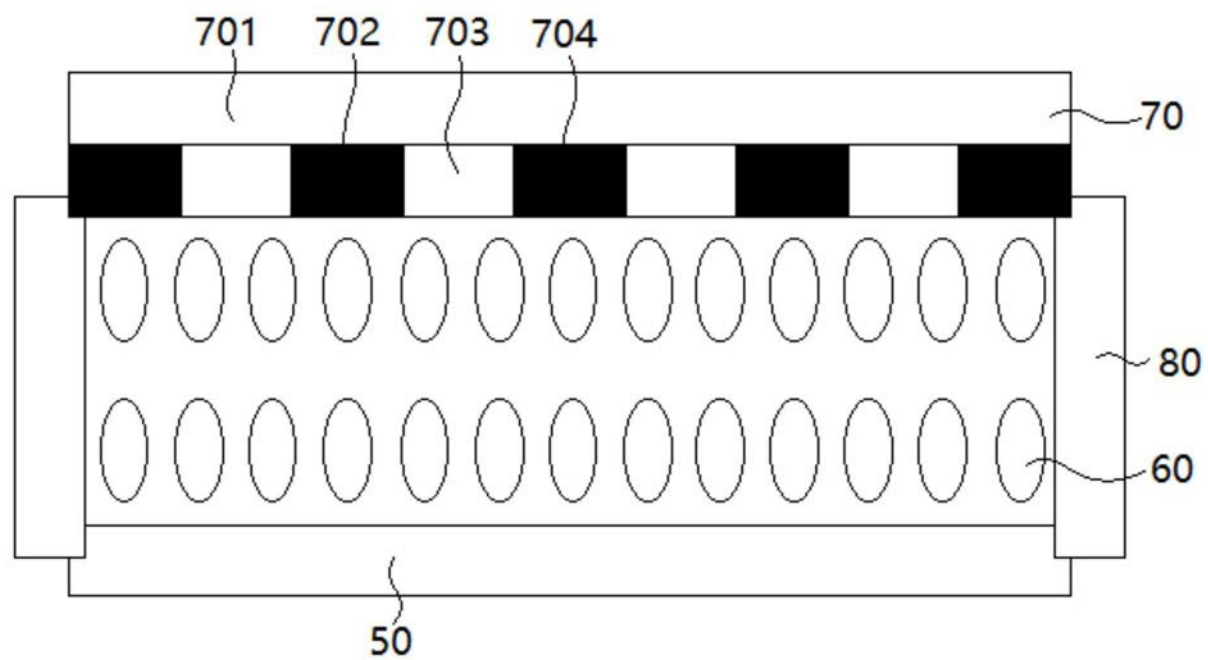


图3

专利名称(译)	像素驱动电路及液晶显示面板		
公开(公告)号	<a href="#">CN110058468A</a>	公开(公告)日	2019-07-26
申请号	CN201910314165.9	申请日	2019-04-18
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	吕晓文		
发明人	吕晓文		
IPC分类号	G02F1/1362 G02F1/1343		
CPC分类号	G02F1/134309 G02F1/13439 G02F1/136213 G02F1/13624 G02F1/136286		
代理人(译)	黄威		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

#### 摘要(译)

一种像素驱动电路以及液晶显示面板，包括：阵列排布的多个子像素、多条平行间隔排列的水平的扫描线以及多条平行间隔排列的竖直的数据线，每一行所述子像素的个数大于每一列所述子像素的个数；其中，沿着所述数据线的方向设置有多条平行间隔排列的公共电极，每相邻的两条所述数据线之间设置有一列所述公共电极，每一列所述公共电极覆盖一列对应的所述子像素，同一列中所述子像素的公共电极连接在一起。有益效果：本发明所提供的像素驱动电路及液晶显示面板，在沿着数据线的方向设置多条平行间隔排列的公共电极，使得公共电极与每一行子像素的汇入点增多，进一步加强了公共电极的稳定性。

