



(12)发明专利申请

(10)申请公布号 CN 109799659 A

(43)申请公布日 2019.05.24

(21)申请号 201910191223.3

(22)申请日 2019.03.13

(71)申请人 昆山龙腾光电有限公司

地址 215301 江苏省苏州市昆山市龙腾路1号

(72)发明人 钟德镇 苏子芳 沈家军

(74)专利代理机构 上海波拓知识产权代理有限公司 31264

代理人 蔡光仟

(51) Int. Cl.

G02F 1/1343(2006.01)

G02F 1/1362(2006.01)

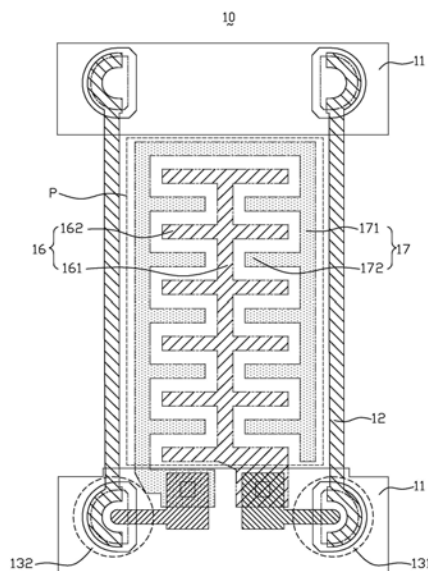
权利要求书2页 说明书7页 附图9页

(54)发明名称

阵列基板和液晶显示面板

(57)摘要

本发明公开了一种阵列基板,该阵列基板上的每个像素单元内设有相互绝缘且位于同一层的第一像素电极和第二像素电极,第一像素电极包括第一主干电极和多个第一分支电极,第二像素电极包括第二主干电极和多个第二分支电极,第一主干电极与第二主干电极平行且相互交替排列,多个第一分支电极和多个第二分支电极均设置在第一主干电极与该第二主干电极之间,多个第一分支电极与多个第二分支电极相互交替排列并绝缘隔开,每个像素单元内还设有与第一像素电极连接的第一薄膜晶体管和与第二像素电极连接的第二薄膜晶体管,第一薄膜晶体管和第二薄膜晶体管连接至两条不同的数据线。本发明还公开了一种液晶显示面板,包括如上所述的阵列基板。



1. 一种阵列基板,包括设置在该阵列基板(10)上的多条扫描线(11)和多条数据线(12),该阵列基板(10)上由多条该扫描线(11)和多条该数据线(12)相互绝缘交叉限定形成多个像素单元(P),该阵列基板(10)上还设有公共电极(14),其特征在于,每个像素单元(P)内设有第一像素电极(16)和第二像素电极(17),该第一像素电极(16)和该第二像素电极(17)相互绝缘且位于同一层,该第一像素电极(16)包括第一主干电极(161)和多个第一分支电极(162),该第二像素电极(17)包括第二主干电极(171)和多个第二分支电极(172),该第一主干电极(161)与该第二主干电极(171)平行且相互交替排列,多个该第一分支电极(162)和多个该第二分支电极(172)均设置在该第一主干电极(161)与该第二主干电极(171)之间,多个该第一分支电极(162)均与该第一主干电极(161)导电连接,多个该第二分支电极(172)均与该第二主干电极(171)导电连接,多个该第一分支电极(162)与多个该第二分支电极(172)相互交替排列,每个像素单元(P)内还设有与该第一像素电极(16)连接的第一薄膜晶体管(131)和与该第二像素电极(17)连接的第二薄膜晶体管(132),该第一薄膜晶体管(131)和该第二薄膜晶体管(132)连接至两条不同的数据线(12)。

2. 根据权利要求1所述的阵列基板,其特征在于,多个该第一分支电极(162)均与该第一主干电极(161)相互垂直,多个该第二分支电极(172)均与该第二主干电极(171)相互垂直。

3. 根据权利要求2所述的阵列基板,其特征在于,该第一主干电极(161)与该第二主干电极(171)均沿着该数据线(12)方向延伸,多个该第一分支电极(162)与多个该第二分支电极(172)均沿着该扫描线(11)方向延伸。

4. 根据权利要求1所述的阵列基板,其特征在于,该第一薄膜晶体管(131)的控制端和该第二薄膜晶体管(132)的控制端均与同一条该扫描线(11)连接,该第一像素电极(16)通过该第一薄膜晶体管(131)与该像素单元(P)左右相邻的两条该数据线(12)中的其中之一连接,该第二像素电极(17)通过该第二薄膜晶体管(132)与该像素单元(P)左右相邻的两条该数据线(12)中的其中另一连接。

5. 根据权利要求4所述的阵列基板,其特征在于,相邻的两列该像素单元(P)之间设有两条并排的该数据线(12),位于同一行的各个该像素单元(P)连接至同一条该扫描线(11)上。

6. 根据权利要求4所述的阵列基板,其特征在于,相邻的两行该像素单元(P)之间设有两条并排的该扫描线(11),位于同一行的各个该像素单元(P)交替连接至位于该行像素单元(P)上下两侧的两条该扫描线(11)上。

7. 根据权利要求1所述的阵列基板,其特征在于,该第二主干电极(171)的数量为两个,两个该第二主干电极(171)之间设有一个该第一主干电极(161),该第一主干电极(161)的左右两侧均连接设有多个该第一分支电极(162),每个该第二主干电极(171)在朝向该第一主干电极(161)的一侧连接设有多个该第二分支电极(172)。

8. 根据权利要求1所述的阵列基板,其特征在于,该第一主干电极(161)和该第二主干电极(171)的数量各为两个,两个该第一主干电极(161)之间设有一个该第二主干电极(171),两个该第二主干电极(171)之间设有一个该第一主干电极(161),位于两个该第一主干电极(161)之间的该第二主干电极(171)的左右两侧均连接设有多个该第二分支电极(172),位于两个该第二主干电极(171)之间的该第一主干电极(161)的左右两侧均连接设

有多个该第一分支电极(162),位于最外侧的该第一主干电极(161)在朝向该第二主干电极(171)的一侧连接设有多个该第一分支电极(162),位于最外侧的该第二主干电极(171)在朝向该第一主干电极(161)的一侧连接设有多个该第二分支电极(172)。

9.根据权利要求1所述的阵列基板,其特征在于,多个该第一分支电极(162)在远离该第一主干电极(161)的一端的宽度逐渐减小,多个该第二分支电极(172)在远离该第二主干电极(171)的一端的宽度逐渐减小。

10.一种液晶显示面板,其特征在于,包括如权利要求1至9任一项所述的阵列基板(10)、对置基板(20)和该阵列基板(10)与该对置基板(20)之间的液晶层(30)。

## 阵列基板和液晶显示面板

### 技术领域

[0001] 本发明涉及液晶显示的技术领域,特别是涉及一种阵列基板和液晶显示面板。

### 背景技术

[0002] 液晶显示装置(Liquid Crystal Display,LCD)具有机身薄、省电、无辐射等众多优点,得到了广泛的应用。如:液晶电视、移动电话、个人数字助理(PDA)、数字相机、计算机屏幕或笔记本电脑屏幕等,在平板显示领域中占主导地位。

[0003] 液晶显示装置通常包括壳体、设于壳体内的液晶显示面板及设于壳体内的背光模组。

[0004] 传统的液晶显示面板由彩色滤光片基板(Color Filter,CF)、薄膜晶体管阵列基板(Thin Film Transistor Array Substrate,TFT Array Substrate)以及填充于两基板间的液晶层(Liquid Crystal Layer)所构成。传统的液晶显示装置实现彩色显示的做法是使用涂布了红色、绿色、蓝色等彩色色阻的彩色滤光片来过滤背光模组提供的单色光(通常为白光)。通常设置红、绿、蓝三个子像素构成一个像素,由于彩色光阻的滤光性,彩色滤光片只能允许1/3的光透过,极大的损失了液晶显示面板的透光率。

[0005] 另一种实现彩色显示的方法是去除液晶显示面板中的彩色滤光片,而使用场序显示模式(Field Sequential Color,FSC)的背光模组。场序模式的背光模组一般由红、绿、蓝三组LED背光源组成,背光源发出的光按照时间顺序依次循环切换红、绿、蓝三种颜色光;与此同时,对应的像素通过液晶实现透光率的变化,利用人眼视网膜的停留效应,将颜色按照时间混合,从而实现彩色显示。场序显示不需要使用彩色滤光片,可以实现高透光率的显示,同时彩色直接由背光源合成,色纯度会更高,但是,场序显示模式的频率会比传统的液晶显示模式至少快3倍,所以对液晶分子的响应速度要求非常高。

[0006] 而现有的一种液晶显示装置可改善液晶分子的响应速度。通过将薄膜晶体管阵列基板上的像素电极做成锯齿状,加电压时,利用锯齿状的像素电极可以提升边缘场效应,不加电压时,锯齿之间的液晶分子各自朝较近的电极条快速恢复初始状态,虽然可以改善液晶分子的响应速度,但是其驱动电压比较大,相应地功耗也比较大,即使使用较大的驱动电压也未能使穿透率达到和状态,所以穿透率也相对较低。

### 发明内容

[0007] 为了克服现有技术中存在的缺点和不足,本发明的目的在于提供一种阵列基板和液晶显示面板,以解决现有技术中像素电极驱动电压大、功耗较大和穿透率较低的问题。

[0008] 本发明的目的通过下述技术方案实现:

[0009] 本发明提供一种阵列基板,包括设置在该阵列基板上的多条扫描线和多条数据线,该阵列基板上由多条该扫描线和多条该数据线相互绝缘交叉限定形成多个像素单元,该阵列基板上还设有公共电极,每个像素单元内设有第一像素电极和第二像素电极,该第一像素电极和该第二像素电极相互绝缘且位于同一层,该第一像素电极包括第一主干电极

和多个第一分支电极,该第二像素电极包括第二主干电极和多个第二分支电极,该第一主干电极与该第二主干电极平行且相互交替排列,多个该第一分支电极和多个该第二分支电极均设置在该第一主干电极与该第二主干电极之间,多个该第一分支电极均与该第一主干电极导电连接,多个该第二分支电极均与该第二主干电极导电连接,多个该第一分支电极与多个该第二分支电极相互交替排列,每个像素单元内还设有与该第一像素电极连接的第一薄膜晶体管和与该第二像素电极连接的第二薄膜晶体管,该第一薄膜晶体管和该第二薄膜晶体管连接至两条不同的数据线。

[0010] 进一步地,多个该第一分支电极均与该第一主干电极相互垂直,多个该第二分支电极均与该第二主干电极相互垂直。

[0011] 进一步地,该第一主干电极与该第二主干电极均沿着该数据线方向延伸,多个该第一分支电极与多个该第二分支电极均沿着该扫描线方向延伸。

[0012] 进一步地,该第一薄膜晶体管的控制端和该第二薄膜晶体管的控制端均与同一条该扫描线连接,该第一像素电极通过该第一薄膜晶体管与该像素单元左右相邻的两条该数据线中的其中之一连接,该第二像素电极通过该第二薄膜晶体管与该像素单元左右相邻的两条该数据线中的其中另一连接。

[0013] 进一步地,相邻的两列该像素单元之间设有两条并排的该数据线,位于同一行的各个该像素单元连接至同一条该扫描线上。

[0014] 进一步地,相邻的两行该像素单元之间设有两条并排的该扫描线,位于同一行的各个该像素单元交替连接至位于该行像素单元上下两侧的两条该扫描线上。

[0015] 进一步地,该第二主干电极的数量为两个,两个该第二主干电极之间设有一个该第一主干电极,该第一主干电极的左右两侧均连接设有多个该第一分支电极,每个该第二主干电极在朝向该第一主干电极的一侧连接设有多个该第二分支电极。

[0016] 进一步地,该第一主干电极和该第二主干电极的数量各为两个,两个该第一主干电极之间设有一个该第二主干电极,两个该第二主干电极之间设有一个该第一主干电极,位于两个该第一主干电极之间的该第二主干电极的左右两侧均连接设有多个该第二分支电极,位于两个该第二主干电极之间的该第一主干电极的左右两侧均连接设有多个该第一分支电极,位于最外侧的该第一主干电极在朝向该第二主干电极的一侧连接设有多个该第一分支电极,位于最外侧的该第二主干电极在朝向该第一主干电极的一侧连接设有多个该第二分支电极。

[0017] 进一步地,多个该第一分支电极在远离该第一主干电极的一端的宽度逐渐减小,多个该第二分支电极在远离该第二主干电极的一端的宽度逐渐减小。

[0018] 本发明还提供一种液晶显示面板,该液晶显示面板包括如上所述的阵列基板、对置基板和该阵列基板与该对置基板之间的液晶层。

[0019] 本发明有益效果在于:通过将第一像素电极设置成第一主干电极和多个第一分支电极,第二像素电极设置成第二主干电极和多个第二分支电极,多个第一分支电极与多个第二分支电极相互交替排列并绝缘隔开,利用多个第一分支电极和多个第二分支电极可以提升边缘场效应,不加电压时,多个第一分支电极和多个第二分支电极之间的液晶分子各自朝较近的分电极快速恢复初始状态,可以加快液晶分子的响应速度,再通过第一薄膜晶体管和第二薄膜晶体管使第一像素电极和第二像素电极连接两条不同的数据线,在第一像

素电极和第二像素电极上施加极性相反的电压,进一步提升边缘场效应,从而可以减小驱动电压并降低功耗,还可以增加穿透率。

### 附图说明

- [0020] 图1是本发明中液晶显示面板在黑态的截面结构示意图;  
[0021] 图2是本发明中液晶显示面板在白态的截面结构示意图;  
[0022] 图3是本发明实施例一中阵列基板的电路结构示意图;  
[0023] 图4是本发明实施例一中一个像素单元的平面结构示意图;  
[0024] 图5是本发明实施例二中阵列基板的电路结构示意图;  
[0025] 图6是本发明实施例三中一个像素单元的平面结构示意图;  
[0026] 图7是本发明实施例四中一个像素单元的平面结构示意图;  
[0027] 图8是本发明实施例五中一个像素单元的平面结构示意图;  
[0028] 图9是本发明实施例六中一个像素单元的平面结构示意图;  
[0029] 图10是本发明与现有技术中穿透率随电压变化的对比图。

### 具体实施方式

[0030] 为更进一步阐述本发明为达成预定发明目的所采取的技术手段及功效,以下结合附图及较佳实施例,对依据本发明提出的阵列基板和液晶显示面板的具体实施方式、结构、特征及其功效,详细说明如下:

[0031] [实施例一]

[0032] 图1是本发明中液晶显示面板在黑态的截面结构示意图,图2是本发明中液晶显示面板在白态的截面结构示意图,图3是本发明实施例一中阵列基板的电路结构示意图,图4是本发明实施例一中一个像素单元的平面结构示意图。如图1至图4所示,本发明实施例一提供的一种阵列基板,包括设置在阵列基板10上的多条扫描线11和多条数据线12,阵列基板10上由多条扫描线11和多条数据线12相互绝缘交叉限定形成多个像素单元P。阵列基板10上还设有公共电极14,每个像素单元P内设有第一像素电极16和第二像素电极17,第一像素电极16和第二像素电极17相互绝缘且位于同一层,第一像素电极16和第二像素电极17均与公共电极14通过绝缘层15绝缘隔开。第一像素电极16包括第一主干电极161和多个第一分支电极162,第二像素电极17包括第二主干电极171和多个第二分支电极172,多个第一分支电极162均与第一主干电极161导电连接,多个第二分支电极172均与第二主干电极171导电连接,第一主干电极161与第二主干电极171平行且相互交替排列,多个第一分支电极162和多个第二分支电极172均设置在第一主干电极161与第二主干电极171之间。第一像素电极16和第二像素电极17由一层导电层经刻蚀图案化形成。

[0033] 在本实施例中,第一像素电极16左右两侧均设有多个第一分支电极162,多个第一分支电极162均与第一主干电极161垂直并且导电连接,第二像素电极17在朝向第一主干电极161的一侧设有多个第二分支电极172,多个第二分支电极172均与第二主干电极171垂直并且导电连接,多个第一分支电极162与多个第二分支电极172相互交替排列,第一像素电极16和第二像素电极17犹如两把梳子相互咬合。

[0034] 进一步地,第二主干电极171至少为两个,位于两个第二主干电极171之间的第一

主干电极161的左右两侧的多个第一分支电极162沿第一主干电极161左右对称。本实施例中,第一主干电极161为一个,第二主干电极171为两个,第一主干电极161设置在两个第二主干电极171之间,第一主干电极161的左右两侧的多个第一分支电极162沿第一主干电极161左右对称。

[0035] 在本实施例中,每个像素单元P内还设有与第一像素电极16连接的第一薄膜晶体管131和与第二像素电极17连接的第二薄膜晶体管132,第一薄膜晶体管131和第二薄膜晶体管132连接至两条不同的数据线12,两条不同的数据线12用于施加极性相反的电压信号。本实施例中,极性相反的两电压信号的幅值相同,即第一像素电极16施加与第二像素电极17极性相反且幅值相同的驱动电压,使第一像素电极16和第二像素电极17分别与公共电极14之间形成边缘电场,第一像素电极16和第二像素电极17之间也形成较强的边缘电场(如图2),增加了边缘电场的强度,同时也减小了驱动电压,降低了功耗。

[0036] 在本实施例中,第一薄膜晶体管131的控制端和第二薄膜晶体管132的控制端均与同一条扫描线11连接,使第一像素电极16和第二像素电极17同时接入对应灰阶电压。第一薄膜晶体管131的源极与像素单元P左右相邻的两条数据线12中的其中之一连接,第一薄膜晶体管131的漏极与第一像素电极16导电连接;第二薄膜晶体管132的源极与像素单元P左右相邻的两条数据线12中的其中另一条连接,第二薄膜晶体管132的漏极与第二像素电极17导电连接。

[0037] 在本实施例中,第一主干电极161与第二主干电极171均沿着数据线12方向延伸,多个第一分支电极162与多个第二分支电极172均沿着扫描线11方向延伸。例如,第一主干电极161与第二主干电极171还可沿着扫描线11方向延伸,只是液晶分子的配向方向有所改变。

[0038] 在本实施例中,左右相邻的两列像素单元P之间设有两条并排的数据线12,左右相邻的两个像素单元P中的其中之一与其中一条数据线12连接,左右相邻的两个像素单元P中的其中另一个与另一条数据线12连接。本实施例中,位于同一行的各个像素单元P连接至同一条扫描线11上,上下相邻两行像素单元P连接至不同的条扫描线11上。

[0039] 下表为本发明与现有技术的仿真表:

[0040]

	V1	V2	上升时间	下降时间	RT	TR	相对穿透率
现有技术	7V	/	2.66ms	1.72ms	4.38ms	4.88%	100%
本发明	-4V	4V	2.70ms	4.09ms	6.79ms	7.48%	153.23%

[0041] 图10是本发明与现有技术中穿透率(TR)的对比图,虚线40为本发明的穿透率(TR)随驱动电压变化的曲线,实线50为现有技术的穿透率(TR)随驱动电压变化的曲线。请参考上表和图10,现有技术施加7V的驱动电压,上升时间为2.66ms、下降时间为1.72ms、响应时间(RT)为4.38ms、穿透率(TR)为4.88%;本发明中第一像素电极16施加-4V的驱动电压,第二像素电极17,施加4V的驱动电压,第一上升时间为2.70ms、下降时间为4.09ms、响应时间(RT)为6.79ms、穿透率(TR)为7.48%。本发明相对于现有技术来说,驱动电压减小了3V,穿透率(TR)增加了2.60%,以现有技术的穿透率(TR)为100%,本发明的穿透率(TR)相对于现有技术的穿透率(TR)提升了53.23%。如图10所示,本发明中在驱动电压为4V时,穿透率(TR)已经达到了饱和状态,而现有技术驱动电压为7V时还未达到饱和状态,在穿透率

(TR)时,本发明所施加的驱动电压远远小于现有技术所施加的驱动电压,可以看出本发明大大降低了驱动电压,减小了功耗。

[0042] [实施例二]

[0043] 图5是本发明实施例二中阵列基板的电路结构示意图,如图5所示,本发明实施例二提供的阵列基板与实施例一(图3)中的阵列基板的结构以及工作原理基本相同,不同之处在于,在本实施例中,上下相邻的两行像素单元P之间设有两条并排的扫描线11,位于同一行的各个像素单元P交替连接至位于该行像素单元P上下两侧的两条扫描线11上,像素单元P通过第一薄膜晶体管131和第二薄膜晶体管132与扫描线11连接。

[0044] 在本实施例中,相邻的两列像素单元P之间设置了一条数据线12,同一条数据线12均与左右相邻的两个像素单元P连接。

[0045] 本领域的技术人员应当理解的是,本实施例的其余结构以及工作原理均与实施例一相同,这里不再赘述。

[0046] [实施例三]

[0047] 图6是本发明实施例三中的一个像素单元的平面结构示意图,如图6所示,本发明实施例三提供的阵列基板与实施例一(图4)中的阵列基板的结构以及工作原理基本相同,不同之处在于,在本实施例中,位于两个第二主干电极171之间的第一主干电极161的左右两侧的多个第一分支电极162沿第一主干电极161上下错位排布。本实施例中,第一主干电极161为一个,第二主干电极171为两个,第一主干电极161设置在两个第二主干电极171之间,第一主干电极161的左右两侧均连接设有多个第一分支电极162,第一主干电极161的左右两侧的多个第一分支电极162沿第一主干电极161上下错位排布,每个第二主干电极171在朝向第一主干电极161的一侧连接设有多个该第二分支电极172。

[0048] 本领域的技术人员应当理解的是,本实施例的其余结构以及工作原理均与实施例一相同,这里不再赘述。

[0049] [实施例四]

[0050] 图7是本发明实施例四中的一个像素单元的平面结构示意图,如图7所示,本发明实施例四提供的阵列基板与实施例一(图4)中的阵列基板的结构以及工作原理基本相同,不同之处在于,在本实施例中,多个第一分支电极162在远离第一主干电极161的一端的宽度逐渐减小,多个第二分支电极172在远离第二主干电极171的一端的宽度逐渐减小。

[0051] 在本实施例中,多个第一分支电极162在远离第一主干电极161的一端的宽度逐渐减小,多个第二分支电极172在远离第二主干电极171的一端的宽度逐渐减小,多个第一分支电极162在远离第一主干电极161的一端为锥形,多个第二分支电极172在远离第二主干电极171的一端为锥形。

[0052] 本领域的技术人员应当理解的是,本实施例的其余结构以及工作原理均与实施例一相同,这里不再赘述。

[0053] [实施例五]

[0054] 图8是本发明实施例五中的一个像素单元的平面结构示意图,如图8所示,本发明实施例五提供的阵列基板与实施例一(图4)中的阵列基板的结构以及工作原理基本相同,不同之处在于,在本实施例中,第一主干电极161至少为两个,第二主干电极171至少为两个,两个第一主干电极161之间设有一个第二主干电极171,两个第二主干电极171之间设有一

个第一主干电极161,位于两个第一主干电极161之间的第二主干电极171的左右两侧均连接设有多个第二分支电极172,且多个第二分支电极172沿第二主干电极171左右对称。位于两个第二主干电极171之间的第一主干电极161的左右两侧均连接设有多个第一分支电极162,且多个第一分支电极162沿第一主干电极161左右对称。位于最外侧的第一主干电极161在朝向第二主干电极171的一侧连接设有多个第一分支电极162,位于最外侧的第二主干电极171在朝向第一主干电极161的一侧连接设有多个第二分支电极172。

[0055] 在本实施例中,第一主干电极161为两个,第二主干电极171为两个,第一主干电极161与第二主干电极171交替排列,位于两个第二主干电极171之间的第一主干电极161的左右两侧均设有多个第一分支电极162,第一主干电极161的左右两侧的多个第一分支电极162沿第一主干电极161左右对称;位于两个第一主干电极161之间的第二主干电极171的左右两侧均设有多个第二分支电极172,第二主干电极171的左右两侧的多个第二分支电极172沿第二主干电极171左右对称。

[0056] 在本实施例中,在邻近像素单元P边缘的第一主干电极161在朝向第二主干电极171的一侧设有多个第一分支电极162,而另一侧无第一分支电极162;在邻近像素单元P边缘的第二主干电极171在朝向第一主干电极161的一侧设有多个第二分支电极172,而另一侧无第二分支电极172。

[0057] 在本实施例中,多个第一分支电极162在远离第一主干电极161的一端的宽度逐渐减小,多个第二分支电极172在远离第二主干电极171的一端的宽度逐渐减小,多个第一分支电极162在远离第一主干电极161的一端为锥形,多个第二分支电极172在远离第二主干电极171的一端为锥形。

[0058] 本领域的技术人员应当理解的是,本实施例的其余结构以及工作原理均与实施例一相同,这里不再赘述。

[0059] [实施例六]

[0060] 图9是本发明实施例六中一个像素单元的平面结构示意图,如图9所示,本发明实施例六提供的阵列基板与实施例五(图8)中的阵列基板的结构以及工作原理基本相同,不同之处在于,在本实施例中,位于两个第二主干电极171之间的第一主干电极161的左右两侧的多个第一分支电极162沿第一主干电极161上下错位排布;位于两个第一主干电极161之间的第二主干电极171的左右两侧的多个第二分支电极172沿第二主干电极171上下错位排布。

[0061] 本领域的技术人员应当理解的是,本实施例的其余结构以及工作原理均与实施例五相同,这里不再赘述。

[0062] 请参照图1和图2,本发明还提供一种液晶显示面板,液晶显示面板包括如上所述的阵列基板10、对置基板20和阵列基板10与对置基板20之间的液晶层30。

[0063] 其中阵列基板10与对置基板20可以采用玻璃、丙烯酸和聚碳酸酯等材料制成,公共电极14、第一像素电极16和第二像素电极17可以采用氧化铟锡(ITO)、氧化铟锌(IZO)等透明导电材料制成,液晶层30采用正性液晶分子,即介电各向异性为正的液晶分子,正性液晶分子具备响应快的优点。如图1,在初始状态,液晶层30内的正性液晶分子呈现与第一基板基本平行的平躺姿态,即正性液晶分子的长轴方向与基板的表面基本平行,正性液晶分子以平行于第一分支电极162和第二分支电极172的延伸方向进行配向,即正性液晶分子的

长轴方向平行于第一分支电极162和第二分支电极172的延伸方向。如图2,在显示画面时,第一像素电极16和第二像素电极17分别与公共电极14之间形成边缘电场,第一像素电极16和第二像素电极17之间也会形成边缘电场,正性液晶分子在边缘电场的作用下,朝垂直于第一分支电极162和第二分支电极172的延伸方向进行偏转,此时液晶显示面板呈现白态。

[0064] 在本文中,所涉及的上、下、左、右、前、后等方位词是以附图中的结构位于图中以及结构相互之间的位置来定义的,只是为了表达技术方案的清楚及方便。应当理解,所述方位词的使用不应限制本申请请求保护的范围。

[0065] 以上所述,仅是本发明的较佳实施例而已,并非对本发明做任何形式上的限定,虽然本发明已以较佳实施例揭露如上,然而并非用以限定本发明,任何熟悉本专业的技术人员,在不脱离本发明技术方案范围内,当可利用上述揭示的技术内容作出些许更动或修饰,为等同变化的等效实施例,但凡是未脱离本发明技术方案内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰,均仍属于本发明技术方案的保护范围之内。

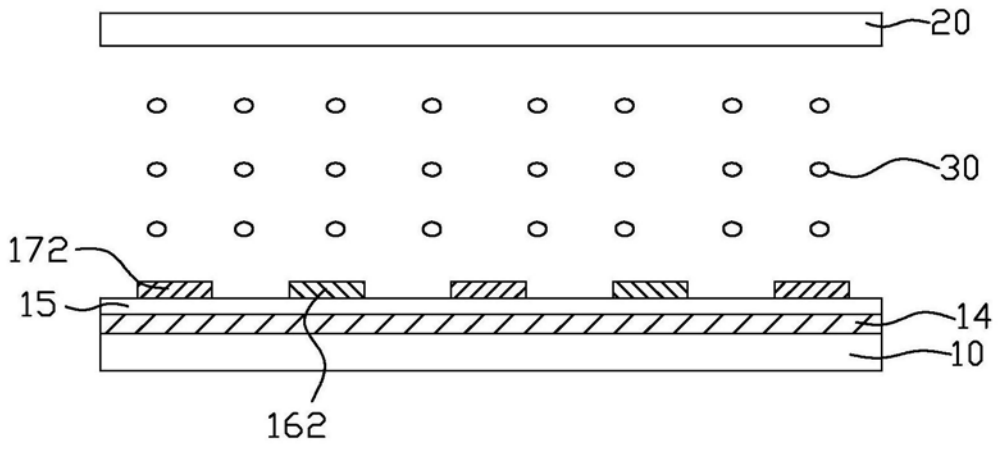


图1

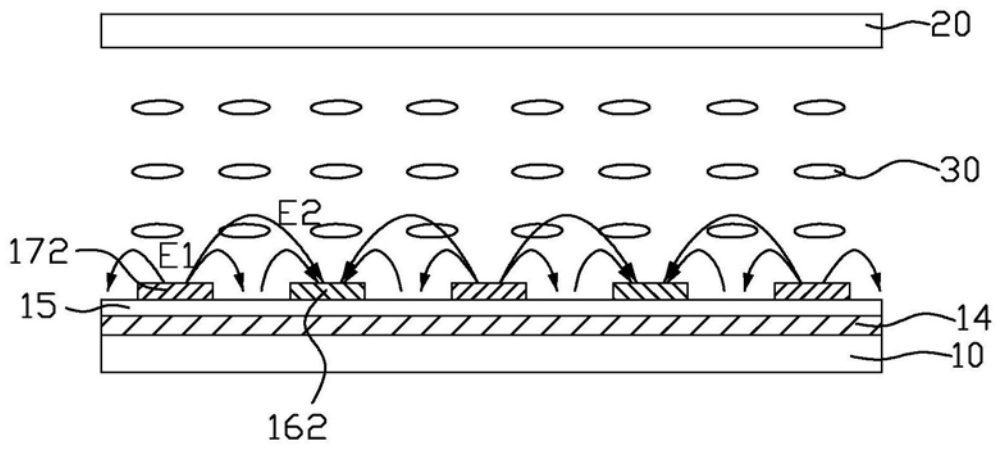


图2

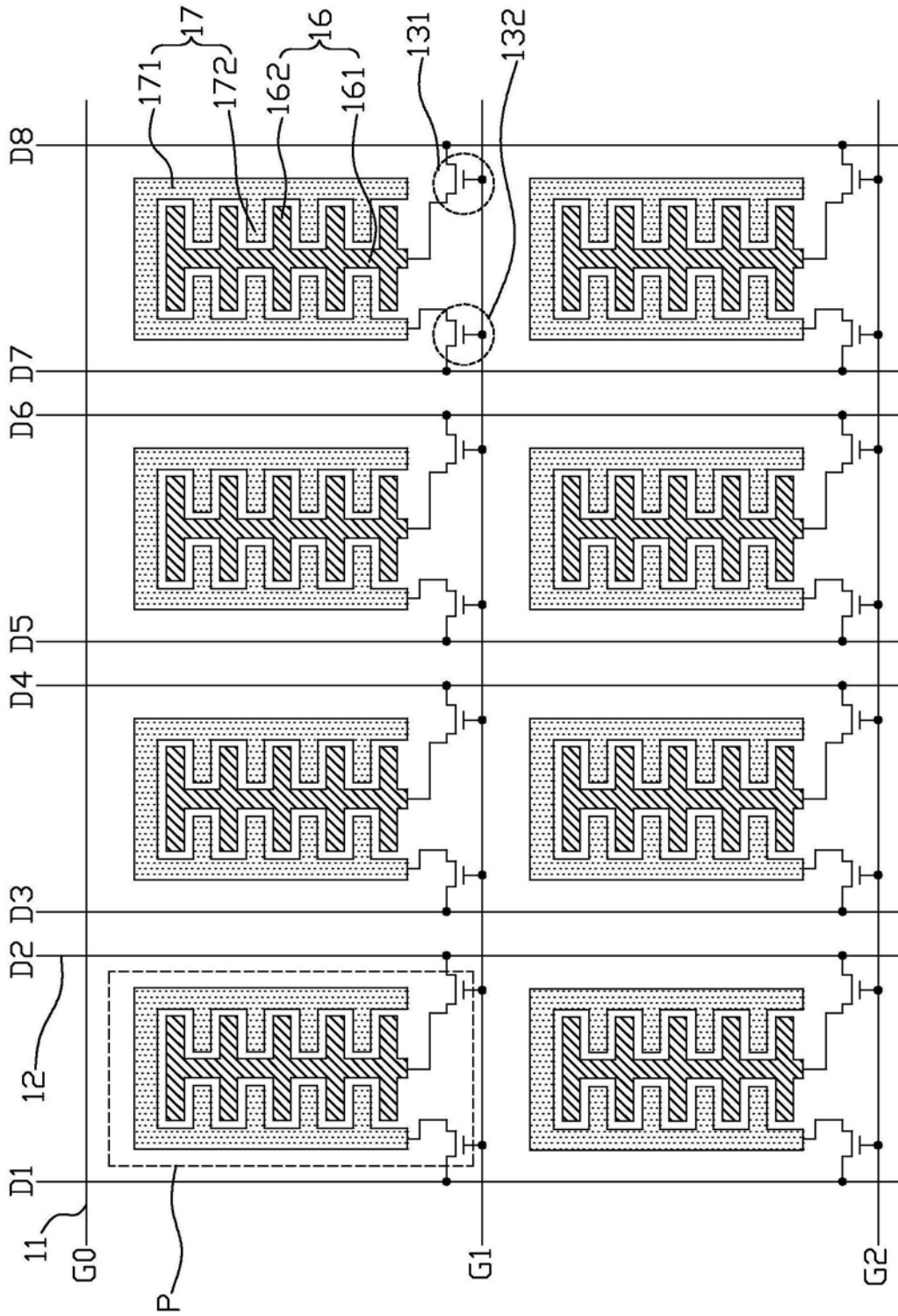


图3

10

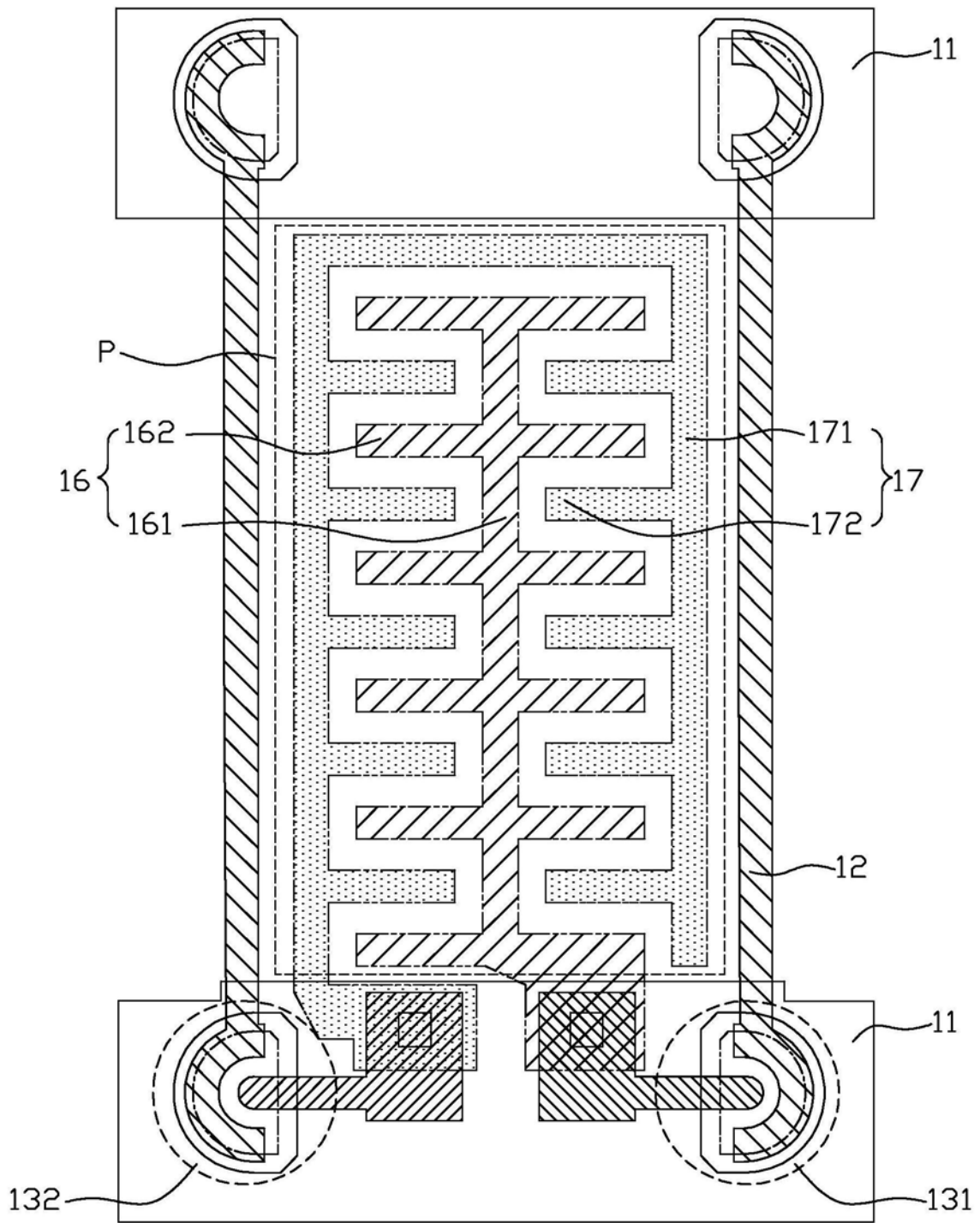


图4

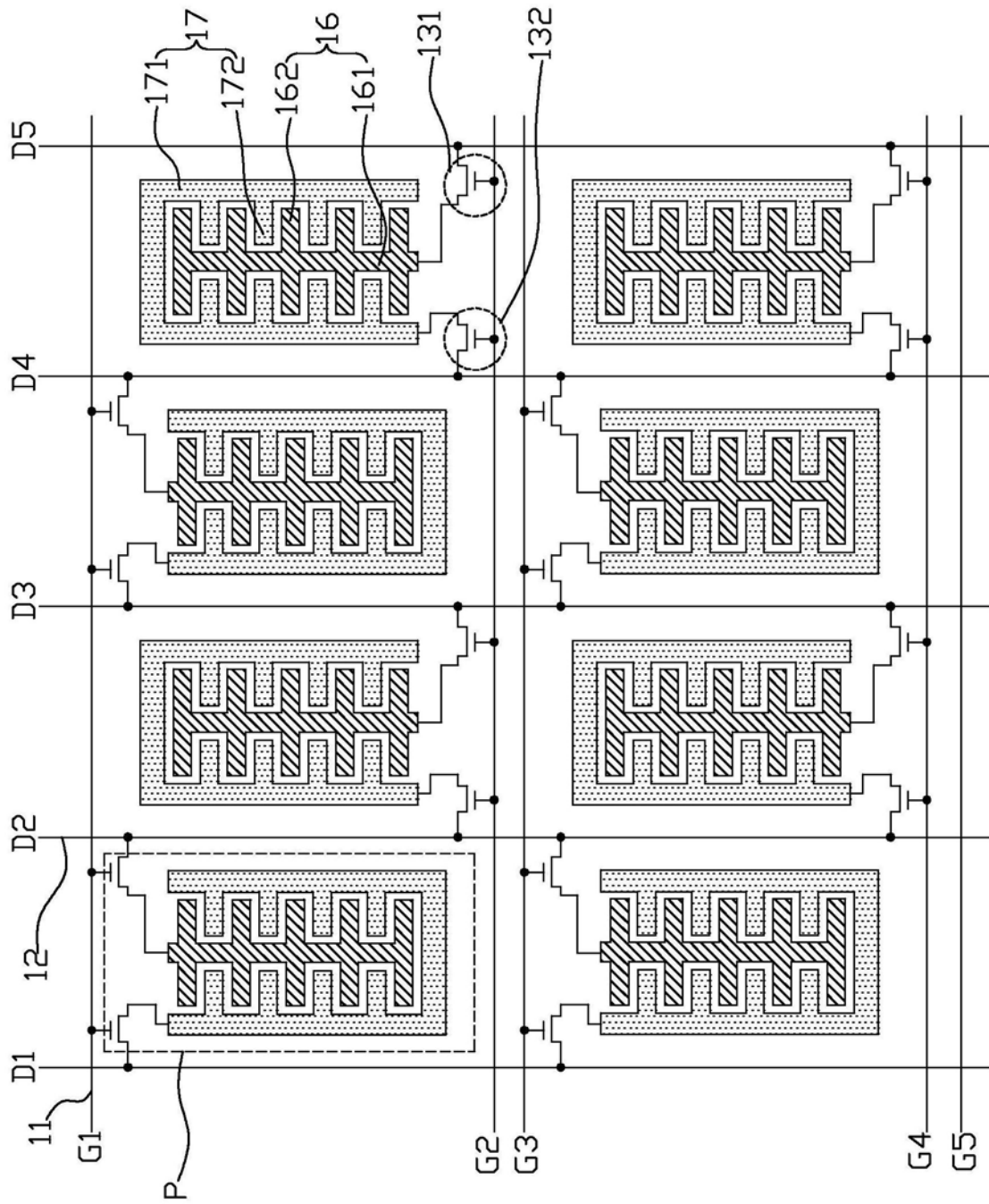


图5

10

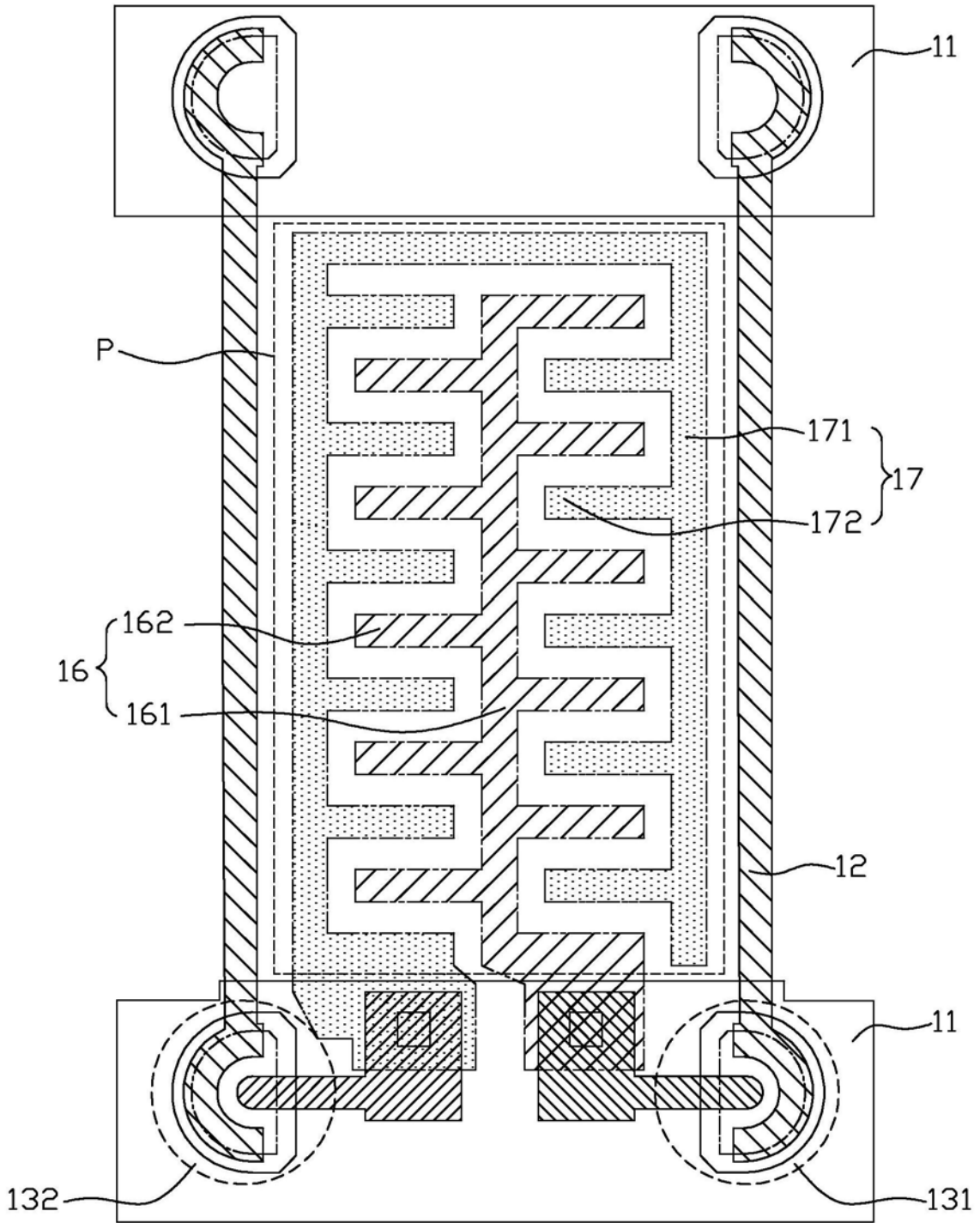


图6

10

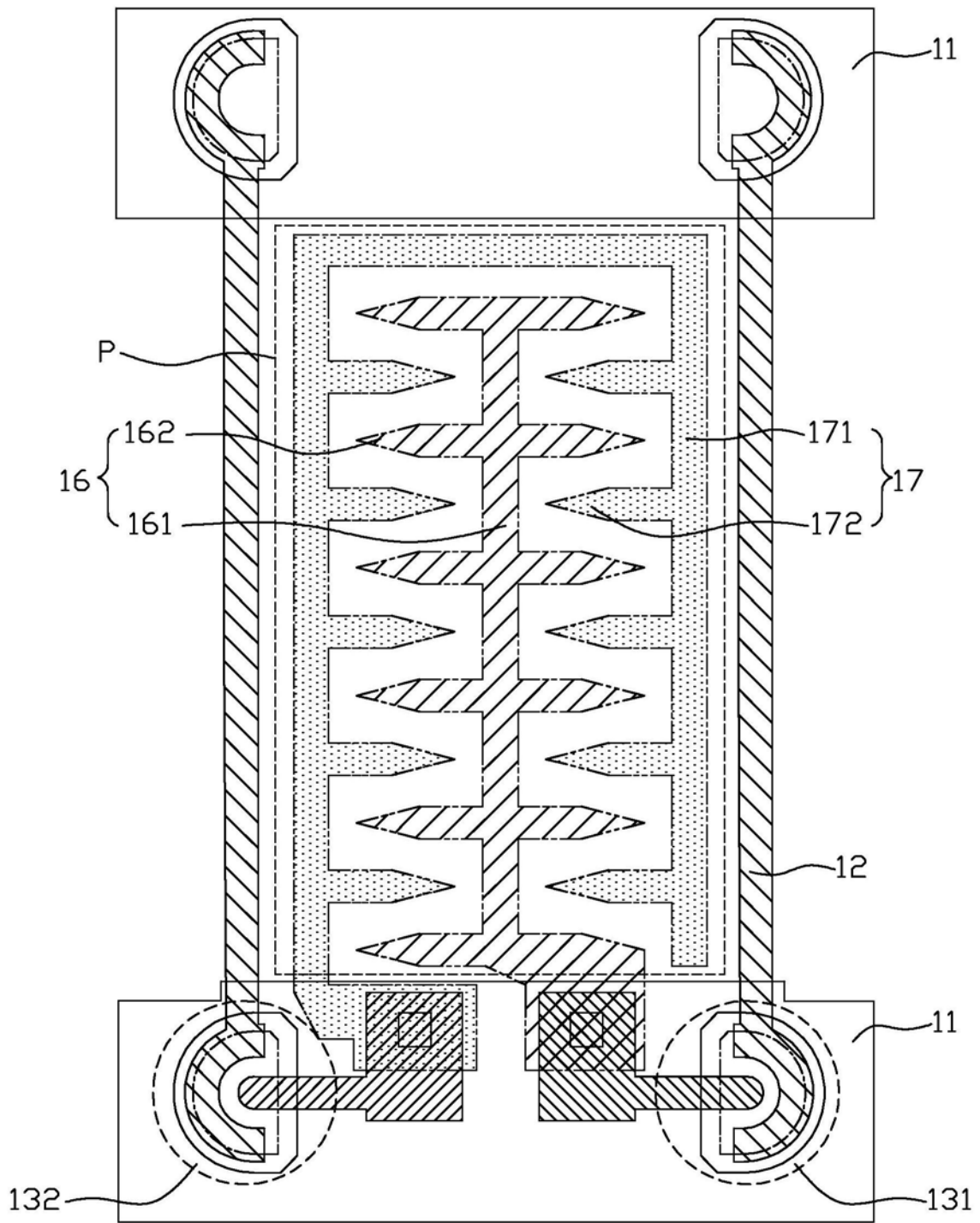


图7

10

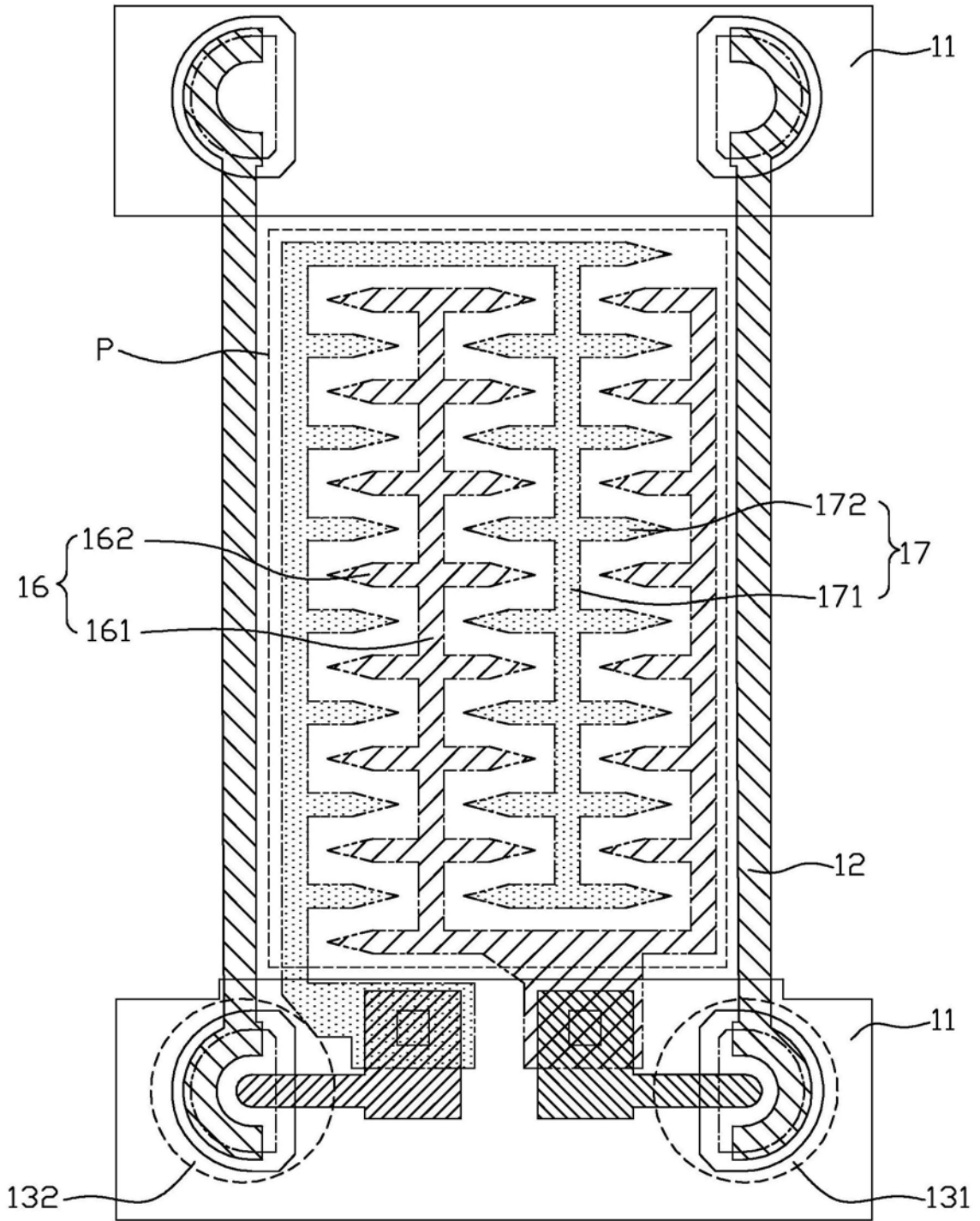


图8

10

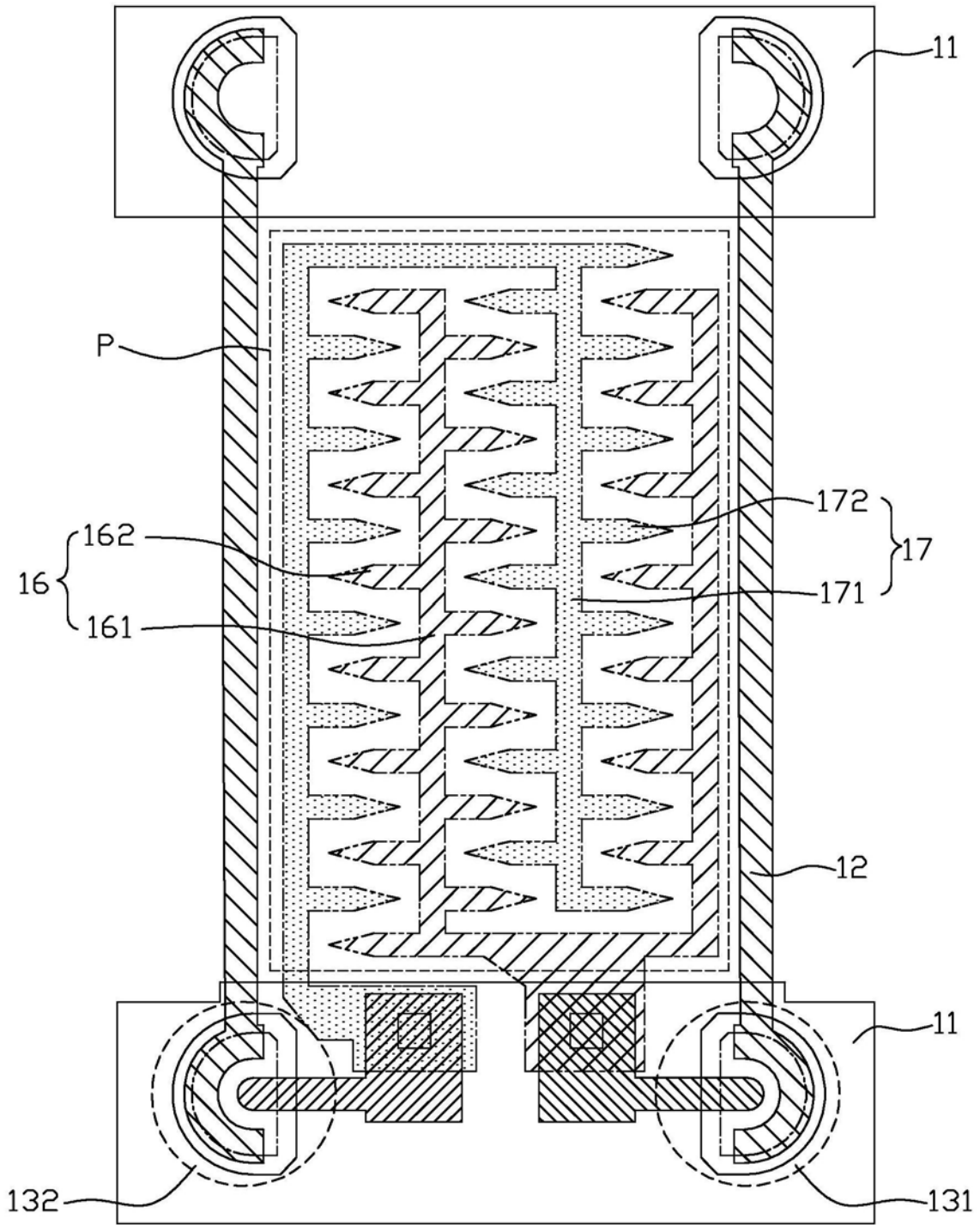


图9

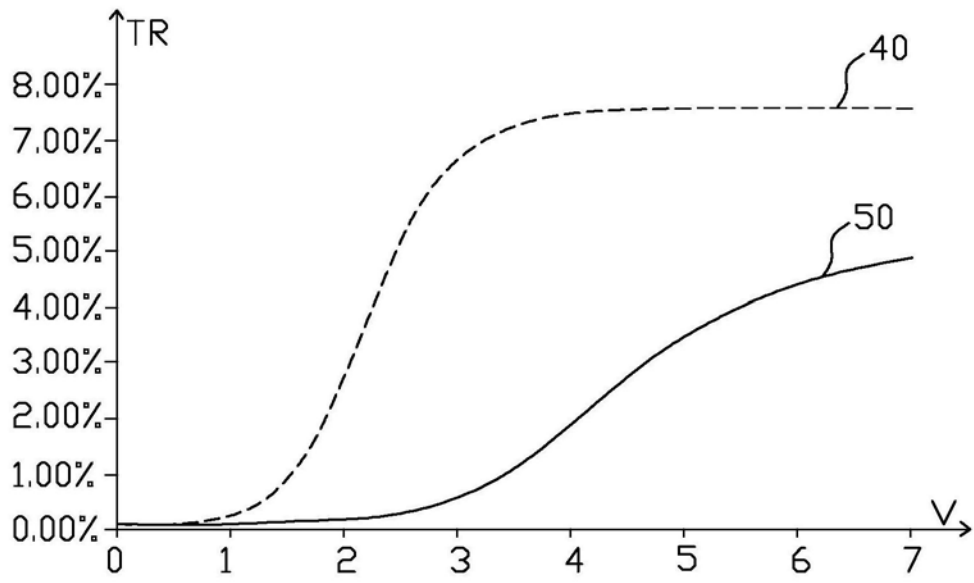


图10

专利名称(译)	阵列基板和液晶显示面板		
公开(公告)号	<a href="#">CN109799659A</a>	公开(公告)日	2019-05-24
申请号	CN201910191223.3	申请日	2019-03-13
[标]申请(专利权)人(译)	昆山龙腾光电有限公司		
申请(专利权)人(译)	昆山龙腾光电有限公司		
当前申请(专利权)人(译)	昆山龙腾光电有限公司		
[标]发明人	钟德镇 苏子芳 沈家军		
发明人	钟德镇 苏子芳 沈家军		
IPC分类号	G02F1/1343 G02F1/1362		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明公开了一种阵列基板，该阵列基板上的每个像素单元内设有相互绝缘且位于同一层的第一像素电极和第二像素电极，第一像素电极包括第一主干电极和多个第一分支电极，第二像素电极包括第二主干电极和多个第二分支电极，第一主干电极与第二主干电极平行且相互交替排列，多个第一分支电极和多个第二分支电极均设置在第一主干电极与该第二主干电极之间，多个第一分支电极与多个第二分支电极相互交替排列并绝缘隔开，每个像素单元内还设有与第一像素电极连接的第一薄膜晶体管和与第二像素电极连接的第二薄膜晶体管，第一薄膜晶体管和第二薄膜晶体管连接至两条不同的数据线。本发明还公开了一种液晶显示面板，包括如上所述的阵列基板。

