



(12)发明专利申请

(10)申请公布号 CN 109324448 A

(43)申请公布日 2019. 02. 12

(21)申请号 201811348859.6

(22)申请日 2018.11.13

(71)申请人 昆山龙腾光电有限公司

地址 215301 江苏省苏州市昆山市龙腾路1号

(72)发明人 乔艳冰 付佃力

(74)专利代理机构 上海波拓知识产权代理有限公司 31264

代理人 杨波

(51) Int. Cl.

G02F 1/1343(2006.01)

G02F 1/1362(2006.01)

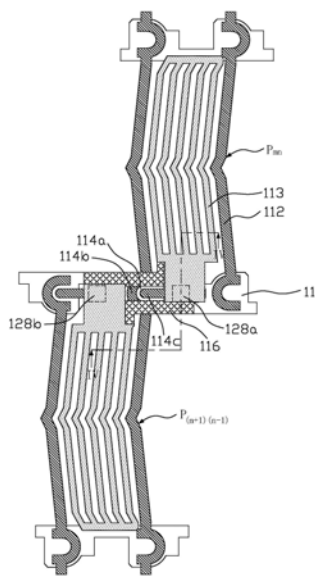
权利要求书2页 说明书7页 附图7页

(54)发明名称

阵列基板和液晶显示装置

(57)摘要

一种阵列基板和液晶显示装置,该阵列基板上设有扫描线、数据线、多个像素电极、多个公共电极条和多个耦合电极,该多个耦合电极、该公共电极条和该多个像素电极三者之间相互间隔设置,该多个耦合电极位于该多个像素电极下方,该多个公共电极条位于该多个耦合电极和该多个像素电极之间,每个像素单元中设有一个像素电极和一个耦合电极,每组像素单元P中,像素单元P<sub>mn</sub>内的像素电极通过第一接触孔与本像素单元内的漏极导电连接,像素单元P<sub>mn</sub>内的耦合电极通过第二接触孔与像素单元P<sub>(m+1)(n-1)</sub>内的像素电极导电连接,像素单元P<sub>(m+1)(n-1)</sub>内的耦合电极通过第一接触孔与像素单元P<sub>mn</sub>内的像素电极导电连接,像素单元P<sub>(m+1)(n-1)</sub>内的像素电极和本像素单元内的漏极导电连接。



1. 一种阵列基板(100),包括多条扫描线(111)、多条数据线(112)、多个像素电极(113)和多个公共电极条(115),每个该公共电极条(115)沿着扫描线(111)方向延伸,每个该像素电极(113)通过一第一薄膜晶体管(114)与邻近该像素电极(113)的该扫描线(111)和该数据线(112)连接,该第一薄膜晶体管(114)包括彼此分开的源极(114b)和漏极(114c);其特征在于,该阵列基板(100)还包括多个耦合电极(116),多个该耦合电极(116)、该公共电极条(115)和多个该像素电极(113)三者之间相互间隔设置,多个该耦合电极(116)位于多个该像素电极(113)下方,多个该公共电极条(115)位于多个该耦合电极(116)和多个该像素电极(113)之间,由多条该扫描线(111)和多条该数据线(112)相互交叉限定形成多个像素单元(P),每个该像素单元(P)内设置有一个该耦合电极(116)和一个该像素电极(113),每一行中奇数列的该像素单元(P)连接至该行该像素单元(P)上侧的该扫描线(111)上,位于偶数列的该像素单元(P)连接至该行该像素单元(P)下侧的该扫描线(111)上,每一列中位于奇数行的该像素单元(P)连接至该列该像素单元(P)左侧的该数据线(112)上,位于偶数行的该像素单元(P)连接至该列该像素单元(P)右侧的该数据线(112)上;

将位于第 $m$ 行、第 $n$ 列的像素单元( $P_{mn}$ )与位于第 $m+1$ 行、第 $n-1$ 列的像素单元( $P_{(m+1)(n-1)}$ )划分为一组,每组的两个像素单元共用同一条该扫描线(111)且极性相反,其中 $m$ 、 $n$ 为大于等于1的整数;

像素单元( $P_{mn}$ )的像素电极(113)通过第一接触孔(128a)与该像素单元( $P_{mn}$ )内对应的漏极(114c)导电连接,像素单元( $P_{(m+1)(n-1)}$ )内的耦合电极(116)通过该第一接触孔(128a)与该像素单元( $P_{mn}$ )的该像素电极(113)导电连接;该像素单元( $P_{(m+1)(n-1)}$ )的该像素电极(113)通过该第二接触孔(128b)与该像素单元( $P_{(m+1)(n-1)}$ )内对应的漏极(114c)导电连接,该像素单元( $P_{mn}$ )的耦合电极(116)通过该第二接触孔(128b)与该像素单元( $P_{(m+1)(n-1)}$ )的该像素电极(113)导电连接。

2. 如权利要求1所述的阵列基板(100),其特征在于,每个该耦合电极(116)包括第一主体部(1162)和从该第一主体部(1162)的一端延伸形成的第一延伸部(1164),每个该像素电极(113)包括第二主体部(1132)和从该第二主体部(1132)的一端延伸形成的第二延伸部(1134),每组的两个像素单元(P)中,该像素单元( $P_{mn}$ )的该像素电极(113)的该第二延伸部(1134)位于该像素单元( $P_{(m+1)(n-1)}$ )的该耦合电极(116)的该第一延伸部(1164)的上方,且该像素单元( $P_{mn}$ )的该像素电极(113)的该第二延伸部(1134)通过该第一接触孔(128a)与该像素单元( $P_{(m+1)(n-1)}$ )的该耦合电极(116)的该第一延伸部(1164)导电连接。

3. 一种阵列基板(100),包括多条扫描线(111)、多条数据线(112)、多个像素电极(113)和多个公共电极条(115),每个该公共电极条(115)沿着扫描线(111)方向延伸,每个该像素电极(113)通过一第一薄膜晶体管(114)与邻近该像素电极(113)的该扫描线(111)和该数据线(112)连接,该第一薄膜晶体管(114)包括彼此分开的源极(114b)和漏极(114c);其特征在于,该阵列基板(100)还包括多个耦合电极(116),多个该耦合电极(116)、该公共电极条(115)和该多个像素电极(113)三者之间相互间隔设置,多个该耦合电极(116)位于多个该像素电极(113)下方,多个该公共电极条(115)位于多个该耦合电极(116)和多个该像素电极(113)之间,由多条该扫描线(111)和多条该数据线(112)相互交叉限定形成多个像素单元(P),每个该像素单元(P)内设置有一个该耦合电极(116)和一个该像素电极(113),每一行中奇数列的该像素单元(P)连接至该行该像素单元(P)下侧的该扫描线(111)上,位于

偶数列的像素单元(P)连接至该行该像素单元(P)上侧的该扫描线(111)上,每一列中位于奇数行的该像素单元(P)连接至该列该像素单元(P)左侧的该数据线(112)上,位于偶数行的该像素单元(P)连接至该列该像素单元(P)右侧的该数据线(112)上;

将位于第m行、第n列的像素单元( $P_{mn}$ )与位于第m+1行、第n+1列的像素单元( $P_{(m+1)(n+1)}$ )划分为一组,每组的两个像素单元共用同一条该扫描线(111)且极性相反,其中m、n为大于等于1的整数;

像素单元( $P_{mn}$ )的像素电极(113)通过第一接触孔(128a)与该像素单元( $P_{mn}$ )内对应的漏极(114c)导电连接,像素单元( $P_{(m+1)(n+1)}$ )内的耦合电极(116)通过该第一接触孔(128a)与该像素单元( $P_{mn}$ )的该像素电极(113)导电连接;

像素单元( $P_{(m+1)(n+1)}$ )的像素电极(113)通过第二接触孔(128b)与该像素单元( $P_{(m+1)(n+1)}$ )内对应的漏极(114c)导电连接,像素单元( $P_{mn}$ )的耦合电极(116)通过该第二接触孔(128b)与该像素单元( $P_{(m+1)(n-1)}$ )的该像素电极(113)导电连接。

4.如权利要求3所述的阵列基板(100),其特征在于,每个耦合电极(116)包括第一主体部(1162)和从该第一主体部(1162)的一端延伸形成的第一延伸部(1164),每个像素电极(113)包括第二主体部(1132)和从该第二主体部(1132)的一端延伸形成的第二延伸部(1134),每组的两个像素单元(P)中,像素单元( $P_{mn}$ )的像素电极(113)的第二延伸部(1134)位于像素单元( $P_{(m+1)(n+1)}$ )的耦合电极(116)的第一延伸部(1164)的上方,且该像素单元( $P_{mn}$ )的该像素电极(113)的第二延伸部(1134)通过该第一接触孔(128a)与该像素单元( $P_{(m+1)(n-1)}$ )的该耦合电极(116)的第一延伸部(1164)导电连接。

5.如权利要求1至4任一项所述的阵列基板(100),其特征在于,第一行像素单元与最后一行像素单元配置于该阵列基板(100)的非显示区域。

6.如权利要求2或4所述的阵列基板(100),其特征在于,该耦合电极(116)与该像素电极(113)均为狭缝电极,每个该耦合电极(116)的该第一主体部(1162)的图案与每个该像素电极(113)的该第二主体部(1132)的图案相同。

7.如权利要求1至4任意一项所述的阵列基板(100),其特征在于,该阵列基板(100)包括依次设置于该衬底基板(110)上的第一绝缘层(122)、第二绝缘层(124)、第三绝缘层(126)和第四绝缘层(128),该第一绝缘层(122)形成在该衬底基板(110)上并覆盖该扫描线(111),该第二绝缘层(124)形成在该第一绝缘层(122)并覆盖该第一薄膜晶体管(114),该第三绝缘层(126)形成在该第二绝缘层(124)并覆盖该耦合电极(116),该第四绝缘层(128)形成在该第三绝缘层(126)上并覆盖该公共电极条(115)。

8.如权利要求1所述的阵列基板(100),其特征在于,该第二绝缘层(124)上对应该第一薄膜晶体管(114)的该漏极(114c)的位置形成有一接触孔(124a),该第三绝缘层(126)和该第四绝缘层(128)上对应该漏极(114c)的位置形成有第一接触孔(128a),每组像素单元中,下一行的该耦合电极(116)通过该接触孔(124a)与上一该像素单元(P)中对应的该第一薄膜晶体管(114)的该漏极(114c)导电连接,上一行的该像素电极(113)该第一接触孔(128a)与本像素单元对应的漏极(114c)和下一行中的该耦合电极(116)导电连接。

9.一种液晶显示装置,包括阵列基板、与该阵列基板相对设置的彩膜基板以及位于该阵列基板与该彩膜基板之间的液晶层,其特征在于,该阵列基板为权利要求1-8任一项所述的阵列基板(100)。

## 阵列基板和液晶显示装置

### 技术领域

[0001] 本发明涉及液晶显示技术领域,特别是涉及一种阵列基板和液晶显示装置。

### 背景技术

[0002] 现有市场上的液晶显示装置大部分为背光型液晶显示装置,其包括液晶显示面板及背光模组(backlight module)。通常液晶显示面板由彩膜基板(CF,Color Filter)、薄膜晶体管阵列基板(TFT,Thin Film Transistor)、夹于彩膜基板与薄膜晶体管阵列基板之间的液晶(LC,Liquid Crystal)及密封框胶(Sealant)组成。

[0003] 目前主流市场上的TFT-LCD显示面板而言,可分为三种类型,分别是扭曲向列(Twisted nematic,Tn)或超扭曲向列(Super Twisted nematic,STn)型,平面转换(In-Plane Switching,IPS)型、及垂直配向(Vertical Alignment,VA)型。其中VA型液晶显示器相对其他种类的液晶显示器具有极高的对比度,在大尺寸显示,如电视等方面具有非常广的应用。而高垂直排列(High Vertical Alignment,HVA)模式是VA模式中一个重要的分支。HVA型液晶显示面板工作时是由阵列基板侧的像素电极和彩膜基板侧的公共电极形成的垂直电场来控制液晶层的液晶分子的旋转。

[0004] 以HVA型显示装置为例,如图1所示,该阵列基板20上包括相互交错的数据线21和扫描线22,数据线21和扫描线22相互交叉限定形成多个像素单元。该阵列基板20上还设有平行间隔排列的多个公共电极条23,每个公共电极条23沿着扫描线22方向延伸,每个像素单元中包括像素电极24和TFT25,每个公共电极条23对应覆盖一整行像素单元。每一行中的各个像素单元交替地连接至位于该行像素单元上下两侧扫描线上,每一列的各个像素单元交替地连接至位于该列像素单元左右两侧的两条数据线21上。以行反转驱动方法显示时,以 $P_{mn}$ 代表一个像素电极24,其中 $m$ 表示该像素电极24所在的行数, $n$ 表示该像素电极24所在的列数,例如在显示一帧画面时,像素电极 $P_{12}$ 的极性为正极性,像素电极 $P_{21}$ 的极性为负极性,在显示下一帧画面时,像素电极 $P_{12}$ 从正极性切换为负极性,像素电极 $P_{21}$ 从负极性切换为正极性,像素电极 $P_{12}$ 和像素电极 $P_{21}$ 上的电压变化会耦合到对应的公共电极条23上,且像素电极 $P_{12}$ 与对应公共电极条23产生的耦合作用和像素电极 $P_{21}$ 与对应的公共电极条23产生的耦合作用的方向相反,这样一来会导致公共电极条23的公共电压不稳定,从而造成画面品质不良。

### 发明内容

[0005] 本发明的目的在于提供一种阵列基板和液晶显示装置,在公共电极下方设置耦合电极,耦合电极用于抵消像素电极对公共电极的耦合效应,提升画面显示品质。

[0006] 本发明解决其技术问题是采用以下的技术方案来实现的。

[0007] 一种阵列基板,包括多条扫描线、多条数据线、多个像素电极和多个公共电极条,每个该公共电极条沿着扫描线方向延伸,每个该像素电极通过一第一薄膜晶体管与邻近该像素电极的该扫描线和该数据线连接,该第一薄膜晶体管包括彼此分开的源极和漏极;该

阵列基板还包括多个耦合电极,多个该耦合电极、该公共电极条和多个该像素电极三者之间相互间隔设置,多个该耦合电极位于多个该像素电极下方,多个该公共电极条位于多个该耦合电极和多个该像素电极之间,由多条该扫描线和多条该数据线相互交叉限定形成多个像素单元P,每个该像素单元P内设置有一个该耦合电极和一个该像素电极,每一行中奇数列的该像素单元P连接至该行该像素单元P上侧的该扫描线上,位于偶数列的该像素单元P连接至该行该像素单元P下侧的该扫描线上,每一列中位于奇数行的该像素单元P连接至该列该像素单元P左侧的该数据线上,位于偶数行的该像素单元P连接至该列该像素单元P右侧的该数据线上;

[0008] 将位于第m行、第n列的像素单元 $P_{mn}$ 与位于第m+1行、第n-1列的像素单元 $P_{(m+1)(n-1)}$ 划分为一组,每组的两个像素单元共用同一条该扫描线且极性相反,其中m、n为大于等于1的整数;

[0009] 像素单元 $P_{mn}$ 的像素电极通过第一接触孔与该像素单元 $P_{mn}$ 内对应的漏极导电连接,像素单元 $P_{(m+1)(n-1)}$ 内的耦合电极通过该第一接触孔与该像素单元 $P_{mn}$ 的该像素电极导电连接;该像素单元 $P_{(m+1)(n-1)}$ 的该像素电极通过该第二接触孔与该像素单元 $P_{(m+1)(n-1)}$ 内对应的漏极导电连接,该像素单元 $P_{mn}$ 的耦合电极通过该第二接触孔与该像素单元 $P_{(m+1)(n-1)}$ 的该像素电极导电连接。

[0010] 进一步地,每个该耦合电极包括第一主体部和从该第一主体部的一端延伸形成的第一延伸部,每个该像素电极包括第二主体部和从该第二主体部的一端延伸形成的第二延伸部,每组的两个像素单元中,该像素单元 $P_{mn}$ 的该像素电极的该第二延伸部位于该像素单元 $P_{(m+1)(n-1)}$ 的该耦合电极的该第一延伸部的上方,且该像素单元 $P_{mn}$ 的该像素电极的该第二延伸部通过该第一接触孔与该像素单元 $P_{(m+1)(n-1)}$ 的该耦合电极的该第一延伸部导电连接。

[0011] 一种阵列基板,包括多条扫描线、多条数据线、多个像素电极和多个公共电极条,每个该公共电极条沿着扫描线方向延伸,每个该像素电极通过一第一薄膜晶体管与邻近该像素电极的该扫描线和该数据线连接,该第一薄膜晶体管包括彼此分开的源极和漏极;该阵列基板还包括多个耦合电极,该多个耦合电极、该公共电极条和该多个像素电极三者之间相互间隔设置,多个该耦合电极位于多个该像素电极下方,多个该公共电极条位于多个该耦合电极和多个该像素电极之间,由多条该扫描线和多条该数据线相互交叉限定形成多个像素单元P,每个该像素单元P内设置有一个该耦合电极和一个该像素电极,每一行中奇数列的该像素单元P连接至该行该像素单元P下侧的该扫描线上,位于偶数列的像素单元P连接至该行该像素单元P上侧的该扫描线上,每一列中位于奇数行的该像素单元P连接至该列该像素单元P左侧的该数据线上,位于偶数行的该像素单元P连接至该列该像素单元P右侧的该数据线上;

[0012] 将位于第m行、第n列的像素单元 $P_{mn}$ 与位于第m+1行、第n+1列的像素单元 $P_{(m+1)(n+1)}$ 划分为一组,每组的两个像素单元共用同一条该扫描线且极性相反,其中m、n为大于等于1的整数;

[0013] 像素单元 $P_{mn}$ 的像素电极通过第一接触孔与该像素单元 $P_{mn}$ 内对应的漏极导电连接,像素单元 $P_{(m+1)(n+1)}$ 内的耦合电极通过该第一接触孔与该像素单元 $P_{mn}$ 的该像素电极导电连接;

[0014] 像素单元 $P_{(m+1)(n+1)}$ 的像素电极通过第二接触孔与该像素单元 $P_{(m+1)(n+1)}$ 内对应的漏

极导电连接,像素单元 $P_{mn}$ 的耦合电极通过该第二接触孔与该像素单元 $P_{(m+1)(n-1)}$ 的该像素电极导电连接。

[0015] 进一步地,每个耦合电极包括第一主体部和从该第一主体部的一端延伸形成的第一延伸部,每个像素电极包括第二主体部和从该第二主体部的一端延伸形成的第二延伸部,每组的两个像素单元中,像素单元 $P_{mn}$ 的像素电极的第二延伸部位于像素单元 $P_{(m+1)(n+1)}$ 的耦合电极的第一延伸部的上方,且该像素单元 $P_{mn}$ 的该像素电极的第二延伸部通过该第一接触孔与该像素单元 $P_{(m+1)(n-1)}$ 的该耦合电极的第一延伸部导电连接。

[0016] 进一步地,第一行像素单元与最后一行像素单元配置于该阵列基板的非显示区域。

[0017] 进一步地,该耦合电极与该像素电极均为狭缝电极,每个耦合电极的第一主体部的图案与每个像素电极的第二主体部的图案相同。

[0018] 进一步地,该阵列基板包括依次设置于该衬底基板上的第一绝缘层、第二绝缘层、第三绝缘层和第四绝缘层,该第一绝缘层形成在该衬底基板上并覆盖该扫描线,该第二绝缘层形成在该第一绝缘层并覆盖该第一薄膜晶体管,该第三绝缘层形成在该第二绝缘层并覆盖该耦合电极,该第四绝缘层形成在该第三绝缘层上并覆盖该公共电极条。

[0019] 进一步地,该第二绝缘层上对应该第一薄膜晶体管的漏极的位置形成有一接触孔,该第三绝缘层和该第四绝缘层上对应该漏极的位置形成有第一接触孔,每组像素单元中,下一行的耦合电极通过该接触孔与上一像素单元 $P$ 中对应的第一薄膜晶体管的漏极导电连接,上一行的像素电极该第一接触孔与本像素单元对应的漏极和下一行中的耦合电极导电连接。

[0020] 一种液晶显示装置,包括阵列基板、与该阵列基板相对设置的彩膜基板以及位于该阵列基板与该彩膜基板之间的液晶层,该阵列基板为上述的阵列基板。

[0021] 本发明实施例提供的阵列基板和液晶显示装置,由于在阵列基板上设置像素电极、公共电极条、耦合电极的三层导电层,同一像素单元中,像素电极和耦合电极对应且极性相反,利用耦合电极对公共电极条的耦合作用抵消像素电极对公共电极条的耦合作用,使得公共电极条的公共电压保持稳定,提升具有该阵列基板的液晶显示装置的显示画面的品质。

## 附图说明

[0022] 图1为现有的一种阵列基板的结构示意图。

[0023] 图2为本发明实施例提供的一种阵列基板的结构示意图。

[0024] 图3为图2所示的阵列基板其中一组像素单元的平面示意图。

[0025] 图4为图3所示该组像素单元中两个耦合电极的平面示意图。

[0026] 图5为图3所示该组像素单元中两个像素电极的平面示意图。

[0027] 图6为沿图3中IV-IV线的剖面示意图。

[0028] 图7为本发明实施例提供的阵列基板的等效电路图。

[0029] 图8为本发明第二实施例提供的阵列基板的结构示意图。

[0030] 图9为图8所示的阵列基板的其中一组像素单元的剖面示意图。

## 具体实施方式

[0031] 为更进一步阐述本发明为达成预定发明目的所采取的技术方式及功效,以下结合附图及实施例,对本发明的具体实施方式、结构、特征及其功效,详细说明如后。

[0032] [第一实施例]

[0033] 图2为本发明实施例提供的一种阵列基板的结构示意图。图3为图2所示的阵列基板其中一组像素单元的平面示意图。图4为图3所示该组像素单元中两个耦合电极的平面示意图。图5为图3所示该组像素单元中两个像素电极的平面示意图。图6为沿图3中IV-IV线的剖面示意图。请参照图2至图6,阵列基板100包括设置于衬底基板110上的多条扫描线111、多条数据线112、多个像素电极113、多个公共电极条115和多个耦合电极116。

[0034] 多条扫描线111和多条数据线112相互绝缘交叉限定形成呈阵列排布的多个像素单元P。每个像素单元P内设有一个像素电极113和一个耦合电极116,每个像素单元P内的耦合电极116位于像素电极113的下方。每个像素电极113通过一第一薄膜晶体管114与邻近该像素电极113的扫描线111和数据线112连接。具体地,第一薄膜晶体管114包括栅极114a、源极114b及漏极114c,其中栅极114a电连接对应的扫描线111,栅极114a可以独立设置或者可以为扫描线111的一部分,源极114b电连接对应的数据线112,漏极114c电连接对应的像素电极113。

[0035] 每一行中的各个像素单元P交替地连接至位于该行像素单元P上下两侧的两条扫描线111上,每一列的各个像素单元P交替地连接至该列像素单元P左右两侧的两条数据线112上,且每一行中的各个像素单元P仅通过奇数列或者偶数列的数据线112进行充电。

[0036] 如图2所示,本实施例中,每一行中位于奇数位的像素电极113连接至该行像素单元P上侧的扫描线111上,位于偶数位的像素电极113连接至该行像素单元P下侧的扫描线111上。每一列中位于奇数行的像素电极113连接至该列像素单元P左侧的数据线112上,位于偶数行的像素电极113连接至该列像素单元P右侧的数据线112上。

[0037] 请同时参考图6,像素电极113、公共电极条115和耦合电极116三者之间相互间隔设置,其中耦合电极116位于像素电极113下方,公共电极条115位于耦合电极116与像素电极113之间。其中,每个公共电极条115沿着扫描线111方向延伸,本发明实施例中,每个公共电极条115覆盖对应一整行像素单元P。

[0038] 本实施例中,如图2及图3所示,相邻两行像素单元P极性相反,将位于第m行、第n列的像素单元 $P_{mn}$ 和位于第m+1行、第n-1列的像素单元 $P_{(m+1)(n-1)}$ 划分为一组,每组的两个像素单元P共用同一条扫描线111且极性相反,其中m、n为大于等于1的整数。第m行像素单元P与第m+1行像素单元P共用同一扫描线111,即同时对第m行和第m+1行的像素电极113进行充电。

[0039] 具体地,如图3所示,像素单元 $P_{mn}$ 的像素电极113通过第一接触孔128a与本像素单元 $P_{mn}$ 内对应的第一薄膜晶体管114的漏极114c导电连接,像素单元 $P_{(m+1)(n-1)}$ 内的耦合电极116通过该第一接触孔128a与像素单元 $P_{mn}$ 的像素电极113导电连接。像素单元 $P_{(m+1)(n-1)}$ 内的像素电极113通过第二接触孔128b和本像素单元 $P_{(m+1)(n-1)}$ 内对应的第一薄膜晶体管114的漏极114c导电连接,像素单元 $P_{mn}$ 内的耦合电极116通过第二接触孔128b与该像素单元 $P_{(m+1)(n-1)}$ 的像素电极113导电连接。即每组像素单元P中,像素单元 $P_{mn}$ 内的像素电极113和像素单元 $P_{(m+1)(n-1)}$ 内的耦合电极116施加相同的电压。对应地,像素单元 $P_{mn}$ 内的耦合电极116

和像素单元 $P_{(m+1)(n-1)}$ 内的像素电极113施加相同的电压。

[0040] 像素单元 $P_{mn}$ 内的像素电极113和本像素单元 $P_{mn}$ 对应的公共电极条115的耦合作用使得公共电极条115的公共电压( $V_{com}$ )出现耦合波动,而像素单元 $P_{mn}$ 内的耦合电极116对公共电极条115的耦合作用正好能够完全抵消或削弱像素电极113对公共电压( $V_{com}$ )的影响。

[0041] 如图4至图6所示,每个耦合电极116包括第一主体部1162和从该第一主体部1162的一端延伸形成的第一延伸部1164,每个像素电极113包括第二主体部1132和从该第二主体部1132的一端延伸形成的第二延伸部1134。每组的两个像素单元 $P$ 中,像素单元 $P_{mn}$ 的像素电极113的第二延伸部1134位于像素单元 $P_{(m+1)(n-1)}$ 的耦合电极116的第一延伸部1162的上方,且像素电极113的第二延伸部1134通过该第一接触孔128a与耦合电极116的第一延伸部1162导电连接。优选地,每个像素电极113和每个耦合电极116均为狭缝电极,且每个耦合电极116的第一主体部1162与每个像素电极113的第二主体部1132图案相同。当一个像素单元 $P$ 内,像素电极113和耦合电极116上下重叠时能够达到更好地抵消效果。在其他实施例中,该耦合电极116的图案也可与该像素电极113的图案不同。

[0042] 如图6所示,阵列基板100包括依次设置于衬底基板110上的第一绝缘层122、第二绝缘层124、第三绝缘层126和第四绝缘层128。具体地,该第一绝缘层122形成在该衬底基板110上并覆盖该扫描线111,该第二绝缘层124形成在该第一绝缘层122并覆盖该第一薄膜晶体管114,该第三绝缘层126形成在该第二绝缘层124并覆盖该耦合电极116,该第四绝缘层128形成在该第三绝缘层126上并覆盖该公共电极条115。

[0043] 具体地,该第二绝缘层124上对应该第一薄膜晶体管114的漏极114c的位置形成有一接触孔124a,该第三绝缘层126和该第四绝缘层128上对应该漏极114c的位置形成有第一接触孔128a。第一接触孔128a设于接触孔124a内,且上下对应。每组像素单元 $P$ 中,下一行的耦合电极116通过该接触孔124a与上一像素单元 $P$ 中对应的第一薄膜晶体管114的漏极114c导电连接,上一行的像素电极113通过该第一接触孔128a与本像素单元 $P$ 对应的漏极114c和下一行中的耦合电极116导电连接,即实现每组像素单元 $P$ 中,上一行的耦合电极116和下一行的像素电极113导电连接,上一行的像素电极113和下一行的耦合电极116导电连接。

[0044] 以其中一组像素单元 $P$ 为例,其等效电路图如图7所示,像素单元 $P_{mn}$ 内的像素电极113与公共电极条115形成存储电容 $C_s$ ,像素单元 $P_{mn}$ 内的耦合电极116与公共电极条115形成反耦合电容 $C_g'$ 。像素单元 $P_{(m+1)(n-1)}$ 内的像素电极113与公共电极条115形成存储电容 $C_g$ ,像素单元 $P_{(m+1)(n-1)}$ 内的耦合电极116与公共电极条115形成反耦合电容 $C_s'$ ,其中 $C_s$ 和 $C_s'$ 大小相等且方向相同, $C_g'$ 和 $C_g$ 大小相等且方向相同。当像素单元 $P_{mn}$ 内的像素电极113与像素单元 $P_{(m+1)(n-1)}$ 内的像素电极113显示相同的灰阶电压时,可以看出,在像素单元 $P_{mn}$ 内,像素电极113对公共电极条115的公共电压( $V_{com}$ )的作用和耦合电极116对公共电压( $V_{com}$ )的作用正好相反( $C_s$ 和 $C_g'$ 大小相等方向相反),使得公共电压( $V_{com}$ )可以保持平稳。同时,像素单元 $P_{(m+1)(n-1)}$ 内,像素电极113对公共电极条115的公共电压( $V_{com}$ )的作用和耦合电极116对公共电压( $V_{com}$ )的作用正好相反( $C_g$ 和 $C_s'$ 大小相等方向相反),使得公共电压( $V_{com}$ )可以保持平稳。当像素单元 $P_{mn}$ 和像素单元 $P_{(m+1)(n-1)}$ 中的两个像素电极113显示不同的灰阶电压时,反耦合电容 $C_g'$ 与反耦合电容 $C_s'$ 能够部分抵消存储电容 $C_s$ 与存储电容 $C_g'$ 对公共电压( $V_{com}$ )的耦合影响,使公共电压( $V_{com}$ )整体受到的耦合波动减弱,降低像素电极113极性反转时对公共电压( $V_{com}$ )的干扰,以保持公共电压( $V_{com}$ )的稳定提高画面显示质量。

[0045] 例如,在一个像素单元P中,像素电极113施加电压为+2V,公共电极条115施加的公共电压为0V,耦合电极116施加耦合电压为-2V时,像素电极113对公共电极条115的耦合作用使得公共电极条115上的公共电压(Vcom)产生向上的耦合波动,耦合电极116对公共电极条115的耦合作用使得公共电极条115上的公共电压(Vcom)产生向下的耦合波动,且公共电压(Vcom)向上的耦合波动量和向下的耦合波动量相等,公共电压(Vcom)能够保持稳定。

[0046] 本发明实施例还提供一种液晶显示装置,包括阵列基板、与该阵列基板相对设置的彩膜基板,以及位于该阵列基板100与该彩膜基板之间的液晶层。

[0047] 本实施例中,为使显示区域内所有的像素电极113对公共电极条115的耦合效应均能得到抵消或削弱,第一行像素单元P以及最后一行像素单元P设置于液晶显示装置的非显示区域,以保证显示区域内形成与像素电极113数量对应的反耦合电容。

[0048] 本发明提供的阵列基板100和液晶显示装置,由于在阵列基板100上设置像素电极113、公共电极条115、耦合电极116的三层导电层,同一像素单元P中,像素电极113和耦合电极116对应且极性相反,利用耦合电极116对公共电极条115的耦合作用抵消像素电极113对公共电极条115的耦合作用,使得公共电极条115的公共电压保持稳定,提升具有该阵列基板100的液晶显示装置的显示画面的品质。

[0049] [第二实施例]

[0050] 请参图8及图9,本发明第二实施例提供的阵列基板与上述第一实施例的区别在于,本实施例中,每一行中奇数列的像素单元P连接至该行像素单元P下侧的扫描线111上,位于偶数列的像素单元P连接至该行像素单元P上侧的扫描线111上,每一列中位于奇数行的像素单元P连接至该列像素单元P左侧的数据线112上,位于偶数行的像素单元P连接至该列像素单元P右侧的数据线112上。

[0051] 其中,将位于第m行、第n列的像素单元 $P_{mn}$ 与位于第m+1行、第n+1列的像素单元 $P_{(m+1)(n+1)}$ 划分为一组,每组的两个像素单元P共用同一条扫描线111且极性相反,其中m、n为大于等于1的整数;

[0052] 如图9所示,像素单元 $P_{mn}$ 内的像素电极113通过第一接触孔128a与本像素单元 $P_{mn}$ 内对应的漏极114c导电连接,像素单元 $P_{(m+1)(n+1)}$ 内的耦合电极116通过接触孔124a与漏极114c导电连接,以实现像素单元 $P_{mn}$ 内的像素电极113和像素单元 $P_{(m+1)(n+1)}$ 内的耦合电极116导电连接。

[0053] 对应地,像素单元 $P_{(m+1)(n+1)}$ 的像素电极113通过第二接触孔128b与本像素单元 $P_{(m+1)(n+1)}$ 内对应的漏极114c导电连接,像素单元 $P_{mn}$ 的耦合电极116通过接触孔与像素电极113导电连接,以实现像素单元 $P_{(m+1)(n+1)}$ 内的像素电极113和像素单元 $P_{mn}$ 内的耦合电极116导电连接。

[0054] 关于本实施例的其他结构及工作原理,可以参见上述第一实施例,在此不再赘述。

[0055] 在本文中,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,除了包含所列的那些要素,而且还可包含没有明确列出的其他要素。

[0056] 在本文中,所涉及的前、后、上、下等方位词是以附图中零部件位于图中以及零部件相互之间的位置来定义的,只是为了表达技术方案的清楚及方便。应当理解,所述方位词的使用不应限制本申请请求保护的范围。

[0057] 在不冲突的情况下,本文中上述实施例及实施例中的特征可以相互结合。

[0058] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

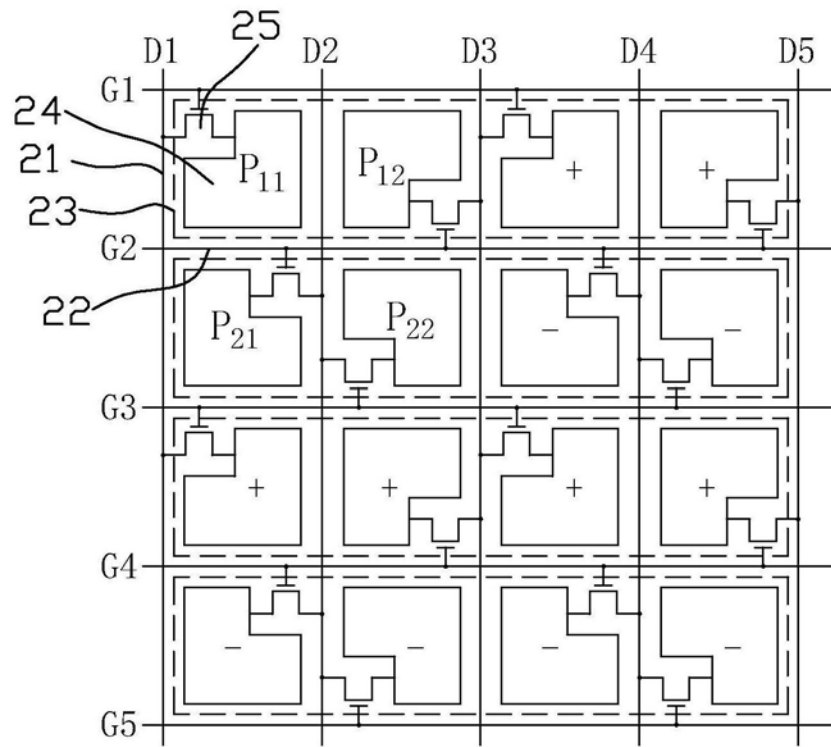


图1

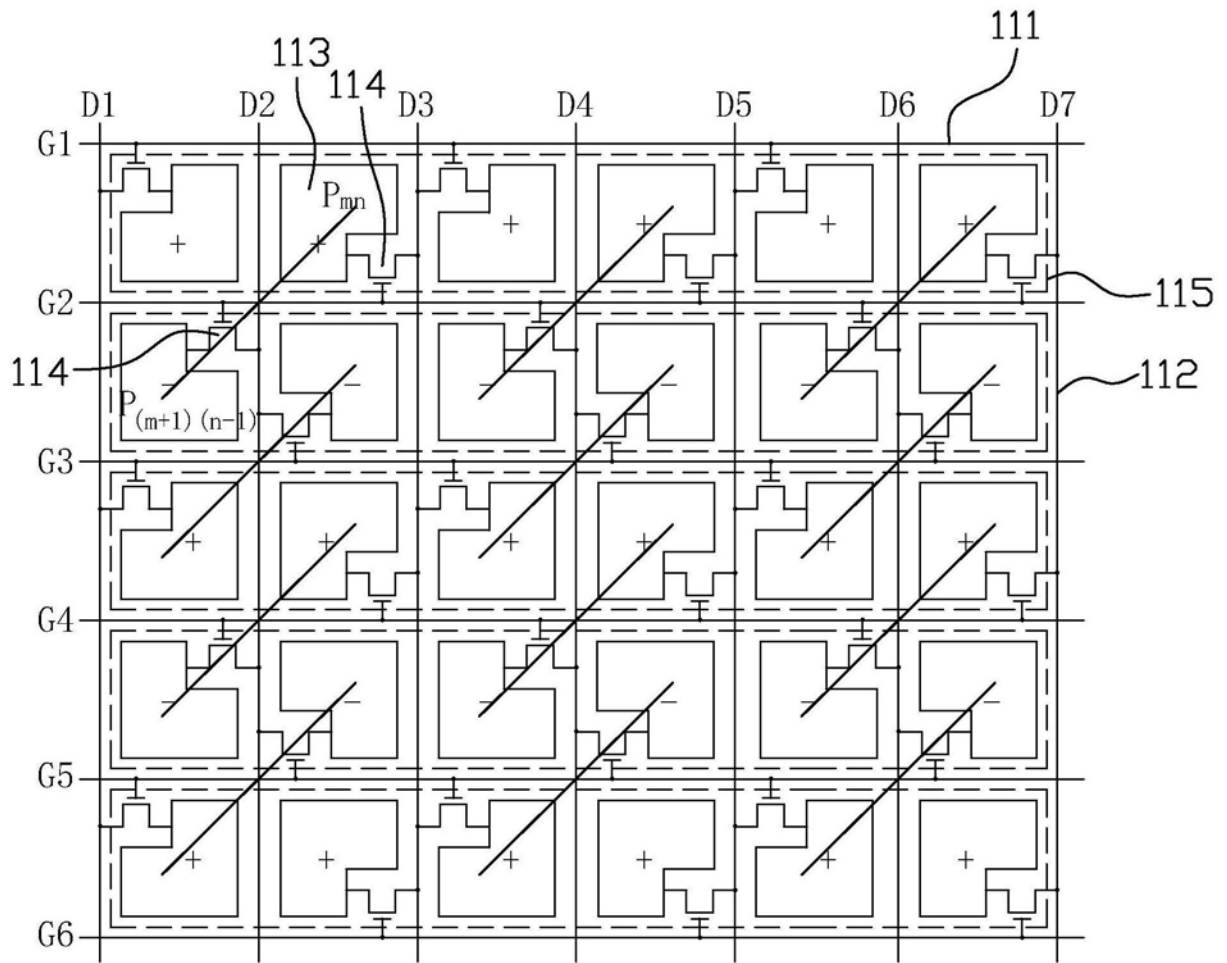


图2

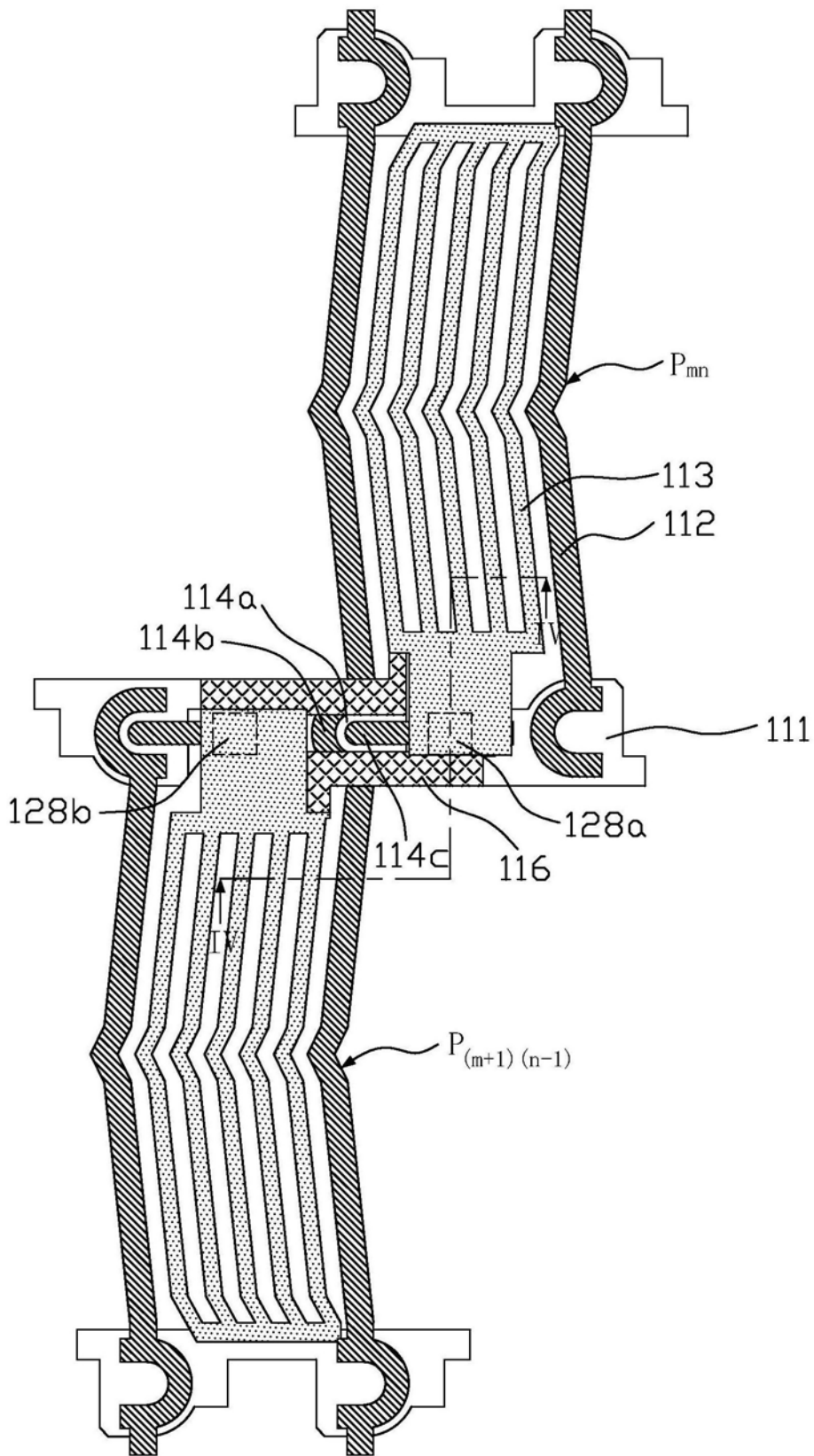


图3

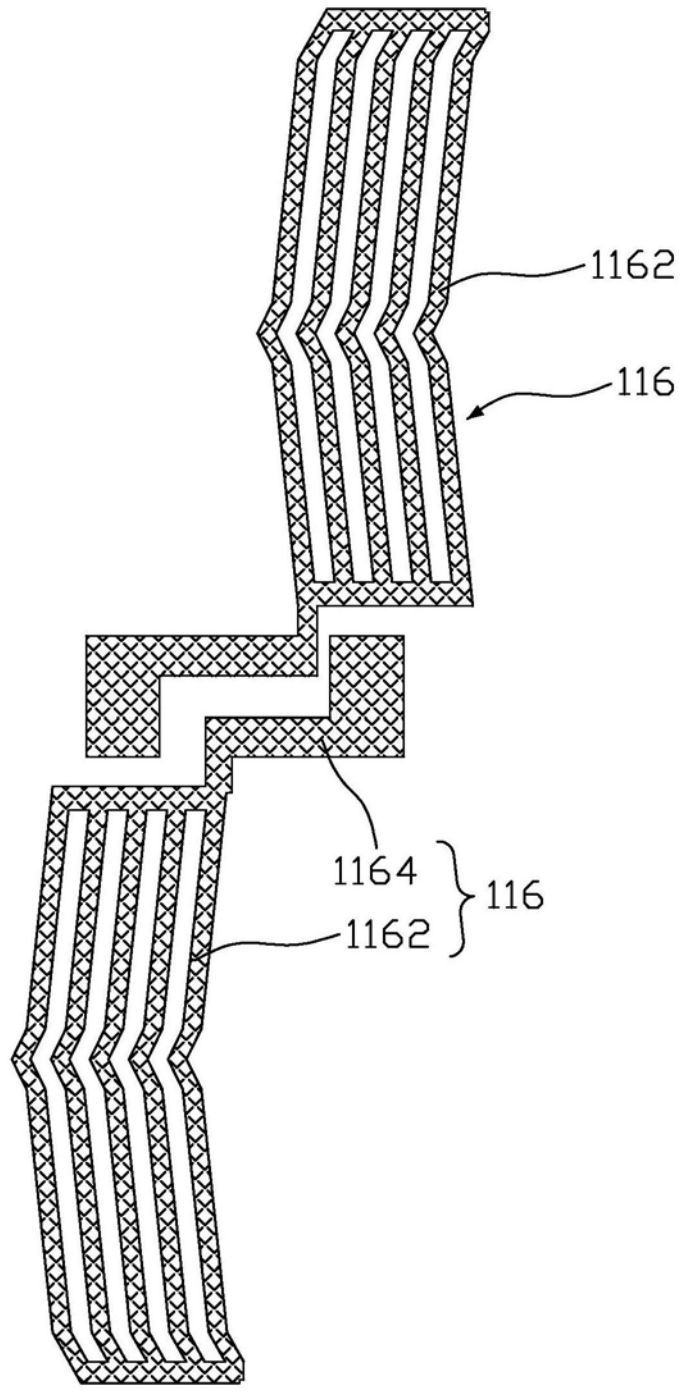


图4

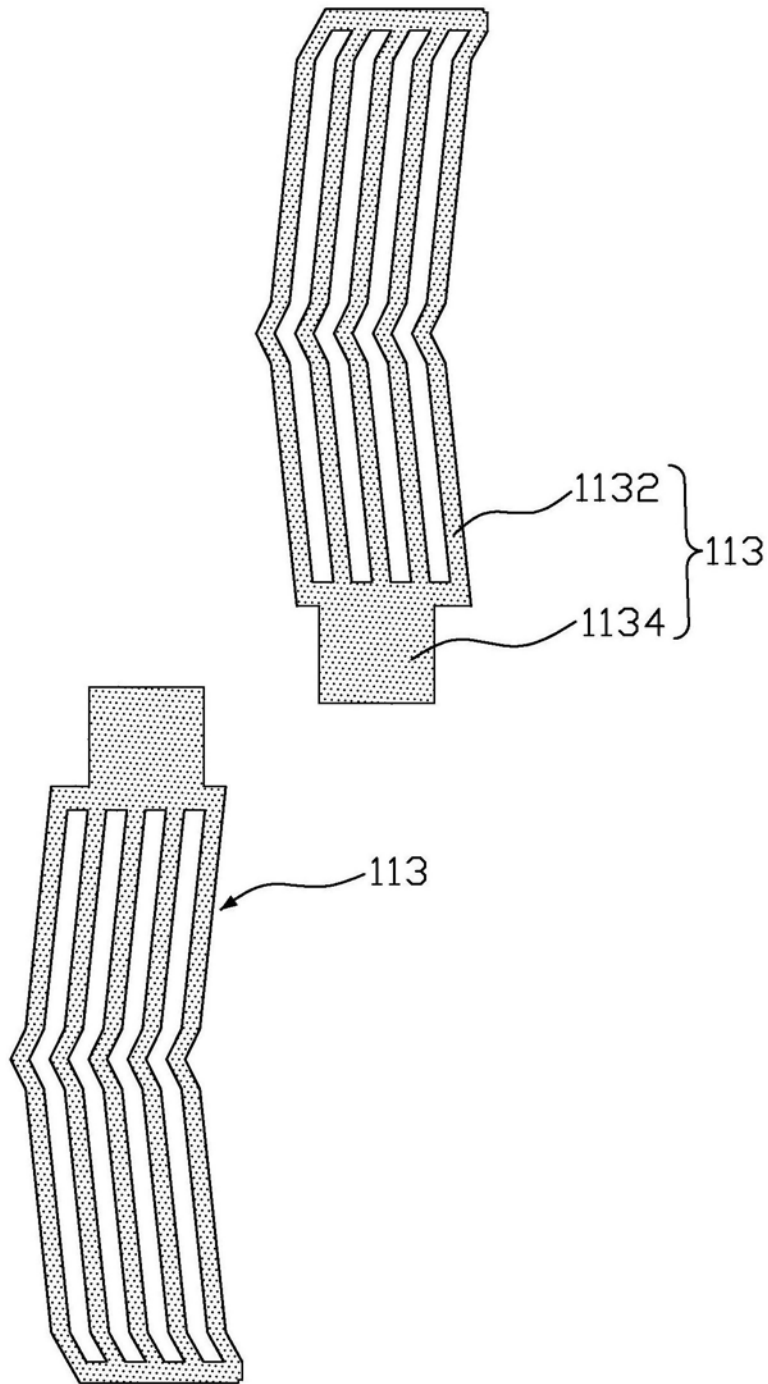


图5

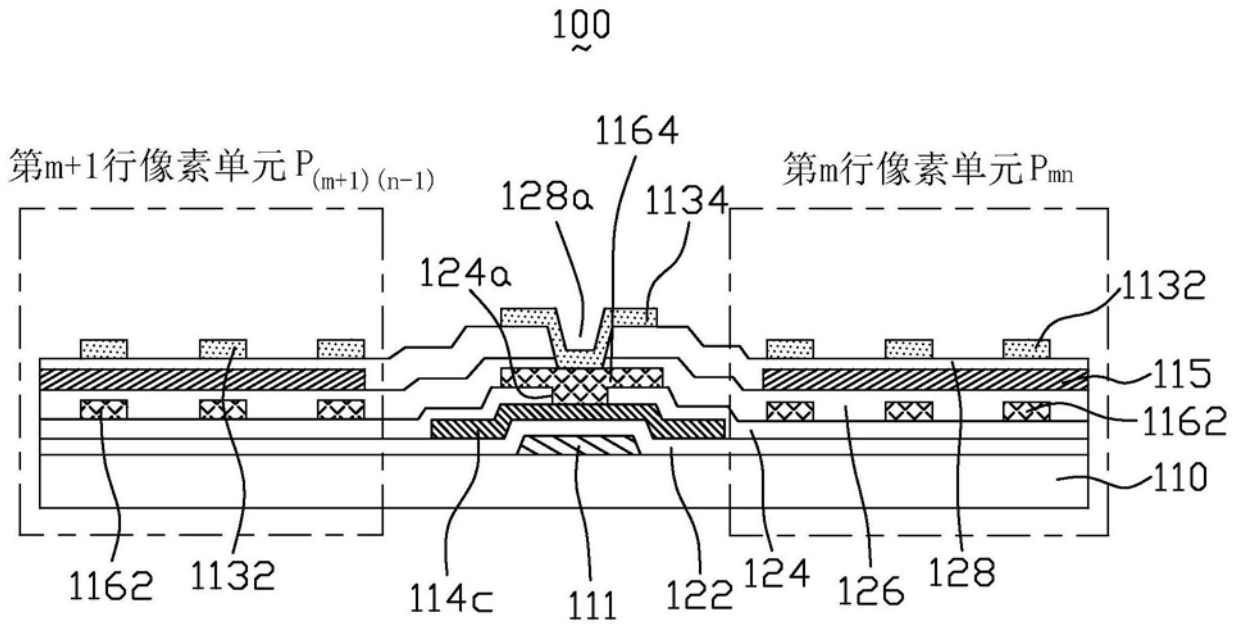


图6

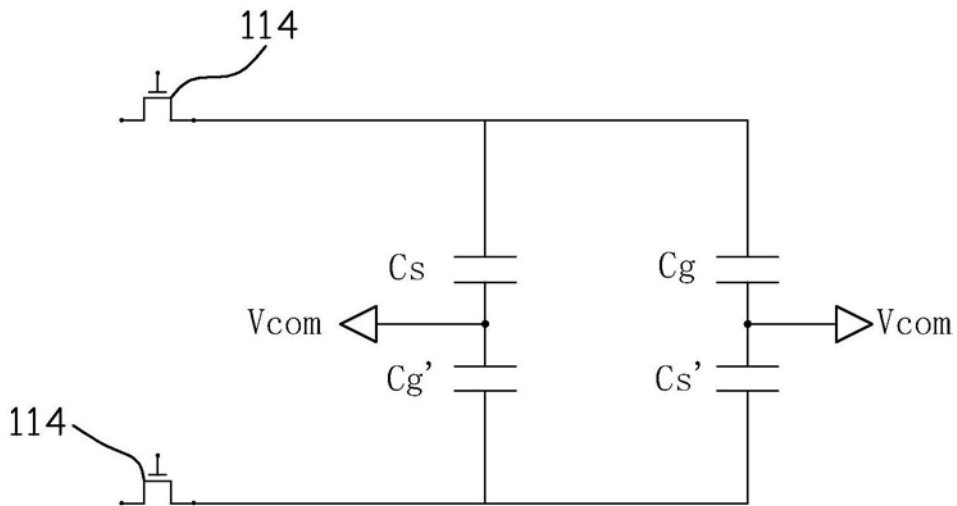


图7

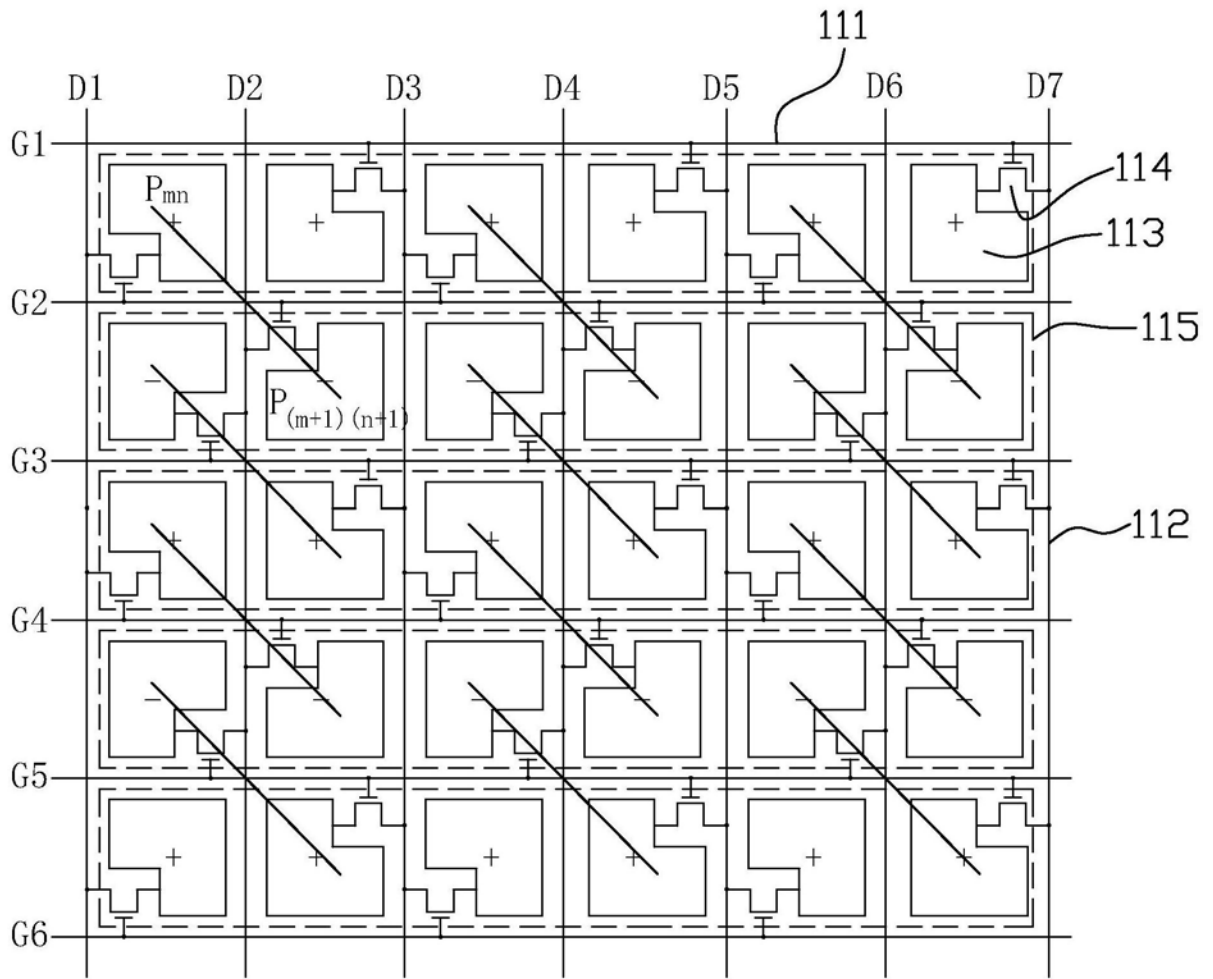


图8

100

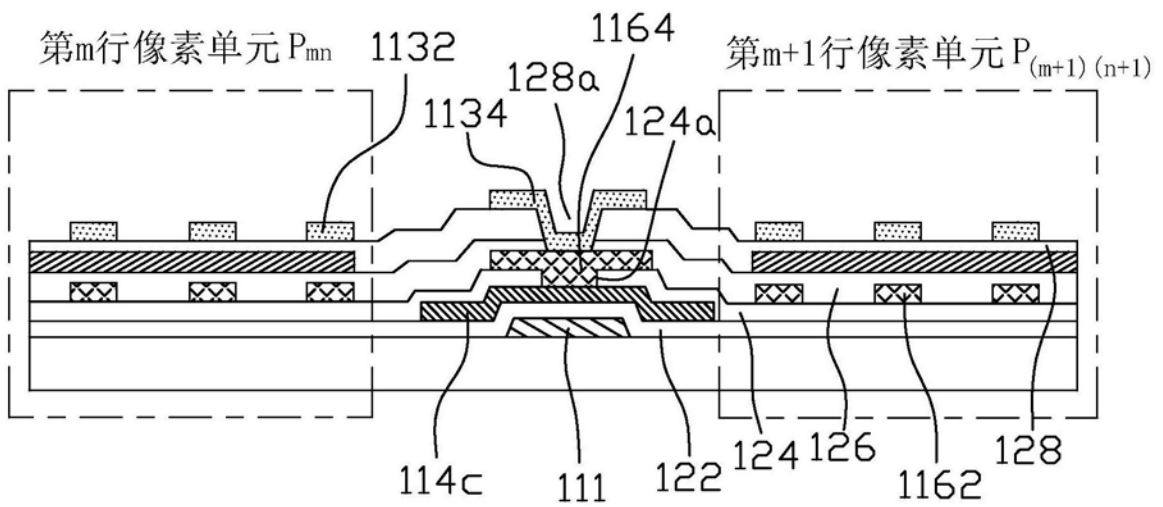


图9

专利名称(译)	阵列基板和液晶显示装置		
公开(公告)号	<a href="#">CN109324448A</a>	公开(公告)日	2019-02-12
申请号	CN201811348859.6	申请日	2018-11-13
[标]申请(专利权)人(译)	昆山龙腾光电有限公司		
申请(专利权)人(译)	昆山龙腾光电有限公司		
当前申请(专利权)人(译)	昆山龙腾光电有限公司		
[标]发明人	乔艳冰 付佃力		
发明人	乔艳冰 付佃力		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/134309 G02F1/136286		
代理人(译)	杨波		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

一种阵列基板和液晶显示装置，该阵列基板上设有扫描线、数据线、多个像素电极、多个公共电极条和多个耦合电极，该多个耦合电极、该公共电极条和该多个像素电极三者之间相互间隔设置，该多个耦合电极位于该多个像素电极下方，该多个公共电极条位于该多个耦合电极和该多个像素电极之间，每个像素单元中设有一个像素电极和一个耦合电极，每组像素单元P中，像素单元P<sub>m,n</sub>内的像素电极通过第一接触孔与本像素单元内的漏极导电连接，像素单元P<sub>m,n</sub>内的耦合电极通过第二接触孔与像素单元P<sub>(m+1)(n-1)</sub>内的像素电极导电连接，像素单元P<sub>(m+1)(n-1)</sub>内的耦合电极通过第一接触孔与像素单元P<sub>m,n</sub>内的像素电极导电连接，像素单元P<sub>(m+1)(n-1)</sub>内的像素电极和本像素单元内的漏极导电连接。

