



(12)发明专利申请

(10)申请公布号 CN 108983512 A

(43)申请公布日 2018.12.11

(21)申请号 201810954958.2

(22)申请日 2018.08.21

(71)申请人 昆山龙腾光电有限公司

地址 215301 江苏省苏州市昆山市龙腾路1号

(72)发明人 柯中乔 段周雄 郭文豪 张鼎

(74)专利代理机构 上海波拓知识产权代理有限公司 31264

代理人 李爱华

(51) Int. Cl.

G02F 1/1343(2006.01)

G02F 1/1362(2006.01)

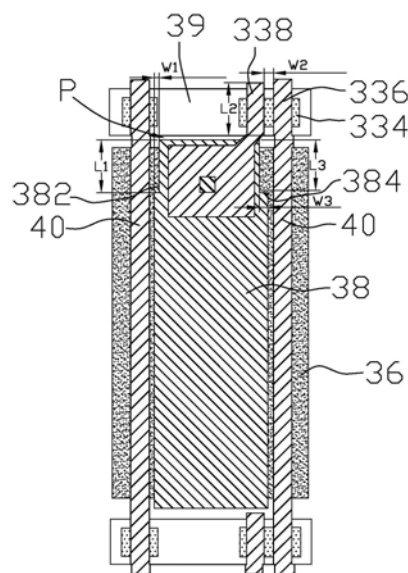
权利要求书2页 说明书5页 附图9页

(54)发明名称

薄膜晶体管阵列基板及液晶显示面板

(57)摘要

本发明公开一种薄膜晶体管阵列基板及液晶显示面板,该薄膜晶体管阵列基板包括衬底、薄膜晶体管、公共电极和像素电极,薄膜晶体管阵列基板还包括由扫描线和数据线限定形成多个像素单元,薄膜晶体管包括栅极、半导体层、源极和漏极,每个像素单元的像素电极上开设有第一缺口和第二缺口,使得像素电极与靠近本像素单元第一侧的数据线的耦合电容与像素电极与靠近本像素单元第二侧的数据线的耦合电容基本相等。本发明提供的薄膜晶体管阵列基板及液晶显示面板,通过在像素电极上开设缺口,那么整个像素电极与两侧数据线之间的耦合电容就基本相等了,从而使两侧数据线对像素电极的耦合电压基本相同,从而避免或减弱串扰现象。



1. 一种薄膜晶体管阵列基板,包括衬底(31)、薄膜晶体管(33)、公共电极(36)和像素电极(38),所述薄膜晶体管(33)、所述公共电极(36)和所述像素电极(38)设于所述衬底(31)上,且所述公共电极(36)和所述像素电极(38)之间绝缘间隔设置,所述薄膜晶体管阵列基板还包括由扫描线(39)和数据线(40)限定形成多个像素单元(P),所述薄膜晶体管(33)包括栅极(332)、半导体层(334)、源极(336)和漏极(338),所述栅极(332)设于所述衬底(31)上,所述源极(336)和所述漏极(338)设于所述半导体层(334)上并与所述半导体层(334)接触,所述源极(336)和所述漏极(338)相互间隔设置,其中所述漏极(338)与所述像素电极(38)电性连接,所述栅极(332)与所述扫描线(39)电性连接,所述源极(336)与所述数据线(40)电性连接,其特征在于,每个像素单元(P)的所述像素电极(38)上开设有第一缺口(382)和第二缺口(384),使得所述像素电极(38)与靠近本像素单元第一侧的数据线(40)的耦合电容与所述像素电极(38)与靠近本像素单元第二侧的数据线(40)的耦合电容基本相等。

2. 如权利要求1所述的薄膜晶体管阵列基板,其特征在于,所述第一缺口(382)和所述第二缺口(384)开设于所述像素电极(38)的边缘处。

3. 如权利要求2所述的薄膜晶体管阵列基板,其特征在于,靠近所述像素单元(P)的第一侧的所述数据线(40)与所述第一缺口(382)相邻,靠近所述像素单元(P)的第二侧的所述数据线与所述第二缺口(384)相邻,与每个像素单元(P)内的所述源极(336)电性连接的所述数据线(40)靠近所述像素单元(P)的第二侧,所述第二缺口(384)的长度(L3)等于所述第一缺口(382)的长度(L1),且所述第一缺口(382)的边缘与靠近第一侧的所述数据线(40)之间的距离(W1)小于所述第二缺口(384)的边缘与靠近第二侧的所述数据线(40)之间的距离(W3)。

4. 如权利要求3所述的薄膜晶体管阵列基板,其特征在于,所述第一缺口(382)的边缘与靠近第一侧的所述数据线(40)之间的距离(W1)等于所述漏极(338)与所述源极(336)之间的距离(W2),所述第一缺口(382)的长度(L1)等于所述漏极(338)与所述源极(336)具有电容耦合作用位置的长度(L2),所述第二缺口(384)的边缘与所述数据线(40)之间没有电容耦合作用。

5. 如权利要求3所述的薄膜晶体管阵列基板,其特征在于,所述第一缺口(382)的边缘与靠近第一侧的所述数据线(40)之间的距离(W1)小于所述漏极(338)与所述源极(336)之间的距离(W2),所述第一缺口(382)的长度(L1)等于所述漏极(338)与所述源极(336)具有电容耦合作用位置的长度(L2),所述第二缺口(384)的边缘与所述数据线(40)之间存在电容耦合作用。

6. 如权利要求1所述的薄膜晶体管阵列基板,其特征在于,每一像素单元(P)的所述薄膜晶体管设于靠近本像素单元(P)内的所述像素电极(38)的第一端的位置,所述第一缺口和所述第二缺口位于本像素单元(P)内的所述像素电极(38)的第一端。

7. 一种薄膜晶体管阵列基板,包括衬底(31)、薄膜晶体管(33)、公共电极(36)和像素电极(38),所述薄膜晶体管(33)、所述公共电极(36)和所述像素电极(38)设于所述衬底(31)上,且所述公共电极(36)和所述像素电极(38)之间绝缘间隔设置,所述薄膜晶体管阵列基板还包括由扫描线(39)和数据线(40)限定形成多个像素单元(P),所述薄膜晶体管(33)包括栅极(332)、半导体层(334)、源极(336)和漏极(338),所述栅极(332)设于所述衬底(31)

上,所述源极(336)和所述漏极(338)设于所述半导体层(334)上并与所述半导体层(334)接触,所述源极(336)和所述漏极(338)相互间隔设置,其中所述漏极(338)与所述像素电极(38)电性连接,所述栅极(332)与所述扫描线(39)电性连接,所述源极(336)与所述数据线(40)电性连接,其特征在于,每个像素单元(P)的所述像素电极(38)上开设有第二缺口(384),使得所述像素电极(38)与靠近本像素单元第一侧的所述数据线(40)的耦合电容与所述像素电极(38)与靠近本像素单元第二侧的所述数据线(40)的耦合电容基本相等。

8.如权利要求7所述的薄膜晶体管阵列基板,其特征在于,所述第二缺口(384)开设于所述像素电极(38)的边缘处。

9.如权利要求7所述的薄膜晶体管阵列基板,其特征在于,每一像素单元(P)的薄膜晶体管设于靠近本像素单元(P)内的所述像素电极(38)的第一端的位置,所述第二缺口位于本像素单元(P)内的所述像素电极(38)的第一端。

10.一种液晶显示面板,其特征在于,包括如权利要求1-9任意一项所述的薄膜晶体管阵列基板、彩膜基板(50)及设于薄膜晶体管阵列基板与彩膜基板(50)之间的液晶层(70)。

薄膜晶体管阵列基板及液晶显示面板

技术领域

[0001] 本发明涉及液晶显示技术领域,特别是涉及一种薄膜晶体管阵列基板及液晶显示面板。

背景技术

[0002] 液晶显示面板具有画质好、体积小、重量轻、低驱动电压、低功耗、无辐射和制造成本相对较低的优点,在平板显示领域占主导地位。

[0003] 现有市场上的液晶显示器大部分为背光型液晶显示器,其包括液晶显示面板及背光模组。液晶显示面板的工作原理是在薄膜晶体管阵列基板与彩膜基板之间灌入液晶分子,并在两片基板上施加驱动电压来控制液晶分子的旋转方向,以将背光模组的光线折射出来产生画面。

[0004] 阵列基板包括多条栅极线和数据线,相互垂直的多条栅极线和多条数据线形成了多个像素单元,且每个像素单元内均设置有薄膜晶体管、像素电极及存储电容等。当栅极线被驱动时,薄膜晶体管处于导通状态,对应的数据下送入灰阶电压信号并将其加载至像素电极,从而使得像素电极与公共电极之间产生相应的电场,液晶层中的液晶分子则在电场的作用下发生取向变化,以实现不同的图像显示。

[0005] 现有液晶显示面板通常会发生串扰现象,如图4所示,由于串扰现象的存在,A区域和B区域存在明显的亮度差异。

发明内容

[0006] 本发明的目的是提供一种可改善串扰现象的薄膜晶体管阵列基板和液晶显示面板。

[0007] 本发明实施例提供一种薄膜晶体管阵列基板,包括衬底、薄膜晶体管、公共电极和像素电极,所述薄膜晶体管、所述公共电极和所述像素电极设于所述衬底上,且所述公共电极和所述像素电极之间绝缘间隔设置,所述薄膜晶体管阵列基板还包括由扫描线和数据线限定形成多个像素单元,所述薄膜晶体管包括栅极、半导体层、源极和漏极,所述栅极设于所述衬底上,所述源极和所述漏极设于所述半导体层上并与所述半导体层接触,所述源极和所述漏极相互间隔设置,其中所述漏极与所述像素电极电性连接,所述栅极与所述扫描线电性连接,所述源极与所述数据线电性连接,每个像素单元的所述像素电极上开设有第一缺口和第二缺口,使得所述像素电极与靠近本像素单元第一侧的数据线的耦合电容与所述像素电极与靠近本像素单元第二侧的数据线的耦合电容基本相等。

[0008] 优选地,所述第一缺口和所述第二缺口开设于所述像素电极的边缘处。

[0009] 优选地,靠近所述像素单元的第一侧的所述数据线与所述第一缺口相邻,靠近所述像素单元的第二侧的所述数据线与所述第二缺口相邻,与每个像素单元内的所述源极电性连接的所述数据线靠近所述像素单元的第二侧,所述第二缺口的长度等于所述第一缺口的长度,且所述第一缺口的边缘与靠近第一侧的所述数据线之间的距离小于所述第二缺口

的边缘与靠近第二侧的所述数据线之间的距离。

[0010] 优选地,所述第一缺口的边缘与靠近第一侧的所述数据线之间的距离等于所述漏极与所述源极之间的距离,所述第一缺口的长度等于所述漏极与所述源极具有电容耦合作用位置的长度,所述第二缺口的边缘与所述数据线之间没有电容耦合作用。

[0011] 优选地,所述第一缺口的边缘与靠近第一侧的所述数据线之间的距离小于所述漏极与所述源极之间的距离,所述第一缺口的长度等于所述漏极与所述源极具有电容耦合作用位置的长度,所述第二缺口的边缘与所述数据线之间存在电容耦合作用。

[0012] 优选地,每一像素单元的所述薄膜晶体管设于靠近本像素单元内的所述像素电极的第一端的位置,所述第一缺口和所述第二缺口位于本像素单元内的所述像素电极的第一端。

[0013] 本发明还提供一种薄膜晶体管阵列基板,包括衬底、薄膜晶体管、公共电极和像素电极,所述薄膜晶体管、所述公共电极和所述像素电极设于所述衬底上,且所述公共电极和所述像素电极之间绝缘间隔设置,所述薄膜晶体管阵列基板还包括由扫描线和数据线限定形成多个像素单元,所述薄膜晶体管包括栅极、半导体层、源极和漏极,所述栅极设于所述衬底上,所述源极和所述漏极设于所述半导体层上并与所述半导体层接触,所述源极和所述漏极相互间隔设置,其中所述漏极与所述像素电极电性连接,所述栅极与所述扫描线电性连接,所述源极与所述数据线电性连接,每个像素单元的所述像素电极上开设有第二缺口,使得所述像素电极与靠近本像素单元第一侧的所述数据线的耦合电容与所述像素电极与靠近本像素单元第二侧的所述数据线的耦合电容基本相等。

[0014] 优选地,所述第二缺口开设于所述像素电极的边缘处。

[0015] 优选地,每一像素单元的薄膜晶体管设于靠近本像素单元内的所述像素电极的第一端的位置,所述第二缺口位于本像素单元内的所述像素电极的第一端。

[0016] 本发明实施例还提供一种液晶显示面板,包括上述薄膜晶体管阵列基板、彩膜基板及设于薄膜晶体管阵列基板与彩膜基板之间的液晶层。

[0017] 本发明提供的薄膜晶体管阵列基板及液晶显示面板,通过在像素电极上开设缺口,那么整个像素电极与两侧数据线之间的耦合电容就基本相等了,从而使两侧数据线对像素电极的耦合电压基本相同,从而避免或减弱串扰现象。

附图说明

[0018] 图1为一种薄膜晶体管阵列基板的剖视结构示意图;

[0019] 图2为图1所示薄膜晶体管阵列基板的平面结构示意图;

[0020] 图3为图1所示薄膜晶体管阵列基板的一个像素单元的平面示意图;

[0021] 图4为图1所示薄膜晶体管阵列基板的数据线的驱动波形图;

[0022] 图5为图1所示图1所示薄膜晶体管阵列基板串扰显示效果示意图;

[0023] 图6为本发明第一实施例的薄膜晶体管阵列基板的剖视结构示意图;

[0024] 图7为图6所示薄膜晶体管阵列基板的平面结构示意图;

[0025] 图8为本发明第二实施例的薄膜晶体管阵列基板的剖视结构示意图;

[0026] 图9为本发明第三实施例的薄膜晶体管阵列基板的剖视结构示意图;

[0027] 图10为本发明第四实施例的薄膜晶体管阵列基板的剖视结构示意图;

[0028] 图11为本发明一实施例的液晶显示面板的结构示意图。

具体实施方式

[0029] 为更进一步阐述本发明为达成预定发明目的所采取的技术方式及功效,以下结合附图及实施例,对本发明的具体实施方式、结构、特征及其功效,详细说明如后。

[0030] 如图1至图3所示,一种薄膜晶体管阵列基板包括衬底11、薄膜晶体管13、第一保护层15、公共电极16、第二保护层17和像素电极18,薄膜晶体管13设于衬底11上,第一保护层15覆盖于薄膜晶体管13上,公共电极16设于第一保护层15上,第二保护层17覆盖公共电极16,像素电极18设于第二保护层17上。该薄膜晶体管阵列基板还包括由扫描线19和数据线20限定形成多个像素单元P。薄膜晶体管13包括栅极132、半导体层134、源极136和漏极138,栅极132设于衬底11上,源极136和漏极138设于半导体层134上并与半导体层134接触,源极136和漏极138相互间隔设置,其中漏极138与像素电极18电性连接,栅极132与扫描线19电性连接,源极136与数据线20电性连接。薄膜晶体管13的栅极132上设有钝化层139,半导体层134设于该钝化层139上。

[0031] 经过研究发现,由于像素电极16右侧薄膜晶体管附近在源极136与数据线20之间存在耦合电容,而左侧没有,因此像素电极16和左侧数据线20之间的耦合电容与像素电极16和右侧数据线20之间的耦合电容不同,从而导致左右侧数据线对像素电极的耦合电压不同,从而导致串扰现象的出现。具体地,当数据线的驱动波形为图4所示波形时,像素电极与左侧数据线的耦合电容 $C_{dp}=0.66\text{fF}$,像素电极与右侧数据线的耦合电容 $C_{dp}=0.78\text{fF}$,左侧负极性数据线对像素电极的耦合电压 $V_1=(-4.28-(-1.86))*0.66/145=-0.011\text{伏}$ (其中,145为像素单元内的存储电容),右侧正极性数据线对像素电极的耦合电压 $V_2=(4.32-1.92)*0.78/145=-0.013\text{伏}$ (其中,145为像素单元内的存储电容), V_1 和 V_2 相差了2mV,因此导致了串扰现象的出现。串扰现象产生时图像显示效果请参阅图5,A区和B区有面向的亮度差异。

[0032] 第一实施例

[0033] 图6为本发明第一实施例的薄膜晶体管阵列基板的剖面结构示意图;图7为图6所示薄膜晶体管阵列基板的平面结构示意图。如图5和图6所示,本实施例中,薄膜晶体管阵列基板包括衬底31、薄膜晶体管33、第一保护层35、公共电极36、第二保护层37和像素电极38,薄膜晶体管33设于衬底31上,第一保护层35覆盖于薄膜晶体管33上,公共电极36设于第一保护层35上,第二保护层37覆盖公共电极36,像素电极38设于第二保护层37上。该薄膜晶体管阵列基板还包括由扫描线39和数据线403限定形成多个像素单元P,每个像素单元P内有一个像素电极38和一个薄膜晶体管33。薄膜晶体管33包括栅极332、半导体层334、源极336和漏极338,栅极332设于衬底31上,源极336和漏极338设于半导体层334上并与半导体层334接触,源极336和漏极338相互间隔设置,其中漏极338与像素电极38电性连接,栅极332与扫描线39电性连接,源极336与数据线40电性连接。薄膜晶体管的栅极332上设有钝化层339,半导体层334设于该钝化层339上。具体地,每个像素单元P内的像素电极38通过接触孔与本像素单元P内对应的漏极338电性连接。

[0034] 本实施例中,每一像素单元P的薄膜晶体管设于靠近本像素单元P内的像素电极38的第一端的位置,本像素单元P内的像素电极38的第一端的第一侧开设有第一缺口382,与

第一侧相对的第二侧开设有第二缺口384,且第一缺口382的边缘与靠近第一侧的数据线40之间的距离W1等于漏极338与源极336之间的距离W2(W2即薄膜晶体管的沟道的宽度),第一缺口382的长度L1等于漏极338与源极336具有电容耦合作用位置的长度L2,第二缺口384的边缘与靠近第二侧的数据线40之间的距离W3较大使得第二缺口384的边缘与数据线40之间没有电容耦合作用,第一缺口382的边缘与靠近第一侧的数据线40之间的距离W1小于第二缺口384的边缘与靠近第二侧的数据线40之间的距离W3,第二缺口384的长度L3等于第一缺口382的长度L1。

[0035] 通过在像素电极38上开设第一缺口382和第二缺口384,使得第一缺口382的边缘与靠近第一侧的数据线40之间的耦合电容刚好等于源极336与漏极338之间耦合电容,而第二缺口384的设置使得像素电极38的第二侧与数据线40的耦合电容减小,也就是说图6中I处的耦合电容等于II处的耦合电容,III处的耦合电容基本为0,那么整个像素电极38与两侧数据线40之间的耦合电容就基本相等了,从而使左右侧数据线40对像素电极38的耦合电压基本相同,从而避免或减弱串扰现象。具体地,像素电极38与左侧数据线40的耦合电容 $C_{dp}=0.75\text{fF}$,像素电极38与右侧数据线40的耦合电容 $C_{dp}=0.78\text{fF}$,左侧负极性数据线40对像素电极38的耦合电压

[0036] $V3 = (-4.28 - (-1.86)) * 0.75 / 145 = -0.0125$ 伏(其中,145为像素单元内的存储电容),右侧正极性数据线40对像素电极38的耦合电压

[0037] $V4 = (4.32 - 1.92) * 0.78 / 145 = -0.013$ 伏(其中,145为像素单元内的存储电容),V3和V4仅相差了0.5mV,大大减弱了串扰现象。

[0038] 本实施例中,由于第一缺口382的边缘与靠近第一侧的数据线40之间的距离W1等于漏极338与源极336之间的距离W2,第一缺口382的长度L1等于漏极338与源极336具有电容耦合作用位置的长度L2,第二缺口384的边缘与靠近第二侧的数据线40之间的距离W3使得第二缺口384的边缘与数据线40之间没有电容耦合作用,第一缺口382的边缘与靠近第一侧的数据线40之间的距离W1小于第二缺口384的边缘与靠近第二侧的数据线40之间的距离W3,因此可以很准确地控制I处、II处和III处的耦合电容的大小,可较为方便地控制好制造过程中的耦合电容大小,保证对串扰现象的控制效果。

[0039] 在其他实施例中,第一缺口382可由多个子缺口组成,第二缺口384也可由多个子缺口组成,只需其总尺寸满足相关要求。

[0040] 第二实施例

[0041] 如图8所示,第二实施例的薄膜晶体管阵列基板与第一实施例的薄膜晶体管阵列基板的结构基本相似,区别在于,第二实施例的像素电极38上仅开设第二缺口384,未开设第一缺口382,通过开设第二缺口384减小像素电极38第二侧的耦合电容,且使减小的耦合电容基本等于源极336与漏极338之间耦合电容即可。

[0042] 第三实施例

[0043] 如图9所示,第三实施例的薄膜晶体管阵列基板与第一实施例的薄膜晶体管阵列基板的结构基本相似,区别在于,第三实施例的像素电极38上开设的第一缺口382和第二缺口384的尺寸与第一实施例不同,第一缺口382的边缘与靠近第一侧的数据线40之间的距离W1小于漏极338与源极336之间的距离W2,第一缺口382的长度L1等于漏极338与源极336具有电容耦合作用位置的长度L2,第二缺口384的边缘与数据线40之间存在电容耦合作用,第

一缺口382的边缘与靠近第一侧的数据线40之间的距离W1小于第二缺口384的边缘与靠近第二侧的数据线40之间的距离W3,第二缺口384的长度L3等于第一缺口382的长度L1。这样,I处的耦合电容大于II处的耦合电容,且III处的耦合电容基本相当于I处和II处的耦合电容之差。相比第一实施例,本实施例对耦合电容的大小较难控制,可通过实验获得较佳的第一缺口382和第二缺口384的尺寸。

[0044] 第四实施例

[0045] 如图10所示,第四实施例的薄膜晶体管阵列基板与第一实施例的薄膜晶体管阵列基板的结构基本相似,区别在于,第四实施例的像素电极38上开设的第一缺口382和第二缺口384的位置与第一实施例不同,本实施例中,第一缺口382和第二缺口384开设于像素电极38的与第一端相对的第二端。可以理解,第一缺口382和第二缺口384还可开设于像素电极38的中部,也就是说,第一缺口382和第二缺口384在第一侧和第二侧的位置不受限制。

[0046] 第五实施例

[0047] 如图11所示,本发明还公开一种液晶显示面板,其包括上述薄膜晶体管阵列基板、彩膜基板50及设于薄膜晶体管阵列基板与彩膜基板50之间的液晶层70。

[0048] 以上仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制,虽然本发明已以较佳实施例揭露如上,然而并非用以限定本发明,任何熟悉本专业的技术人员,在不脱离本发明技术方案范围内,当可利用上述揭示的技术内容作出些许更动或修饰为等同变化的等效实施例,但凡是未脱离本发明技术方案内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰,均仍属于本发明技术方案的范围内。

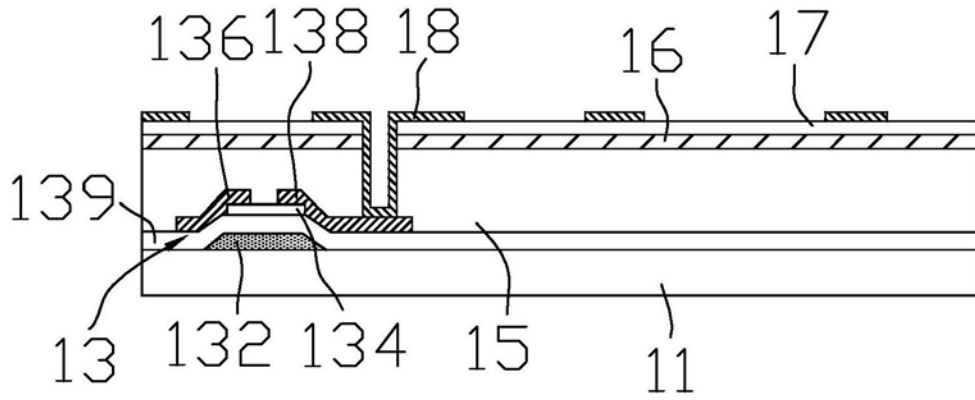


图1

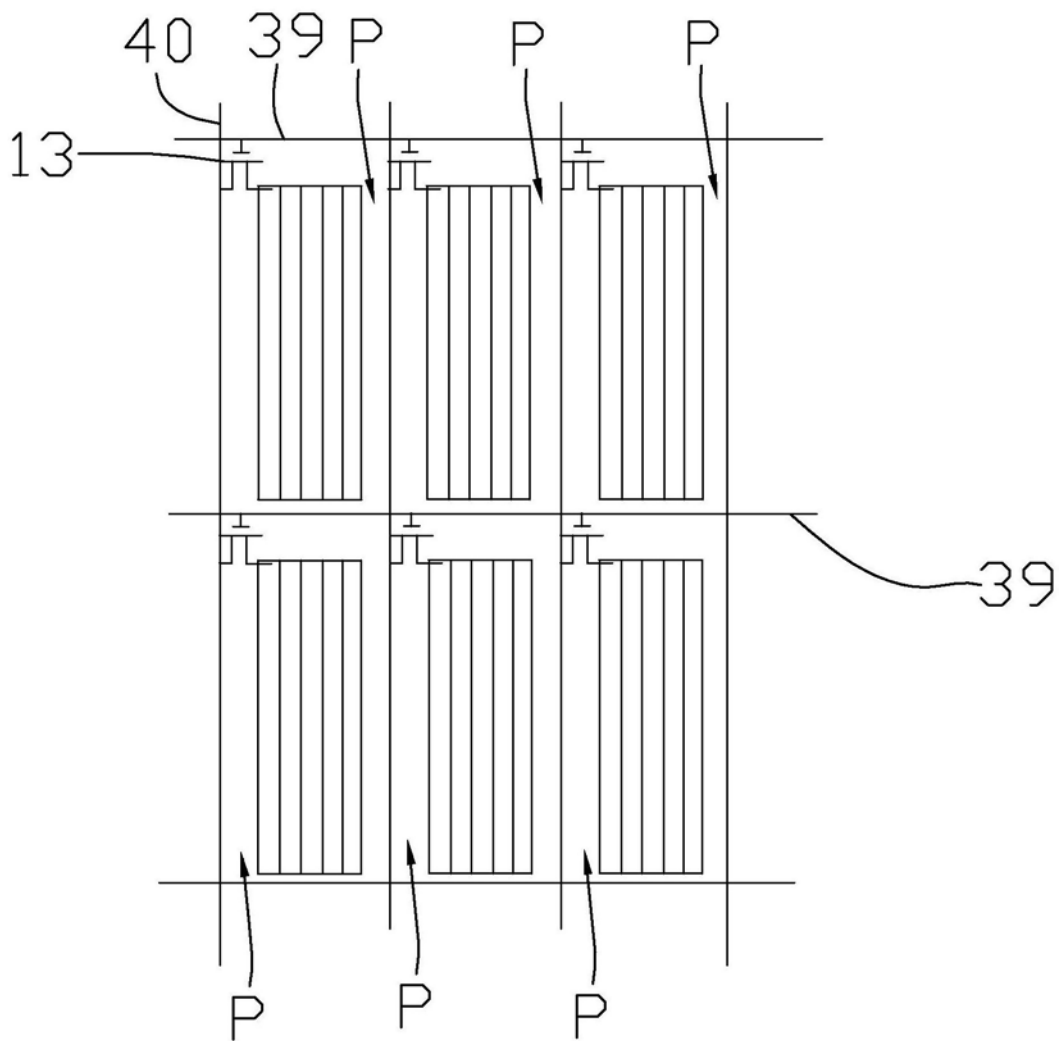


图2

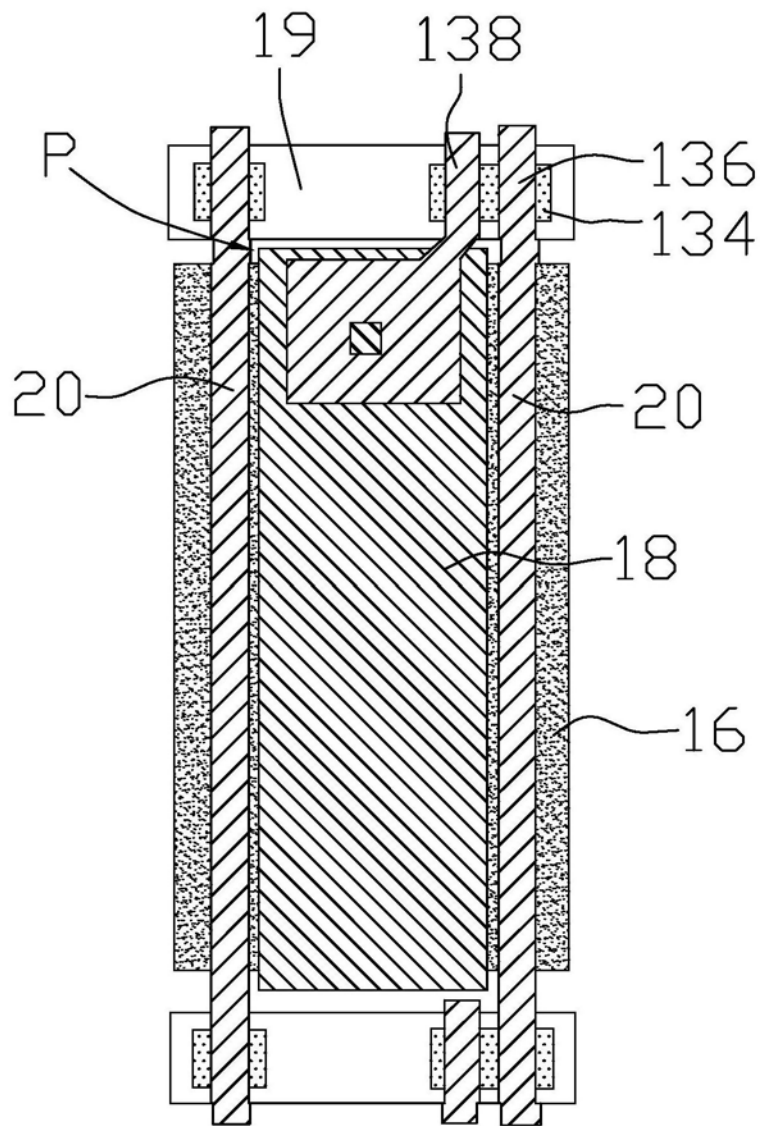


图3

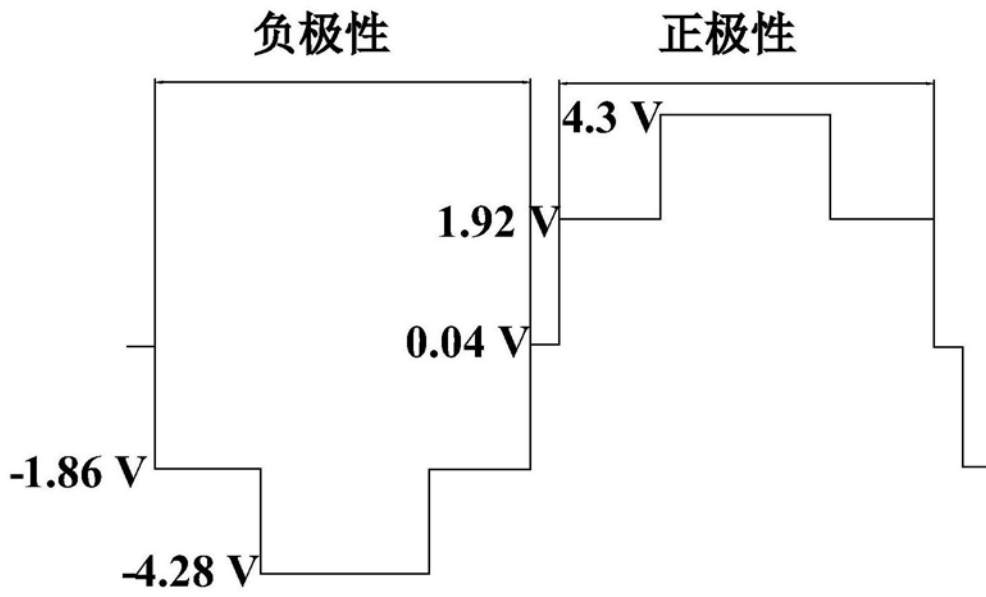


图4

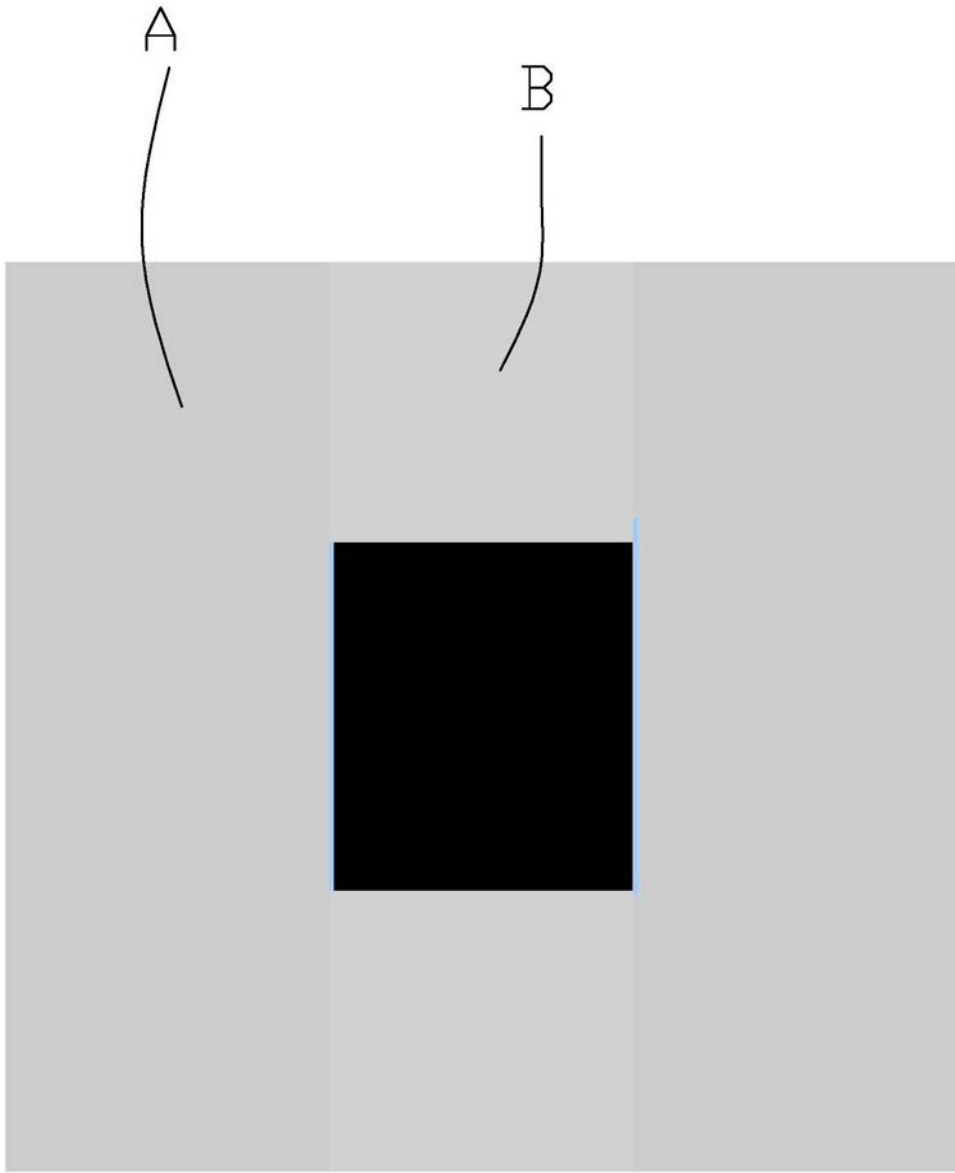


图5

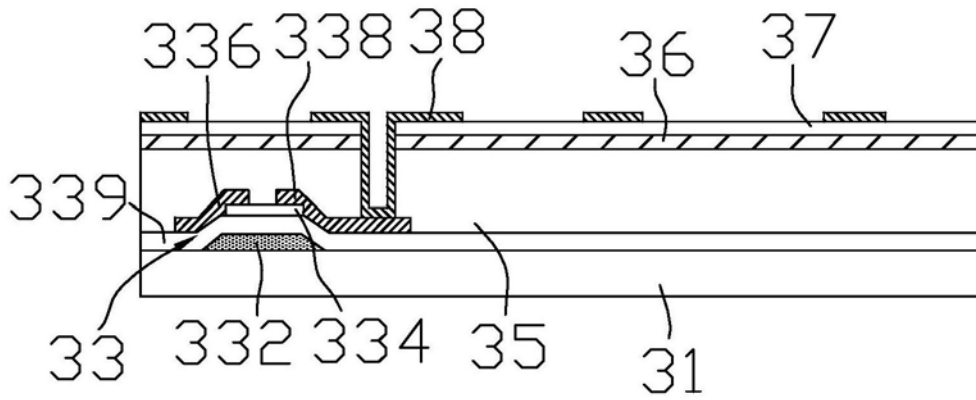


图6

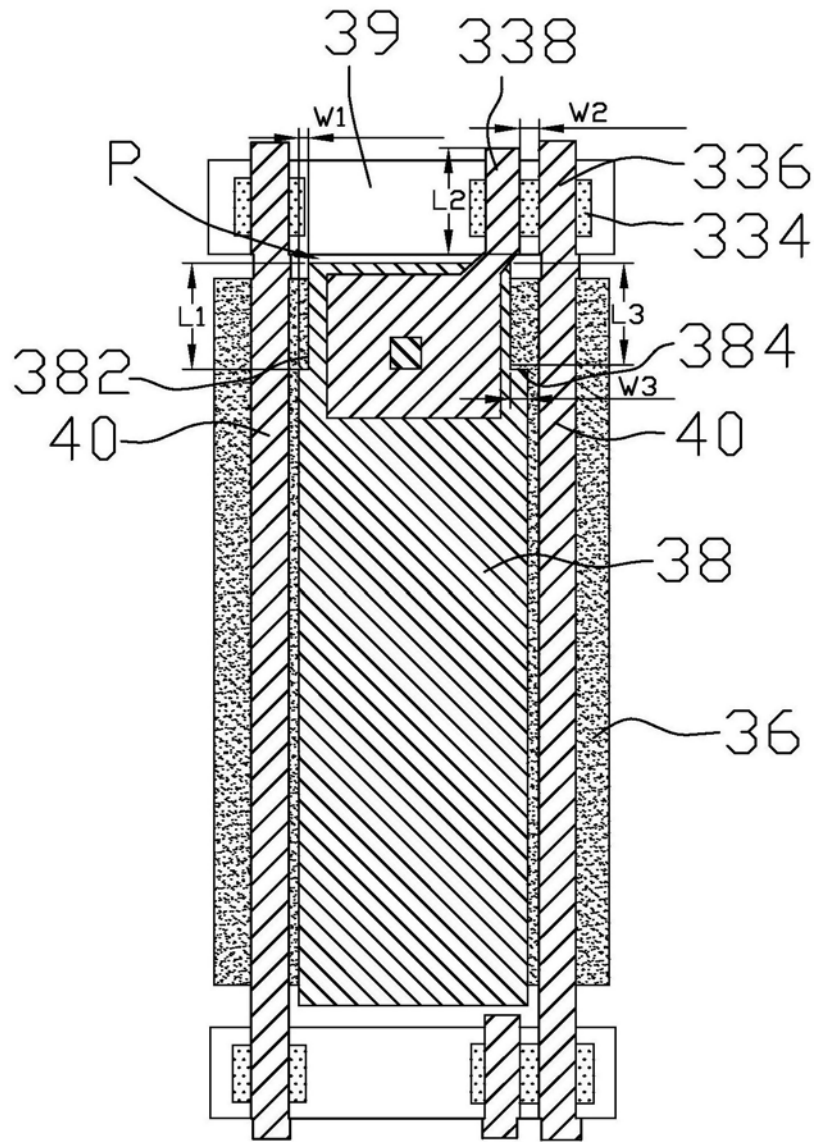


图7

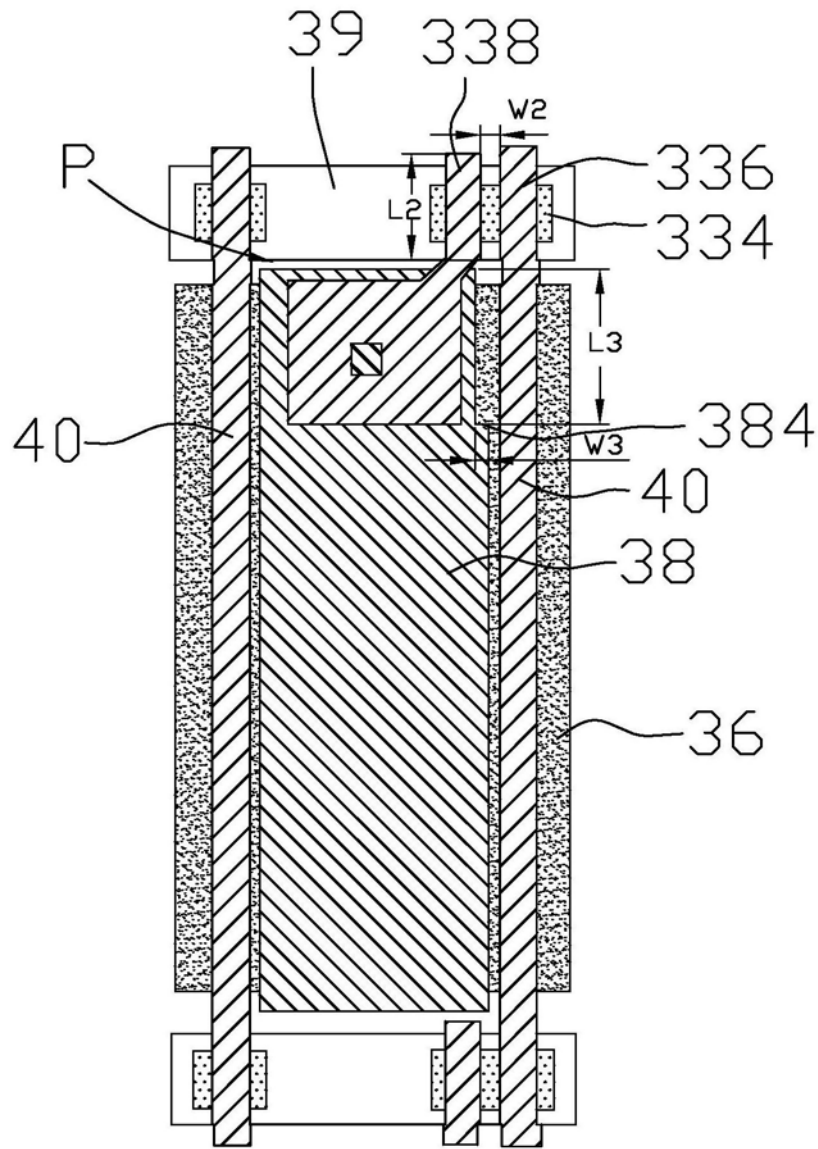


图8

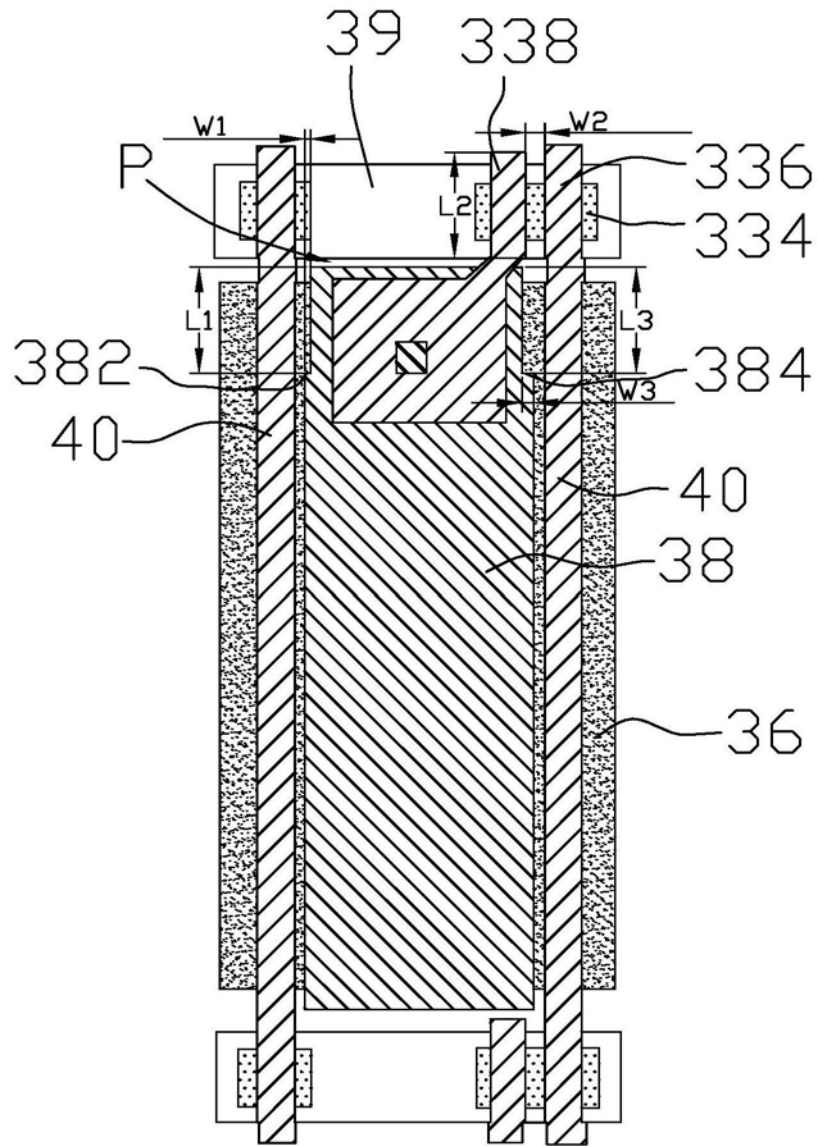


图9

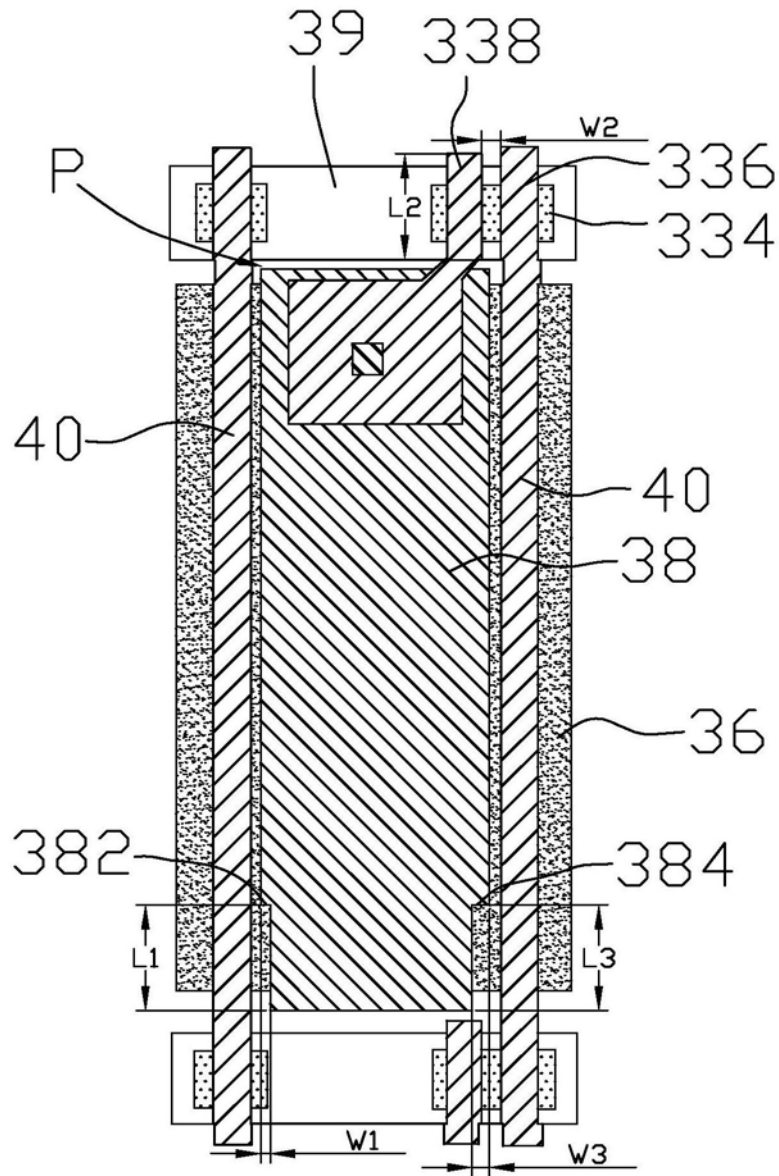


图10

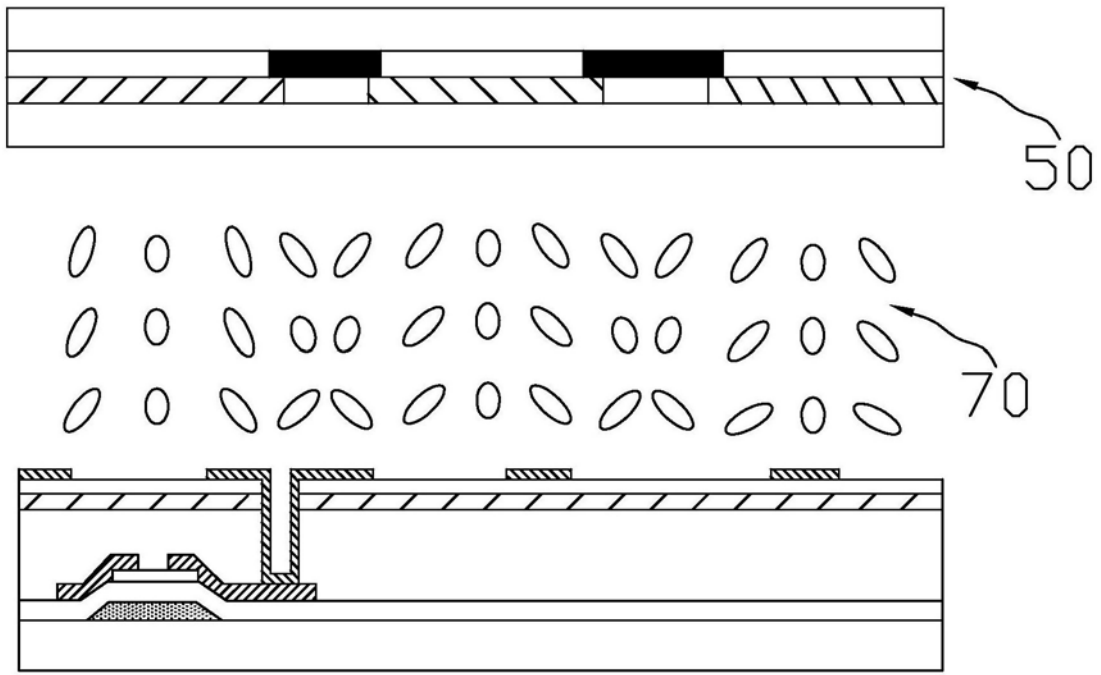


图11

专利名称(译)	薄膜晶体管阵列基板及液晶显示面板		
公开(公告)号	CN108983512A	公开(公告)日	2018-12-11
申请号	CN201810954958.2	申请日	2018-08-21
[标]申请(专利权)人(译)	昆山龙腾光电有限公司		
申请(专利权)人(译)	昆山龙腾光电有限公司		
当前申请(专利权)人(译)	昆山龙腾光电有限公司		
[标]发明人	柯中乔 段周雄 郭文豪 张鼎		
发明人	柯中乔 段周雄 郭文豪 张鼎		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/134309 G02F1/1362		
代理人(译)	李爱华		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种薄膜晶体管阵列基板及液晶显示面板，该薄膜晶体管阵列基板包括衬底、薄膜晶体管、公共电极和像素电极，薄膜晶体管阵列基板还包括由扫描线和数据线限定形成多个像素单元，薄膜晶体管包括栅极、半导体层、源极和漏极，每个像素单元的像素电极上开设有第一缺口和第二缺口，使得像素电极与靠近本像素单元第一侧的数据线的耦合电容与像素电极与靠近本像素单元第二侧的数据线的耦合电容基本相等。本发明提供的薄膜晶体管阵列基板及液晶显示面板，通过在像素电极上开设缺口，那么整个像素电极与两侧数据线之间的耦合电容就基本相等了，从而使两侧数据线对像素电极的耦合电压基本相同，从而避免或减弱串扰现象。

