



(12)发明专利申请

(10)申请公布号 CN 107272293 A

(43)申请公布日 2017. 10. 20

(21)申请号 201710718140.6

(22)申请日 2017.08.21

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 重庆京东方光电科技有限公司

(72)发明人 王恺 黄中浩 史高飞

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 郭润湘

(51)Int.Cl.

G02F 1/1362(2006.01)

G02F 1/1368(2006.01)

G02F 1/133(2006.01)

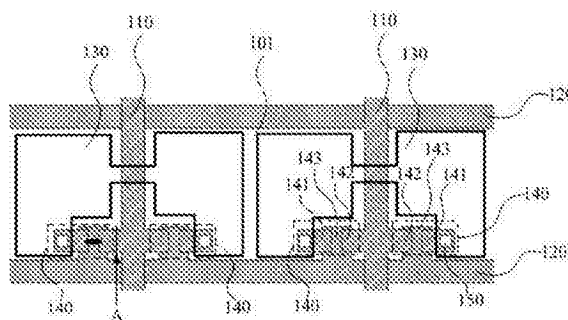
权利要求书1页 说明书5页 附图4页

(54)发明名称

一种阵列基板及液晶显示装置

(57)摘要

本发明公开了一种阵列基板及液晶显示装置。阵列基板包括多条平行的数据线和与所述数据线垂直相交的多条扫描线,所述数据线和所述扫描线在交叉处绝缘;所述阵列基板还包括像素电极,每个所述像素电极由n个共用同一条数据线和同一条扫描线的薄膜晶体管驱动,其中,n是大于等于2的正整数。液晶显示装置包括上述阵列基板。本发明的阵列基板及液晶显示装置,与现有技术相比,解决了现有的阵列基板的像素电极充电效率低的技术问题。



1. 一种阵列基板, 其特征在于, 包括多条平行的数据线和与所述数据线垂直相交的多条扫描线, 所述数据线和所述扫描线在交叉处绝缘;

所述阵列基板还包括像素电极, 每个所述像素电极由 n 个共用同一条数据线和同一条扫描线的薄膜晶体管驱动, 其中, n 是大于等于2的正整数。

2. 根据权利要求1所述的阵列基板, 其特征在于, 所述数据线和所述扫描线交叉定义出多个容置区域; 所述像素电极横跨相邻的两个容置区域及其之间的数据线或扫描线, 且所述像素电极与其所跨接的数据线或扫描线绝缘; 其中, 像素电极所跨接的数据线或扫描线为第一导电线, 与第一导电线相交的扫描线或数据线为第二导电线;

驱动同一个所述像素电极的 n 个薄膜晶体管共用该像素电极所跨接的第一导电线及共用与该第一导电线相交的第二导电线中的同一条第二导电线。

3. 根据权利要求2所述的阵列基板, 其特征在于, 驱动同一个所述像素电极的 n 个薄膜晶体管位于其所驱动的像素电极所跨接的第一导电线的两侧。

4. 根据权利要求3所述的阵列基板, 其特征在于, 驱动同一个所述像素电极的薄膜晶体管为两个。

5. 根据权利要求2所述的阵列基板, 其特征在于, 所述像素电极相对于其所跨接的数据线或扫描线对称。

6. 根据权利要求5所述的阵列基板, 其特征在于, 每个所述容置区域存在两个所述像素电极的局部, 且同一容置区域内的两个像素电极之间具有间隔。

7. 根据权利要求6所述的阵列基板, 其特征在于, 相邻的两个像素电极以两者所跨接的两个第一导电线的中线为轴对称设置。

8. 根据权利要求1所述的阵列基板, 其特征在于, 驱动同一个所述像素电极的 n 个薄膜晶体管的漏极与同一个像素电极连接, 驱动同一个所述像素电极的 n 个薄膜晶体管的源极与同一条数据线连接, 驱动同一个所述像素电极的 n 个薄膜晶体管的栅极与同一条扫描线连接;

驱动同一个所述像素电极的薄膜晶体管的源极和与之连接的数据线是一体化结构, 驱动同一个所述像素电极的薄膜晶体管的栅极和与之连接的扫描线是一体化结构。

9. 根据权利要求1至5任一所述的阵列基板, 其特征在于, 还包括公共电极和彩膜层; 所述彩膜层包括像素阵列且像素阵列的每个像素包括多个子像素;

子像素与像素电极一一对应; 调节所述像素电极的电压以实现调节所述像素电极和所述公共电极之间电场的强度。

10. 一种液晶显示装置, 其特征在于, 包括对盒的彩膜基板和阵列基板及填充于两者之间的液晶; 所述阵列基板采用权利要求1至9任一所述的阵列基板;

通过调节所述像素电极的电压以实现调节所述像素电极和所述公共电极之间电场的强度, 进而控制液晶的偏转以控制与所述像素电极对应的子像素的光的亮度。

一种阵列基板及液晶显示装置

技术领域

[0001] 本发明涉及液晶显示领域,特别涉及一种阵列基板及液晶显示装置。

背景技术

[0002] 在现有的薄膜晶体管液晶显示装置中,薄膜晶体管是关键部件。为了实现更好的显示品质,需要不断的改善薄膜晶体管的特性。而增加薄膜晶体管的沟道的宽长比,以增大薄膜晶体管的开启电流是目前研究的较多的一个方向。而薄膜晶体管的沟道的宽长比受到薄膜晶体管制造工艺的限制,因而在增大开启电流的程度上受到了限制,进而导致像素电极充电效率低。

发明内容

[0003] 本发明提供了一种阵列基板及液晶显示装置,与现有技术相比,解决了现有的阵列基板的像素电极充电效率低的技术问题。

[0004] 为达到上述目的,本发明提供以下技术方案:

[0005] 一种阵列基板,包括多条平行的数据线和与所述数据线垂直相交的多条扫描线,所述数据线和所述扫描线在交叉处绝缘;

[0006] 所述阵列基板还包括像素电极,每个所述像素电极由 n 个共用同一条数据线和同一条扫描线的薄膜晶体管驱动,其中, n 是大于等于2的正整数。

[0007] 作为一种可选的方式,所述数据线和所述扫描线交叉定义出多个容置区域;所述像素电极横跨相邻的两个容置区域及其之间的数据线或扫描线,且所述像素电极与其所跨接的数据线或扫描线绝缘;其中,像素电极所跨接的数据线或扫描线为第一导电线,与第一导电线相交的扫描线或数据线为第二导电线;

[0008] 驱动同一个所述像素电极的 n 个薄膜晶体管共用该像素电极所跨接的第一导电线及共用与该第一导电线相交的第二导电线中的同一条第二导电线。

[0009] 作为一种可选的方式,驱动同一个所述像素电极的 n 个薄膜晶体管位于其所驱动的像素电极所跨接的第一导电线的两侧。

[0010] 作为一种可选的方式,驱动同一个所述像素电极的薄膜晶体管为两个。

[0011] 作为一种可选的方式,所述像素电极相对于其所跨接的数据线或扫描线对称。

[0012] 作为一种可选的方式,每个所述容置区域存在两个所述像素电极的局部,且同一容置区域内的两个像素电极之间具有间隔。

[0013] 作为一种可选的方式,相邻的两个像素电极以两者所跨接的两个第一导电线的中线为轴对称设置。

[0014] 作为一种可选的方式,驱动同一个所述像素电极的 n 个薄膜晶体管的漏极与同一个像素电极连接,驱动同一个所述像素电极的 n 个薄膜晶体管的源极与同一条数据线连接,驱动同一个所述像素电极的 n 个薄膜晶体管的栅极与同一条扫描线连接;

[0015] 驱动同一个所述像素电极的薄膜晶体管的源极和与之连接的数据线是一体化结

构,驱动同一个所述像素电极的薄膜晶体管的栅极和与之连接的扫描线是一体化结构。

[0016] 作为一种可选的方式,还包括公共电极和彩膜层;所述彩膜层包括像素阵列且像素阵列的每个像素包括多个子像素;

[0017] 子像素与像素电极一一对应;调节所述像素电极的电压以实现调节所述像素电极和所述公共电极之间电场的强度。

[0018] 本发明提供以下技术方案:

[0019] 包括对盒的彩膜基板和阵列基板及填充于两者之间的液晶;所述阵列基板采用上述任一所述的阵列基板;

[0020] 通过调节所述像素电极的电压以实现调节所述像素电极和所述公共电极之间电场的强度,进而控制液晶的偏转以控制与所述像素电极对应的子像素的光的亮度。

[0021] 本发明提供的阵列基板包括多条平行的数据线和与数据线垂直相交的多条扫描线,数据线和扫描线在交叉处绝缘;阵列基板还包括像素电极,每个像素电极由n个共用同一条数据线和同一条扫描线的薄膜晶体管驱动。由于一个像素电极由n个共用同一条数据线和同一条扫描线的薄膜晶体管驱动,这样,在这驱动同一个像素电极的n个薄膜晶体管都能为像素电极充电时,可以将驱动同一个像素电极的n个薄膜晶体管可以等效为一个薄膜晶体管,这个等效的一个薄膜晶体管的沟道的宽长比是单个实际薄膜晶体管的沟道的宽长比的n倍。这样,增大了等效的一个薄膜晶体管的沟道的宽长比,进而增大了开启电流,提高了像素电极的充电效率。

附图说明

[0022] 图1为本发明的一个实施例的阵列基板的局部示意图;

[0023] 图2为本发明的另一个实施例的阵列基板的局部示意图;

[0024] 图3为本发明的又一个实施例的阵列基板的局部示意图;

[0025] 图4为本发明的再一个实施例的液晶显示装置的局部示意图。

[0026] 主要元件附图标记说明:

[0027] 101容置区域,110数据线,120扫描线,130像素电极,

[0028] 140薄膜晶体管,141漏极,142源极,143栅极,150过孔,

[0029] 210子像素,220公共电极。

具体实施方式

[0030] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0031] 实施例一

[0032] 本发明的实施例一的阵列基板,如图1和图2所示,包括多条平行的数据线110和与数据线垂直相交的多条扫描线120,数据线110和扫描线120在交叉处绝缘;

[0033] 阵列基板还包括像素电极130,每个像素电极130由n个共用同一条数据线和同一条扫描线的薄膜晶体管140驱动,其中,n是大于等于2的正整数。

[0034] 本实施例的阵列基板包括多条平行的数据线和与数据线垂直相交的多条扫描线，数据线和扫描线在交叉处绝缘；阵列基板还包括像素电极，每个像素电极由 n 个共用同一条数据线和同一条扫描线的薄膜晶体管驱动。由于一个像素电极由 n 个共用同一条数据线和同一条扫描线的薄膜晶体管驱动，这样，在这驱动同一个像素电极的 n 个薄膜晶体管都能为像素电极充电时，可以将驱动同一个像素电极的 n 个薄膜晶体管可以等效为一个薄膜晶体管，这个等效的一个薄膜晶体管的沟道的宽长比是单个实际薄膜晶体管的沟道的宽长比的 n 倍。这样，增大了等效的一个薄膜晶体管的沟道的宽长比，进而增大了开启电流，提高了像素电极的充电效率。现有技术的阵列基板中的每个像素电极由一个实际的薄膜晶体管驱动，而一个实际的薄膜晶体管的沟道的宽长比受到制造精度的限制，因而在增大开启电流的程度上受到了限制。薄膜晶体管的沟道是薄膜晶体管中的源极和漏极之间的区域，其中源极和漏极之间的距离为沟道的宽度，源极和漏极在与沟道的宽度方向相垂直方向的长度为沟道的长度。

[0035] 现有技术的阵列基板中的一个像素电极由一个薄膜晶体管驱动，当这唯一的一个薄膜晶体管损坏不能为像素电极充电后，这个像素电极就无法充电。本发明中在驱动同一个像素电极的 n 个薄膜晶体管中的一个或部分损坏，不能为像素电极充电时，可以将损坏的薄膜晶体管切割断开使其不再驱动像素电极，其他薄膜晶体管仍然可以为该像素电极充电。同样是薄膜晶体管的损坏，本发明的阵列基板受到的影响更小。

[0036] 具体的，像素电极可以采用铟锡氧化物或掺铟氧化锌等透明金属氧化物形成。

[0037] 为了实现驱动同一个像素电极的 n 个薄膜晶体管能够实现对同一像素电极的驱动，如图1和图2所示，需要保证如下结构及连接：

[0038] 驱动同一个像素电极的 n 个薄膜晶体管的漏极141与同一个像素电极120连接，驱动同一个像素电极的 n 个薄膜晶体管的源极142与同一条数据线110连接，驱动同一个像素电极的 n 个薄膜晶体管的栅极143与同一条扫描线120连接。

[0039] 现有的制造薄膜晶体管的工艺经常使用单缝隙掩膜板，采用单缝隙掩膜板方式制造出的薄膜晶体管经常出现同一薄膜晶体管的源极和漏极直接连接发生短路的情形。现有技术的阵列基板中的一个像素电极由一个薄膜晶体管驱动，当这唯一的一个薄膜晶体管的源极和漏极之间发生短路后，这个像素电极就无法充电。本发明中在同一个薄膜晶体管的源极和漏极之间因导体如金属颗粒的连接发生短路后，金属颗粒在图1中用椭圆形表示将源极和漏极连接导致短路，可以将该短路的薄膜晶体管的源极与数据线在图1中A位置切割断开使其不再驱动像素电极，这样，其他的薄膜晶体管仍然可以为该像素电极充电。同样是一个薄膜晶体管的源极和漏极之间发生短路，本发明的阵列基板受到的影响更小。

[0040] 关于驱动同一个像素电极的 n 个薄膜晶体管共用的同一条数据线和同一条扫描线的位置，为了简化阵列基板的结构，降低对阵列基板的影响，如图1和图2所示，驱动同一个像素电极的 n 个薄膜晶体管与其共用的同一条数据线和同一条扫描线的位置采用如下位置：

[0041] 数据线110和扫描线120交叉定义出多个容置区域101；像素电极130横跨相邻的两个容置区域101及其之间的数据线110或扫描线120，且像素电极130与其所跨接的数据线110或扫描线120绝缘；图1为本发明的一个实施例的阵列基板的局部示意图，在图1所示的实施例中，像素电极130横跨相邻的两个容置区域101及其之间的数据线110；图2为本发明

的另一个实施例的阵列基板的局部示意图,在图2所示的实施例中,像素电极130横跨相邻的两个容置区域101及其之间的扫描线120;其中,像素电极所跨接的数据线或扫描线为第一导电线,与第一导电线相交的扫描线或数据线为第二导电线;

[0042] 驱动同一个像素电极的n个薄膜晶体管共用该像素电极所跨接的第一导电线及共用与该第一导电线相交的第二导电线中的同一条第二导电线。

[0043] 这样的位置,驱动同一个像素电极的n个薄膜晶体管共用的第一导电线和第二导电线都相对较近,有利于简化阵列基板的结构。

[0044] 如图1和图2所示,进一步限定像素电极130在跨接第一导电线的跨接处的尺寸,像素电极130在跨接处沿第一导电线的长度方向的长度小于像素电极130在容置区域101沿第一导电线的长度方向的长度。即像素电极和第一导电线在跨接处交叠部分较小。这样设置的优势在于,减少像素电极和第一导电线在跨接处交叠对阵列基板产生的影响。

[0045] 进一步限定驱动同一个像素电极的n个薄膜晶体管的位置,如图1和图2所示,驱动同一个像素电极的n个薄膜晶体管位于其所驱动的像素电极所跨接的第一导电线的两侧。

[0046] 这样的n个薄膜晶体管的位置,驱动同一个像素电极的n个薄膜晶体管距离共用的第一导电线和第二导电线都相对较近,有利于简化阵列基板的结构。

[0047] 如图1和图2所示,进一步限定驱动同一个像素电极的薄膜晶体管为两个。这样的阵列基板结构相对简单,加工艺较为简单。

[0048] 为了简化阵列基板的制造工艺,像素电极采用同一规律进行排布,像素电极相对于其所跨接的数据线或扫描线对称。规律化的像素电极的排布,有利于简化阵列基板的制造工艺,简化阵列基板的结构。

[0049] 作为一个具体的方式,像素电极横跨相邻的两个容置区域且这两个容置区域内都只有这一个像素电极的一部分。作为另外一种具体的方式,如图2所示,像素电极130横跨相邻的两个容置区域101内不仅有该像素电极130的一部分,而且还有相邻像素电极130的一部分,即每个容置区域101存在两个像素电极130的局部,且同一容置区域内的两个像素电极130之间具有间隔。具体像素电极的大小与阵列基板所配合使用的彩膜基板的子像素相配合。

[0050] 为了简化阵列基板的制造工艺,像素电极采用同一规律进行排布。具体的,如图1和图2所示,相邻的两个像素电极130以两者所跨接的两个第一导电线的中线为轴对称设置。规律化的像素电极的排布,有利于简化阵列基板的制造工艺,简化阵列基板的结构。

[0051] 为了进一步简化阵列基板的结构,如图1和图2所示,驱动同一个像素电极的薄膜晶体管的源极142和与之连接的数据线110是一体化结构,驱动同一个像素电极的薄膜晶体管的栅极143和与之连接的扫描线120是一体化结构。这样,驱动同一个像素电极的薄膜晶体管的源极和与之连接的数据线可以通过一次工艺直接形成,简化了阵列基板的制造工艺;驱动同一个像素电极的薄膜晶体管的栅极和与之连接的扫描线可以通过一次工艺直接形成,简化了阵列基板的制造工艺。

[0052] 关于漏极和像素电极之间的连接,如图1和图2所示,通过下述方式实现:

[0053] 漏极和像素电极之间具有绝缘层,且在漏极142和绝缘层上设置有过孔150,漏极和像素电极通过孔150和电连接结构连接。

[0054] 实施例二

[0055] 本发明的实施例二的阵列基板,如图3和图4所示,相对于图1和图2所示的阵列基板的区别在于,本发明的实施例二的阵列基板还包括公共电极220和彩膜层;所述彩膜层包括像素阵列且像素阵列的每个像素包括多个子像素210;

[0056] 子像素210与像素电极130一一对应;调节所述像素电极130的电压以实现调节所述像素电极130和所述公共电极220之间电场的强度。

[0057] 关于像素,可以是包括红色子像素(R),绿色子像素(G)和蓝色子像素(B)的像素,或者可以是包括红色子像素(R),绿色子像素(G),蓝色子像素(B)和白色子像素(W)的像素等等方式。

[0058] 本实施例的阵列基板是公共电极和彩膜层都设置在阵列基板的具体例子。

[0059] 本发明的阵列基板,公共电极和彩膜层可以设置在阵列基板上,也可以不设置在阵列基板上而设置在彩膜基板上。

[0060] 实施例三

[0061] 本发明的实施例二提供了一种液晶显示装置,包括对盒的彩膜基板和阵列基板及填充于两者之间的液晶;所述阵列基板实施例一或实施例二任一所述的阵列基板;

[0062] 通过调节所述像素电极的电压以实现调节所述像素电极和所述公共电极之间电场的强度,进而控制液晶的偏转以控制与所述像素电极对应的子像素的光的亮度。

[0063] 本实施例的液晶显示装置,通过调节所述像素电极的电压以实现调节所述像素电极和所述公共电极之间电场的强度,进而控制液晶的偏转以控制与所述像素电极对应的子像素的光的亮度。同时,驱动同一个像素电极的薄膜晶体管是 n 个,在这驱动同一个像素电极的 n 个薄膜晶体管都能为像素电极充电时,将驱动同一个像素电极的 n 个薄膜晶体管可以等效为一个薄膜晶体管,这个等效的一个薄膜晶体管的沟道的宽长比是单个实际薄膜晶体管的沟道的宽长比的 n 倍。这样,可以认为增大了等效的一个薄膜晶体管的沟道的宽长比,进而增大了开启电流,提高了液晶显示装置的显示质量。另外,在驱动同一个像素电极的 n 个薄膜晶体管中的一个薄膜晶体管的源极和漏极之间发生短路后,如图3中所示,椭圆形结构将源极和漏极连接导致短路,可以将该短路的薄膜晶体管的源极与数据线在图1中A位置切割断开使其不再驱动像素电极,这样,其他的薄膜晶体管仍然可以为该像素电极充电。另外,在驱动同一个像素电极的 n 个薄膜晶体管中的一个或部分损坏后,可以将所损坏的薄膜晶体管所负责充电的像素电极的部分在图3中B位置切割掉,可以实现未损坏的薄膜晶体管对剩余的像素电极的充电不受影响或受到的影响较小,即对剩余的像素电极的电压的调节不受影响或受到的影响较小,进而剩余的像素电极和公共电极之间的液晶层中的电场的强度不受影响或受到的影响较小,降低了剩余的像素电极对应的子像素发生色偏的几率。现有技术中的液晶显示装置的阵列基板中的一个像素电极由一个薄膜晶体管驱动,当这唯一的一个薄膜晶体管损坏不能为像素电极充电后,这个像素电极就无法充电,与之对应的子像素就显示为暗点。因此,本发明的液晶显示装置极大的降低了子像素出现暗点的几率,极大的提高了本发明的液晶显示装置良率和显示质量。

[0064] 显然,本领域的技术人员可以对本发明实施例进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

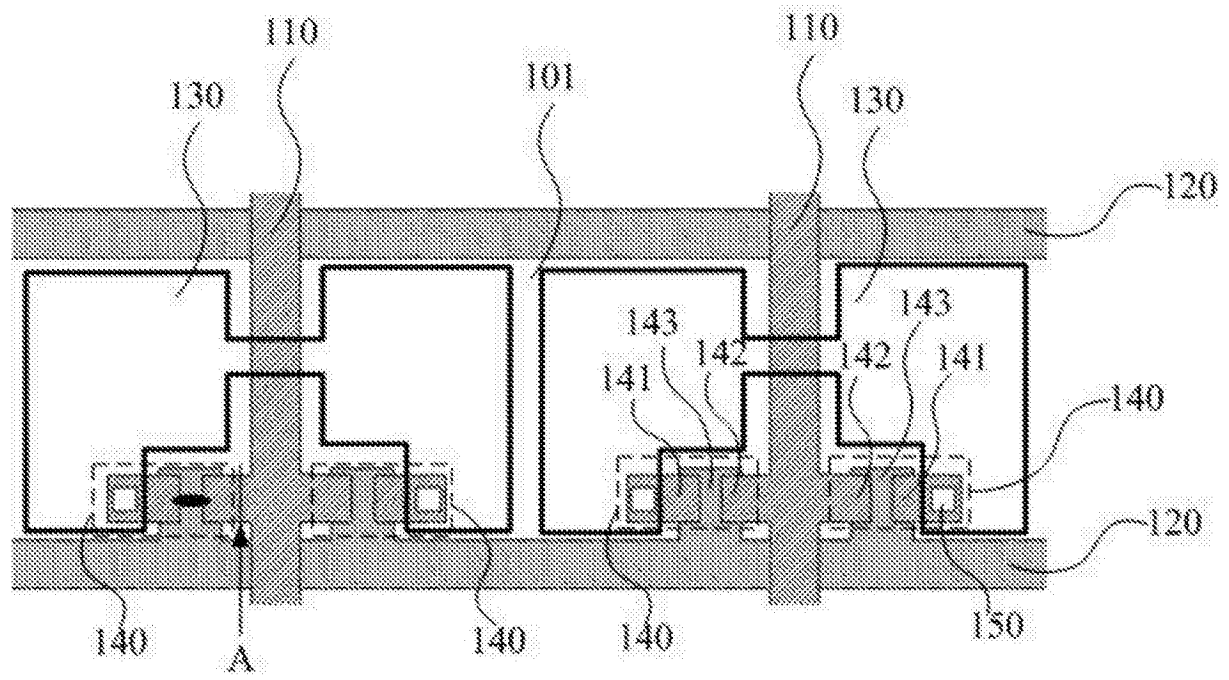


图1

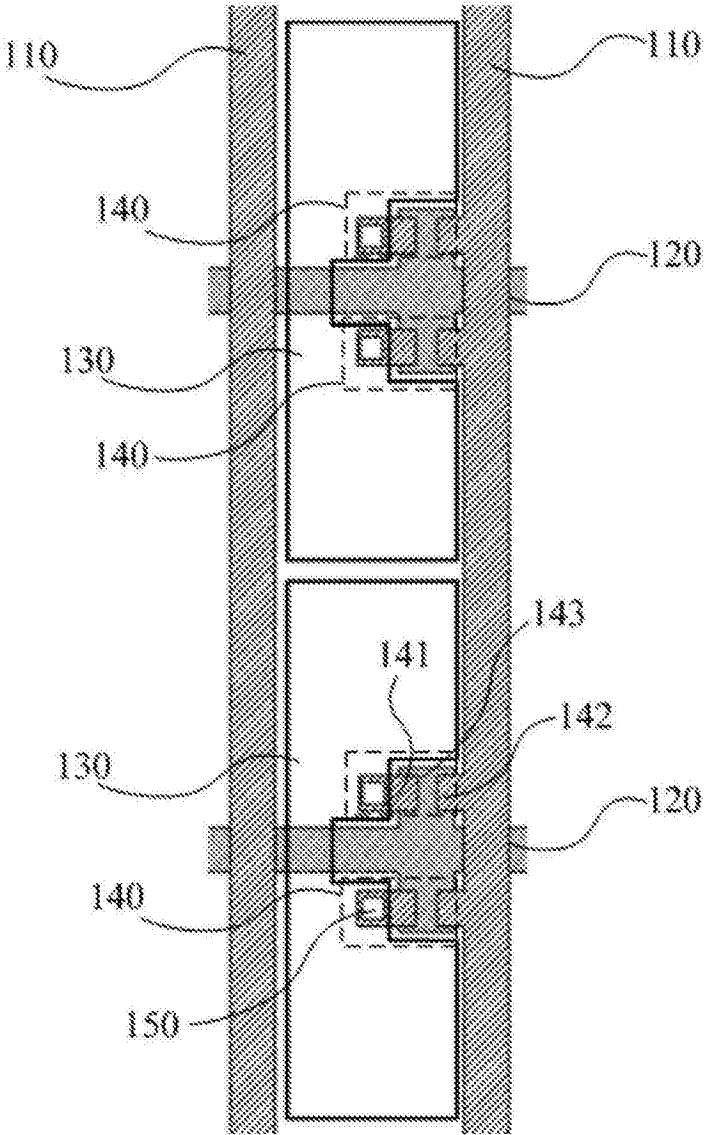


图2

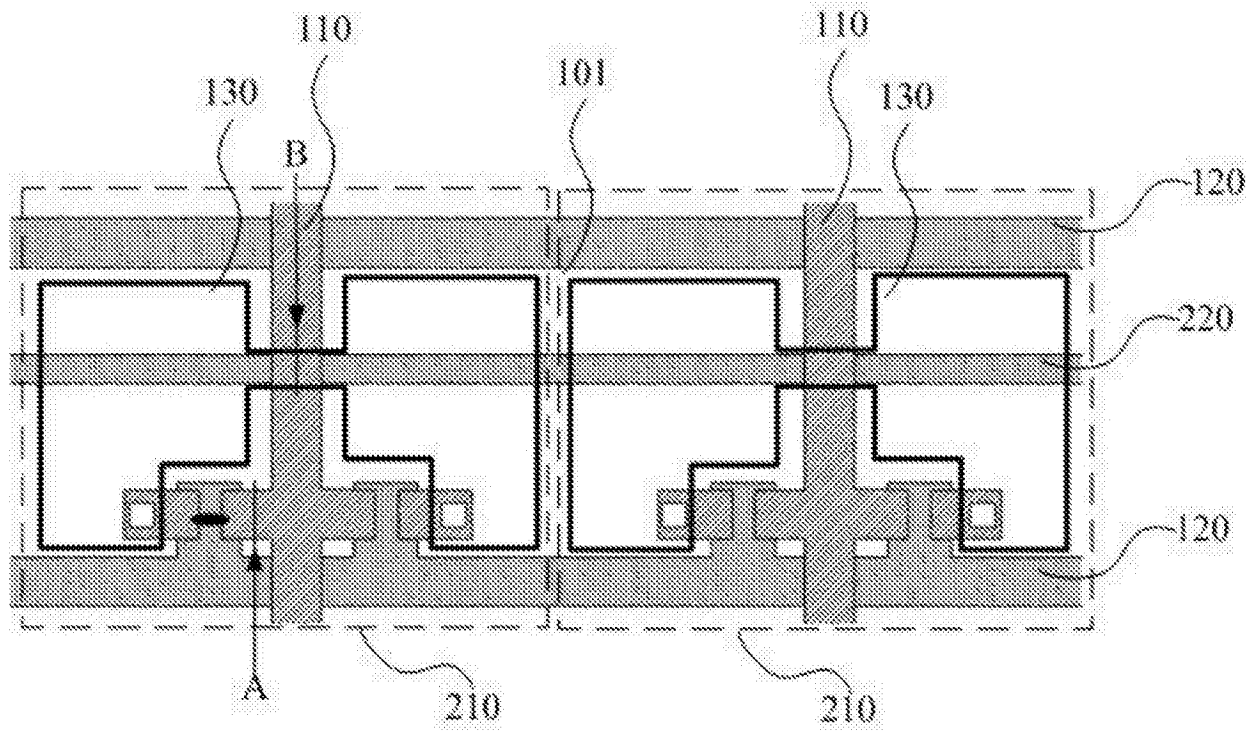


图3

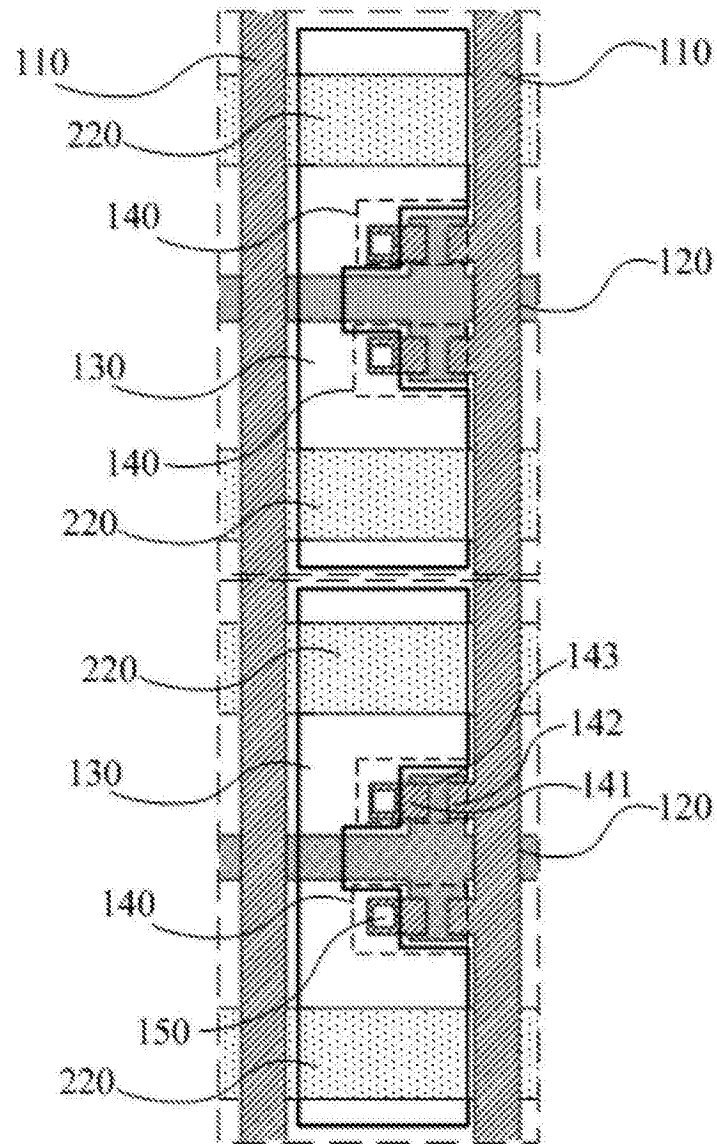


图4

专利名称(译)	一种阵列基板及液晶显示装置		
公开(公告)号	CN107272293A	公开(公告)日	2017-10-20
申请号	CN201710718140.6	申请日	2017-08-21
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 重庆京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 重庆京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 重庆京东方光电科技有限公司		
[标]发明人	王恺 黄中浩 史高飞		
发明人	王恺 黄中浩 史高飞		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/133		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板及液晶显示装置。阵列基板包括多条平行的数据线和与所述数据线垂直相交的多条扫描线，所述数据线和所述扫描线在交叉处绝缘；所述阵列基板还包括像素电极，每个所述像素电极由n个共用同一条数据线和同一条扫描线的薄膜晶体管驱动，其中，n是大于等于2的正整数。液晶显示装置包括上述阵列基板。本发明的阵列基板及液晶显示装置，与现有技术相比，解决了现有的阵列基板的像素电极充电效率低的技术问题。

