

1. 一种像素结构,其特征在于,包括多个呈M行N列排布的像素单元、M条扫描线、N条数据线、公共线以及公共电极;所述像素单元包括主像素单元以及从像素单元;

第X行Y列的从像素单元包括第二像素电极、第二薄膜晶体管、第二存储电容、第三存储电容,该第二像素电极与该第二薄膜晶体管的漏极连接,该第二薄膜晶体管的栅极与该第X行的扫描线连接;

该第二像素电极与该公共线局部相互正对形成所述第二存储电容,该第二像素电极与第X-1行的扫描线局部相互正对形成所述第三存储电容,其中,该M、N、X以及Y均为大于1的正整数。

2. 根据权利要求1所述的像素结构,其特征在于,该第X行Y列的从像素单元还包括第二液晶电容,该第二像素电极与该公共电极局部相互正对形成所述第二液晶电容。

3. 根据权利要求2所述的像素结构,其特征在于,该第X行Y列的主像素单元包括第一像素电极、第一薄膜晶体管以及第一液晶电容,该第一像素电极与该第一薄膜晶体管的漏极连接,该第一薄膜晶体管的源极与该第Y列的数据线连接,该第一薄膜晶体管的栅极与该第X行的扫描线连接;

所述第一像素电极与该公共电极局部相互正对形成所述第一液晶电容。

4. 根据权利要求3所述的像素结构,其特征在于,该第X行Y列的主像素单元还包括第一存储电容,所述第一像素电极与该公共线局部相互正对形成所述第一存储电容。

5. 根据权利要求4所述的像素结构,其特征在于,还包括驱动单元,该驱动单元分别与该M条扫描线连接,其用于输出三阶驱动电压至该M条扫描线。

6. 一种液晶显示面板,其特征在于,包括像素结构,该像素结构包括多个呈M行N列排布的像素单元、M条扫描线、N条数据线、公共线以及公共电极;所述像素单元包括主像素单元以及从像素单元;

第X行Y列的从像素单元包括第二像素电极、第二薄膜晶体管、第二存储电容、第三存储电容,该第二像素电极与该第二薄膜晶体管的漏极连接,该第二薄膜晶体管的栅极与该第X行的扫描线连接;

该第二像素电极与该公共线局部相互正对形成所述第二存储电容,该第二像素电极与第X-1行的扫描线局部相互正对形成所述第三存储电容,其中,该M、N、X以及Y均为大于1的正整数。

7. 根据权利要求6所述的液晶显示面板,其特征在于,该第X行Y列的从像素单元还包括第二液晶电容,该第二像素电极与该公共电极局部相互正对形成所述第二液晶电容。

8. 根据权利要求7所述的液晶显示面板,其特征在于,该第X行Y列的主像素单元包括第一像素电极、第一薄膜晶体管以及第一液晶电容,该第一像素电极与该第一薄膜晶体管的漏极连接,该第一薄膜晶体管的源极与该第Y列的数据线连接,该第一薄膜晶体管的栅极与该第X行的扫描线连接;

所述第一像素电极与该公共电极局部相互正对形成所述第一液晶电容。

9. 根据权利要求8所述的液晶显示面板,其特征在于,该第X行Y列的主像素单元还包括第一存储电容,所述第一像素电极与该公共线局部相互正对形成所述第一存储电容。

10. 根据权利要求9所述的液晶显示面板,其特征在于,还包括驱动单元,该驱动单元分别与该M条扫描线连接,其用于输出三阶驱动电压至该M条扫描线。

像素结构及液晶显示面板

技术领域

[0001] 本发明涉及液晶显示领域,特别是涉及一种像素结构及液晶显示面板。

背景技术

[0002] 液晶显示器(LCD,Liquid Crystal Display)是最广泛使用的平板显示器之一,LCD包括设置有场发生电极诸如像素电极和公共电极的一对面板以及设置在两个面板之间的液晶(LC,Liquid Crystal)层。当电压被施加到场发生电极从而在LC层中产生电场,该电场决定了液晶层中的LC分子的取向,从而调整入射到液晶层的光的偏振,使LCD显示图像。

[0003] 现有技术中的液晶显示面板存在开口率较低的缺陷。

[0004] 因此,现有技术存在缺陷,急需改进。

发明内容

[0005] 本发明的目的在于提供一种改进的像素结构及液晶显示面板。

[0006] 为解决上述问题,本发明提供的技术方案如下:

[0007] 本发明提供一种像素结构,包括多个呈M行N列排布的像素单元、M条扫描线、N条数据线、公共线以及公共电极;所述像素单元包括主像素单元以及从像素单元;

[0008] 第X行Y列的从像素单元包括第二像素电极、第二薄膜晶体管、第二存储电容、第三存储电容,该第二像素电极与该第二薄膜晶体管的漏极连接,该第二薄膜晶体管的栅极与该第X行的扫描线连接;

[0009] 该第二像素电极与该公共线局部相互正对形成所述第二存储电容,该第二像素电极与第X-1行的扫描线局部相互正对形成所述第三存储电容,其中,该M、N、X以及Y均为大于1的正整数。

[0010] 在本发明所述的像素结构,其特征在于,该第X行Y列的从像素单元还包括第二液晶电容,该第二像素电极与该公共电极局部相互正对形成所述第二液晶电容。

[0011] 在本发明所述的像素结构中,该第X行Y列的主像素单元包括第一像素电极、第一薄膜晶体管以及第一液晶电容,该第一像素电极与该第一薄膜晶体管的漏极连接,该第一薄膜晶体管的源极与该第Y列的数据线连接,该第一薄膜晶体管的栅极与该第X行的扫描线连接;

[0012] 所述第一像素电极与该公共电极局部相互正对形成所述第一液晶电容。

[0013] 在本发明所述的像素结构中,该第X行Y列的主像素单元还包括第一存储电容,所述第一像素电极与该公共线局部相互正对形成所述第一存储电容。

[0014] 在本发明所述的像素结构中,还包括驱动单元,该驱动单元分别与该M条扫描线连接,其用于输出三阶驱动电压至该M条扫描线。

[0015] 本发明还提供了一种液晶显示面板,包括像素结构,该像素结构包括多个呈M行N列排布的像素单元、M条扫描线、N条数据线、公共线以及公共电极;所述像素单元包括主像素单元以及从像素单元;

[0016] 第X行Y列的从像素单元包括第二像素电极、第二薄膜晶体管、第二存储电容、第三存储电容,该第二像素电极与该第二薄膜晶体管的漏极连接,该第二薄膜晶体管的栅极与该第X行的扫描线连接;

[0017] 该第二像素电极与该公共线局部相互正对形成所述第二存储电容,该第二像素电极与第X-1行的扫描线局部相互正对形成所述第三存储电容。

[0018] 在本发明所述的液晶显示面板中,该第X行Y列的从像素单元还包括第二液晶电容,该第二像素电极与该公共电极局部相互正对形成所述第二液晶电容。

[0019] 在本发明所述的液晶显示面板中,该第X行Y列的主像素单元包括第一像素电极、第一薄膜晶体管以及第一液晶电容,该第一像素电极与该第一薄膜晶体管的漏极连接,该第一薄膜晶体管的源极与该第Y列的数据线连接,该第一薄膜晶体管的栅极与该第X行的扫描线连接;

[0020] 所述第一像素电极与该公共电极局部相互正对形成所述第一液晶电容。

[0021] 在本发明所述的液晶显示面板中,该第X行Y列的主像素单元还包括第一存储电容,所述第一像素电极与该公共线局部相互正对形成所述第一存储电容。

[0022] 在本发明所述的液晶显示面板中,还包括驱动单元,该驱动单元分别与该M条扫描线连接,其用于输出三阶驱动电压至该M条扫描线。

[0023] 为让本发明的上述内容能更明显易懂,下文特举优选实施例,并配合所附图式,作详细说明如下:

[0024] 本发明提供的像素结构通过将从像素单元的存储电容分为两步分,第二像素电极与该公共线局部相互正对形成所述第二存储电容,该第二像素电极与第X-1行的扫描线局部相互正对形成所述第三存储电容,从而使得可以通过调整该两部分存储电容的比例来调整第二存储电容以及第三存储电容的比例,以及调整该三阶驱动电压的二阶电压 V_{ss1} 以及三阶电压 V_{ss2} 的大小,从而保证一帧画面内一个像素单元的一半偏亮一半偏暗,并且亮暗情况随着像素单元的极性变化而转变,比传统的3T结构始终从像素单元暗于主像素单元,穿透率大大提升。

附图说明

[0025] 图1是本发明一优选实施例中的像素结构的透视结构图。

[0026] 图2是本发明图1所示实施例中的像素结构的电路原理图。

[0027] 图3是本发明图1所示实施例中的像素结构的信号时序图。

具体实施方式

[0028] 以下各实施例的说明是参考附加的图式,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。

[0029] 在图中,结构相似的单元是以相同标号表示。

[0030] 请同时参照图1以及图2,在本发明的优选实施例中,该像素结构包括:包括多个呈M行N列排布的像素单元40、N条数据线10、M条扫描线20、公共线30以及公共电极(未示出)。

其中,每一像素单元40包括主像素单元42以及从像素单元41。

[0031] 该第X行Y列的主像素单元42包括第一薄膜晶体421、第一像素电极422、第一存储电容424、第一液晶电容C1c1以及第一连接金属层423。该第一像素电极422与该第一薄膜晶体管421的漏极连接,该第一薄膜晶体管421的源极与该第Y列的数据线10连接,该第一薄膜晶体管421的栅极与该第X行的扫描线20连接。该第一薄膜晶体管421的漏极与该第一连接金属层423电连接,该第一连接金属层423通过过孔与该第一像素电极422电连接。该第一连接金属层423、该薄膜晶体管421位于同一层。该M、N、X以及Y均为大于1的正整数。

[0032] 该第一像素电极422与公共电极局部相互正对以形成该第一液晶电容C1c1,该第一像素电极422与该公共线局部相互正对形成该第一存储电容424。

[0033] 该第X行Y列的从像素单元41包括第二像素电极412、第二薄膜晶体管411、第二存储电容415、第二连接金属层413、第三存储电容414以及第二液晶电容C1c2。该第二薄膜晶体管411的漏极与该第二连接金属层413连接,该第二连接金属层413通过过孔与该第二像素电极412电连接。该第二薄膜晶体管411的栅极与该第X行的扫描线20连接。该第二像素电极412的源极与第Y列的数据线10连接。该第二连接金属层413、该第二薄膜晶体管411位于同一层。

[0034] 该第二像素电极412与该公共线30局部相互正对形成该第二存储电容424,该第二像素电极412与第X-1行的扫描线20局部相互正对形成所述第三存储电容414。该第二像素电极412与公共电极局部相互正对以形成该第二液晶电容C1c2。

[0035] 可以理解地,在一些实施例中该像素结构还包括一驱动单元,该驱动单元用于发送三阶驱动电压至该M条扫描线10。

[0036] 如图3所示,当扫描到第X行时,第X行的扫描信号为Vgh,当扫描到第X+1行时第X行的信号为Vss1,当扫描到第X+2时,第X行的信号为Vss2。为了防止色偏,主像素单元42与该从像素单元41的压差要等于 ΔV ,则 ΔV 公式应满足如下方程式:

$$[0037] \quad \Delta V = -(V_{ss2} - V_{ss1}) \frac{C_{st3}}{C_{st1} + C_{st3} + C_{1c1}}$$

[0038] 其中Vss1和Vss2分别表示栅极关闭时的二阶和三阶电位,Cst1表示从像素单元41的第二存储电容424的电容值,Cst3表示从像素单元41的第三存储电容414的电容值,C1c1表示从像素单元41的第二液晶电容的电容值。可通过调整Cst3和Cst2的比例以及Vss2和Vss1的压差来调节 ΔV 的大小,当Vss2小于Vss1时 ΔV 始终为正,在该像素单元40为正极性时,该从像素单元41的亮度大于主像素单元45的亮度,在像素单元40为负极性的时候从像素单元41的亮度小于主像素单元42的亮度。在一帧画面内有该像素单元40一半偏亮一半偏暗,整体亮度不发生变化(Vss2大于Vss1时同理),比传统的从像素始终暗于主像素单元时的穿透率大大提升。

[0039] 由上可知,本发明提供的像素结构通过将从像素单元的存储电容分为两步分,第二像素电极与该公共线局部相互正对形成所述第二存储电容,该第二像素电极与第X-1行的扫描线局部相互正对形成所述第三存储电容,从而使得可以通过调整该两部分存储电容的比例来调整第二存储电容以及第三存储电容的比例,以及调整该三阶驱动电压的二阶电压Vss1以及三阶电压Vss2的大小,从而保证一帧画面内一个像素单元的一半偏亮一半偏暗,并且亮暗情况随着像素单元的极性变化而转变,比传统的3T结构始终从像素单元暗于

主像素单元,穿透率大大提升。

[0040] 本发明还提供了一种液晶显示面板,其包括上述实施例中的像素结构。该像素结构包括:包括多个呈M行N列排布的像素单元40、N条数据线10、M条扫描线20、公共线30以及公共电极(未示出)。其中,每一像素单元40包括主像素单元42以及从像素单元41。

[0041] 该第X行Y列的主像素单元42包括第一薄膜晶体421、第一像素电极422、第一存储电容424、第一液晶电容C1c1以及第一连接金属层423。该第一像素电极422与该第一薄膜晶体管421的漏极连接,该第一薄膜晶体管421的源极与该第Y列的数据线10连接,该第一薄膜晶体管421的栅极与该第X行的扫描线20连接。该第一薄膜晶体管421的漏极与该第一连接金属层423电连接,该第一连接金属层423通过过孔与该第一像素电极422电连接。该第一连接金属层423、该薄膜晶体管421位于同一层。

[0042] 该第一像素电极422与公共电极局部相互正对以形成该第一液晶电容C1c1,该第一像素电极422与该公共线局部相互正对形成该第一存储电容424。

[0043] 该第X行Y列的从像素单元41包括第二像素电极412、第二薄膜晶体管411、第二存储电容415、第二连接金属层413、第三存储电容414以及第二液晶电容C1c2。该第二薄膜晶体管411的漏极与该第二连接金属层413连接,该第二连接金属层413通过过孔与该第二像素电极412电连接。该第二薄膜晶体管411的栅极与该第X行的扫描线20连接。该第二像素电极412的源极与第Y列的数据线10连接。该第二连接金属层413、该第二薄膜晶体管411位于同一层。

[0044] 该第二像素电极412与该公共线30局部相互正对形成该第二存储电容424,该第二像素电极412与第X-1行的扫描线20局部相互正对形成所述第三存储电容414。该第二像素电极412与公共电极局部相互正对以形成该第二液晶电容C1c2。

[0045] 可以理解地,在一些实施例中该像素结构还包括一驱动单元,该驱动单元用于发送三阶驱动电压至该M条扫描线10。

[0046] 如图3所示,当扫描到第X行时,第X行的扫描信号为Vgh,当扫描到第X+1行时第X行的信号为Vss1,当扫描到第X+2时,第X行的信号为Vss2。为了防止色偏,主像素单元42与该从像素单元41的压差要等于 ΔV ,则 ΔV 公式应满足如下方程式:

$$[0047] \quad \Delta V = -(V_{ss2} - V_{ss1}) \frac{C_{st3}}{C_{st1} + C_{st3} + C_{1c1}}$$

[0048] 其中Vss1和Vss2分别表示栅极关闭时的二阶和三阶电位,Cst1表示从像素单元41的第二存储电容424的电容值,Cst3表示从像素单元41的第三存储电容414的电容值,C1c1表示从像素单元41的第二液晶电容的电容值。可通过调整Cst3和Cst2的比例以及Vss2和Vss1的压差来调节 ΔV 的大小,当Vss2小于Vss1时 ΔV 始终为正,在该像素单元40为正极性时,该从像素单元41的亮度大于主像素单元45的亮度,在像素单元40为负极性的时候从像素单元41的亮度小于主像素单元42的亮度。在一帧画面内有该像素单元40一半偏亮一半偏暗,整体亮度不发生变化(Vss2大于Vss1时同理),比传统的从像素始终暗于主像素单元时的穿透率大大提升。

[0049] 由上可知,本发明提供的像素结构通过将从像素单元的存储电容分为两步分,第二像素电极与该公共线局部相互正对形成所述第二存储电容,该第二像素电极与第X-1行的扫描线局部相互正对形成所述第三存储电容,从而使得可以通过调整该两部分存储电容

的比例来调整第二存储电容以及第三存储电容的比例,以及调整该三阶驱动电压的二阶电压 V_{ss1} 以及三阶电压 V_{ss2} 的大小,从而保证一帧画面内一个像素单元的一半偏亮一半偏暗,并且亮暗情况随着像素单元的极性变化而转变,比传统的3T结构始终从像素单元暗于主像素单元,穿透率大大提升。

[0050] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

专利名称(译)	像素结构及液晶显示面板		
公开(公告)号	CN106226962A	公开(公告)日	2016-12-14
申请号	CN201610593863.3	申请日	2016-07-25
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	徐向阳		
发明人	徐向阳		
IPC分类号	G02F1/1362 G02F1/1368		
CPC分类号	G02F1/136213 G02F1/136227 G02F1/136286 G02F1/1368		
代理人(译)	黄威		
其他公开文献	CN106226962B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种像素结构及液晶显示面板，该像素结构包括多个呈M行N列排布的像素单元、M条扫描线、N条数据线、公共线以及公共电极；所述像素单元包括主像素单元以及从像素单元；该第X行Y列的从像素单元包括第二像素电极、第二薄膜晶体管、第二存储电容、第三存储电容，该第二像素电极与该第二薄膜晶体管的漏极连接，该第二薄膜晶体管的栅极与该第X行的扫描线连接；该第二像素电极与该公共线局部相互正对形成所述第二存储电容，该第二像素电极与第X-1行的扫描线局部相互正对形成所述第三存储电容。本发明具有提高液晶显示面板的开口率的有益效果。

