



(12)发明专利申请

(10)申请公布号 CN 106154665 A

(43)申请公布日 2016. 11. 23

(21)申请号 201610668931.8

(22)申请日 2016.08.15

(71)申请人 昆山龙腾光电有限公司

地址 215301 江苏省苏州市昆山市龙腾路1号

(72)发明人 邹忠飞 李海波 郑会龙 何钰莹

(74)专利代理机构 上海波拓知识产权代理有限公司 31264

代理人 杨波

(51) Int. Cl.

G02F 1/1362(2006.01)

G02F 1/1343(2006.01)

G02F 1/1333(2006.01)

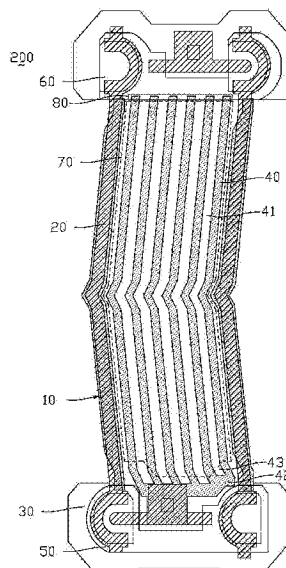
权利要求书1页 说明书6页 附图6页

(54)发明名称

搭配负性液晶使用的像素结构、阵列基板和显示面板

(57)摘要

一种搭配负性液晶使用的像素结构、阵列基板和显示面板,该像素结构包括:多条数据线和多条扫描线;多个像素单元,由多条数据线和多条扫描线交叉形成;其中,多个像素单元中的每个像素单元包括:薄膜晶体管;像素电极,像素电极包括与薄膜晶体管电性连接的第一端和与第一端相对设置且远离薄膜晶体管的第二端,像素电极还包括多个电极条,相邻两电极条之间形成狭缝;其中,在像素电极的第二端,多个电极条以直线延伸至相邻像素单元中的薄膜晶体管的位置处,且相邻两电极条之间的狭缝的端部为敞开设置。相对于现有技术,该像素结构能够进一步提高穿透率。



1. 一种搭配负性液晶使用的像素结构,其特征在于,包括:

多条数据线和多条扫描线;

多个像素单元,由所述多条数据线和所述多条扫描线交叉形成;

其中,所述多个像素单元中的每个像素单元包括:

薄膜晶体管;

像素电极,所述像素电极包括与所述薄膜晶体管电性连接的第一端和与所述第一端相对设置且远离所述薄膜晶体管的第二端,所述像素电极还包括多个电极条,相邻两所述电极条之间形成狭缝;

其中,在所述像素电极的所述第二端,所述多个电极条以直线延伸至相邻所述像素单元中的所述薄膜晶体管的位置处,且相邻两所述电极条之间的所述狭缝的端部为敞开设置。

2. 如权利要求1所述的搭配负性液晶使用的像素结构,其特征在于,在所述像素电极的所述第一端,还设置一横向电极,所述多个电极条通过所述横向电极连接在一起。

3. 如权利要求2所述的搭配负性液晶使用的像素结构,其特征在于,在所述像素电极的所述第一端,每一所述狭缝具有一个拐角区,且所述拐角区被所述横向电极封闭。

4. 如权利要求1所述的搭配负性液晶使用的像素结构,其特征在于,所述像素电极的所述多个电极条分别与所述数据线平行。

5. 一种阵列基板,其特征在于,包括如权利要求1至4中任一项所述的搭配负性液晶使用的像素结构。

6. 如权利要求5所述的阵列基板,其特征在于,所述像素单元还包括公共电极。

7. 如权利要求6所述的阵列基板,其特征在于,所述公共电极位于所述像素电极的上方或下方。

8. 一种显示面板,其特征在于,包括阵列基板、与所述阵列基板相对设置的彩膜基板以及位于所述阵列基板和所述彩膜基板之间的液晶层,所述液晶层由负性液晶分子形成,所述阵列基板为权利要求7所述的阵列基板。

搭配负性液晶使用的像素结构、阵列基板和显示面板

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种搭配负性液晶使用的像素结构、阵列基板和显示面板。

背景技术

[0002] FFS(fringe field switching,边缘场转换技术)显示技术中,像素电极和公共电极形成在同一个基板(即阵列基板)上。图1是现有技术中一种像素结构100的示意图。如图1所示,像素电极由连接在一起的多个电极条110形成,相邻的电极条110之间形成狭缝120。FFS显示技术通常使用正性液晶,因为正性液晶具有响应电压低等诸多优点。在使用正性液晶的场合,为了增大穿透率,在像素电极的末端设置有横向电极140,在每个电极条110的末端增设有拐角130,利用横向电极140将各个电极条110末端的拐角130连接起来,使电场和液晶分子存在一个夹角,液晶分子可以一定程度上转动,减少暗区。

[0003] 随着技术的进步,负性液晶的性能得到显著提高,其应用也越发广泛。而像素结构的设计仍沿用旧有的方案。像素电极110末端设置的横向电极140和拐角130,限制了穿透率的进一步提高,却没有技术人员质疑在使用负性液晶的场合横向电极140和拐角130存在的必要性。

发明内容

[0004] 本发明的目的是提供一种搭配负性液晶使用的像素结构,相对于现有技术,该像素结构能够进一步提高穿透率。

[0005] 本发明的实施例提供的解决其技术问题的技术方案如下:

[0006] 一种搭配负性液晶使用的像素结构,包括:多条数据线和多条扫描线;多个像素单元,由多条数据线和多条扫描线交叉形成;其中,多个像素单元中的每个像素单元包括:薄膜晶体管;像素电极,像素电极包括与薄膜晶体管电性连接的第一端和与第一端相对设置且远离薄膜晶体管的第二端,像素电极还包括多个电极条,相邻两电极条之间形成狭缝;其中,在像素电极的第二端,多个电极条以直线延伸至相邻像素单元中的薄膜晶体管的位置处,且相邻两电极条之间的狭缝的端部为敞开设置。

[0007] 本发明较佳实施例中,在像素电极的第一端,还设置一横向电极,多个电极条通过横向电极连接在一起。

[0008] 本发明较佳实施例中,在像素电极的第一端,每一狭缝具有一个拐角区,且拐角区被横向电极封闭。

[0009] 本发明较佳实施例中,像素电极的多个电极条分别与数据线平行。

[0010] 本发明实施例还提供一种阵列基板,包括上述搭配负性液晶使用的像素结构。

[0011] 本发明较佳实施例中,像素单元还包括公共电极。

[0012] 本发明较佳实施例中,公共电极位于像素电极的上方或下方。

[0013] 本发明实施例还提供一种显示面板,包括阵列基板、与阵列基板相对设置的彩膜

基板以及位于阵列基板和彩膜基板之间的液晶层,液晶层由负性液晶分子形成,阵列基板为上述阵列基板。

[0014] 本实施例提供的搭配负性液晶使用的像素结构,去掉了现有技术中像素电极一端的横向电极和拐角,并延展了像素电极狭缝的长度,使得整个像素单元的穿透率极大的提高,通过实验数据可以验证这种效果。

附图说明

[0015] 图1为现有技术中一种像素结构的示意图。

[0016] 图2为本发明实施例提供的像素结构的示意图。

[0017] 图3为图2中像素电极的示意图。

[0018] 图4为图1和图2中像素结构在未遮BM时的穿透效果的比较示意图。

[0019] 图5为图1和图2中像素结构在遮BM时的穿透效果的比较示意图。

[0020] 图6为图1和图2中像素结构的穿透率的对比图。

[0021] 图7为本发明实施例提供的阵列基板的结构示意图。

[0022] 图8为本发明实施例提供的显示面板的结构示意图。

具体实施方式

[0023] 为更进一步阐述本发明为达成预定发明目的所采取的技术方式及功效,以下结合附图及较佳实施例,对本发明的具体实施方式、结构、特征及其功效,详细说明如后。

[0024] 首先需要说明的是,由于响应电压低等诸多优于负性液晶的特点,正性液晶的使用要早于负性液晶。后来,随着技术的进步,负性液晶的性能得到显著改善,其应用也愈发广泛。正性液晶与负性液晶之间有很多共同点,他们之间的差异较少有技术人员关注。所以,在使用负性液晶的产品中,技术人员直接采用使用正性液晶的产品的像素结构。

[0025] 换言之,本领域技术人员普遍认为使用负性液晶的产品和使用正性液晶的产品应该采用相同的像素结构。然而,对使用正性液晶的产品和使用负性液晶的产品之间的差异进行研究,从而研究出更加适合于使用负性液晶的产品的像素结构是有意义的。

[0026] 本发明提出了一种与负性液晶搭配使用的像素结构,通过改进原有使用正性液晶的像素结构,从而增大了穿透率,并通过实验检验了这种效果。

[0027] 图2为本发明实施例提供的像素结构的示意图。如图2所示,本发明实施例提供一种像素结构200,该像素结构200应用于使用负性液晶的产品,该像素结构200包括:多条数据线20和多条扫描线30;多条数据线20和多条扫描线30交叉形成的多个像素单元10,其中一个像素单元10由相邻的两条数据线20和相邻的两条扫描线30交叉限定形成;其中,多个像素单元10中的每个像素单元10包括:像素电极40和薄膜晶体管50,其中,像素电极40的一端与薄膜晶体管50电性连接。

[0028] 图3为图2中像素电极的示意图。请结合图3,像素电极40具有与薄膜晶体管50电性连接的第一端40a和与该第一端相对设置且远离薄膜晶体管50的第二端40b。像素电极40包括多个电极条41,相邻电极条41之间形成狭缝42。在像素电极40的第一端40a,该多个电极条41通过横向电极43连接在一起,即在像素电极40的第一端40a,相邻电极条41之间的狭缝42的端部是封闭的;在像素电极40的第二端40b,该多个电极条41以直线延伸至相邻像素单

元中的薄膜晶体管60位置处,而且在像素电极40的第二端40b,相邻电极条41之间的狭缝42的端部是敞开的(即非封闭),换言之,在像素电极40的第二端40b,该多个电极条41没有通过横向电极连接在一起。

[0029] 需要说明的是,该多个电极条41以直线延伸至相邻像素单元中的薄膜晶体管60位置处,而非如现有技术那样在电极条41末端设置拐角,是因为在实验中发现,在电极条41末端设置拐角使得电场线偏转,该区域对应的负性液晶亦随之偏转,穿透率降低。而该多个电极条41以直线延伸至相邻像素单元中的薄膜晶体管60位置处,则不会有该问题。

[0030] 请同时参照图1,与现有技术相比,本发明实施例取消了像素电极的第二端上的横向电极140,使电极条41之间的狭缝42可以拉长并延伸至原来横向电极140所占据的区域。由于在像素电极40的第二端40b,相邻电极条41之间的狭缝42所占据的空间更大,从而穿透率可以提高。在使用负性液晶的产品上,这种结构设计可以提高像素单元10的穿透率,这一点可在下面实验中得到验证。

[0031] 图1中较大的虚线框150和较小的虚线框160分别表示现有技术中像素单元的中心透光区和较暗的边缘透光区,图2中较大的虚线框70和较小的虚线框80分别表示本发明实施例中像素单元的中心透光区和较暗的边缘透光区。通过比较可以发现,本发明实施例中的中心透光区较现有技术中的中心透光区大,而本发明实施例中较暗的边缘透光区比现有技术中较暗的边缘透光区小。请参阅图4和图5,图4为图1和图2中像素结构的在未遮BM时穿透效果的比较示意图,其中左图为图1(即现有技术)中像素结构的穿透效果示意图,其中右图为图2(即本发明实施例)中像素结构的穿透效果示意图;图5为图1和图2中像素结构的在遮BM时穿透效果的比较示意图,其中左图为图1(即现有技术)中像素结构的穿透效果示意图,其中右图为图2(即本发明实施例)中像素结构的穿透效果示意图。通过比较可见,本发明实施例较现有技术有效减小了暗区的面积,改善了像素结构的光穿透率。

[0032] 请同时参阅下表,下表是在给像素电极和公共电极之间施加的电压取不同值时,本发明实施例的穿透率和现有技术的穿透率。

[0033]

电压 (V)	穿透率 (本发明实施例)	穿透率 (现有技术)
0	0.06%	0.06%
0.2	0.06%	0.06%
0.4	0.06%	0.06%
0.6	0.06%	0.06%
0.8	0.07%	0.07%
1	0.08%	0.08%
1.2	0.12%	0.12%
1.4	0.20%	0.20%
1.6	0.34%	0.34%
1.8	0.61%	0.60%
2	1.04%	1.03%
2.2	1.65%	1.61%
2.4	2.36%	2.30%
2.6	3.11%	3.02%
2.8	3.82%	3.70%

[0034]	3	4.44%	4.30%
	3.2	4.97%	4.81%
	3.4	5.41%	5.23%
	3.6	5.76%	5.57%
	3.8	6.05%	5.85%
	4	6.27%	6.06%
	4.2	6.45%	6.23%
	4.4	6.58%	6.37%
	4.6	6.69%	6.47%
	4.8	6.76%	6.54%
	5	6.82%	6.60%
	5.2	6.86%	6.64%
	5.4	6.88%	6.66%
	5.6	6.89%	6.68%
	5.8	6.90%	6.68%
	6	6.89%	6.68%

[0035] 从上表可以看出,在施加于像素电极和公共电极之间的电压超过一定值之前,本发明实施例提供的像素结构的穿透率与现有技术中的像素结构的穿透率基本相同;在电压超过一定值之后,本发明实施例提供的像素结构的穿透率较现有技术中的像素结构的穿透率高,电压值越大,差异越明显。

[0036] 请同时参照图6,图6为图1的现有技术中的像素结构与图2的本发明实施例中的像素结构的穿透率对比图。通过上表及图6可以发现,相较于现有技术,本发明实施例较现有技术改善了像素结构的光穿透率。例如,由上表可以发现,在像素电极和公共电极之间施加的电压为5.6V时,相较于现有技术,本发明实施例的像素结构的穿透率提高了3.14%。

[0037] 作为优选的实例,像素电极40的多个电极条41分别与数据线20平行。

[0038] 本实施例中,在像素电极40与薄膜晶体管50连接的第一端40a设置有横向电极43将各个电极条41连接起来。在该第一端40a,每一狭缝42具有一个拐角区44,且该拐角区44的末端被横向电极43封闭。拐角区44可以增大像素结构的穿透率。

[0039] 图7为本发明实施例提供的阵列基板的结构示意图。请再参考图7,本发明实施例还提供一种阵列基板400,包括衬底基板410和形成在该衬底基板410上的像素结构200,该像素结构200为上述像素结构200。优选地,该阵列基板400中的像素单元10还包括公共电极(图未示),用于驱动负性液晶的像素电极40和公共电极(图未示)均形成在阵列基板400上,

像素电极40和公共电极(图未示)之间绝缘隔离。公共电极(图未示)可以位于像素电极40的上方或下方,本实施例中,公共电极(图未示)位于像素电极40的上方。

[0040] 如图8所示,本发明实施例还提供一种显示面板500,包括阵列基板400、与阵列基板400相对设置的彩膜基板510以及位于阵列基板400和彩膜基板510之间的液晶层520,液晶层520由负性液晶分子521形成。所述阵列基板400为上述阵列基板400。该显示面板500,在阵列基板400上同时形成有像素电极40和公共电极(图未示),形成为FFS模式的显示架构。

[0041] 本实施例提供一种与负性液晶搭配使用的像素结构、阵列基板和显示面板,通过改进原有使用正性液晶的像素结构,取消了现有技术中像素电极第二端上的横向电极,使像素电极的电极条之间的狭缝可以拉长并延伸至原来横向电极所占据的区域,使得电极条之间的狭缝所占据的空间更大,在搭配负性液晶使用时,提高了整个像素单元的穿透率。

[0042] 在本文中,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,除了包含所列的那些要素,而且还可包含没有明确列出的其他要素。

[0043] 在本文中,所涉及的前、后、上、下等方位词是以附图中零部件位于图中以及零部件相互之间的位置来定义的,只是为了表达技术方案的清楚及方便。应当理解,所述方位词的使用不应限制本申请请求保护的范围。

[0044] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

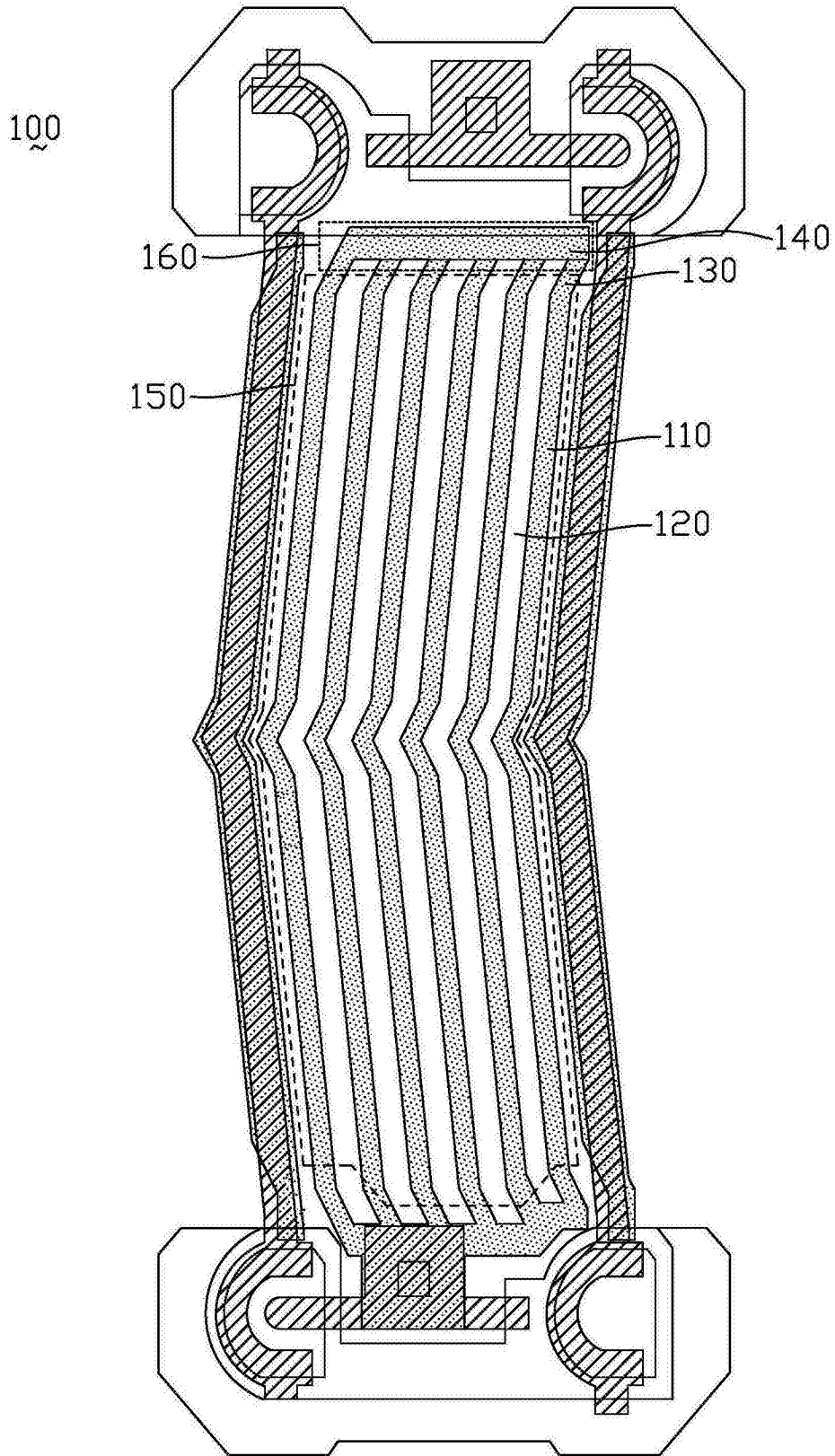


图1

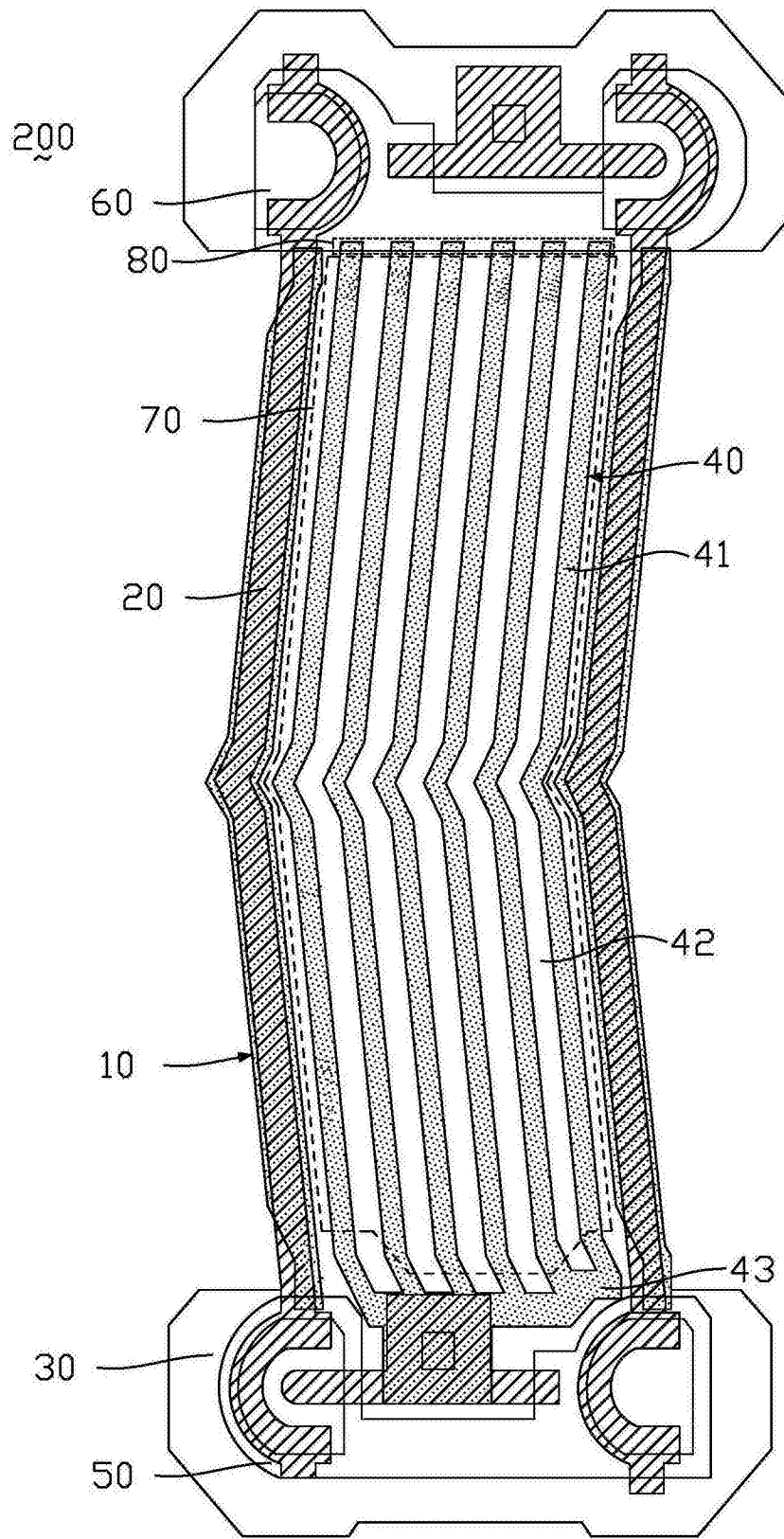


图2

40

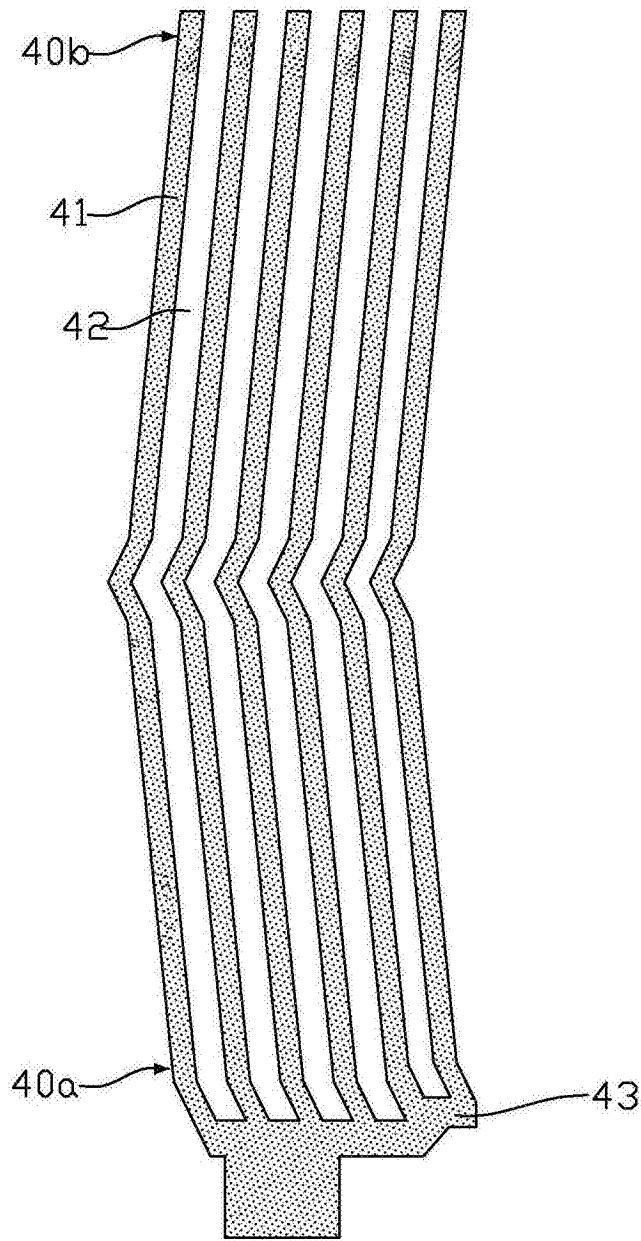


图3

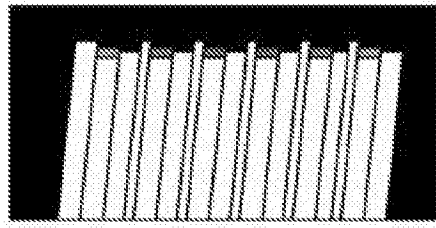
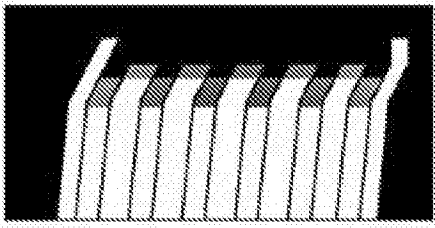


图4

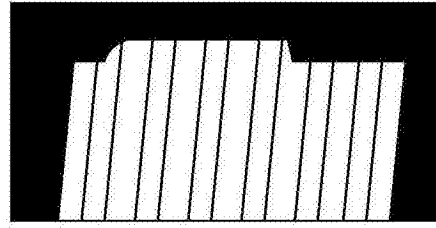
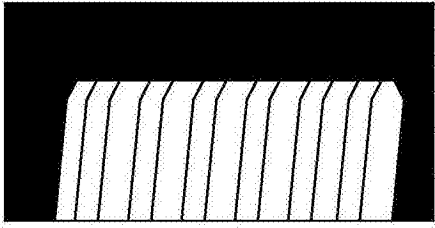


图5

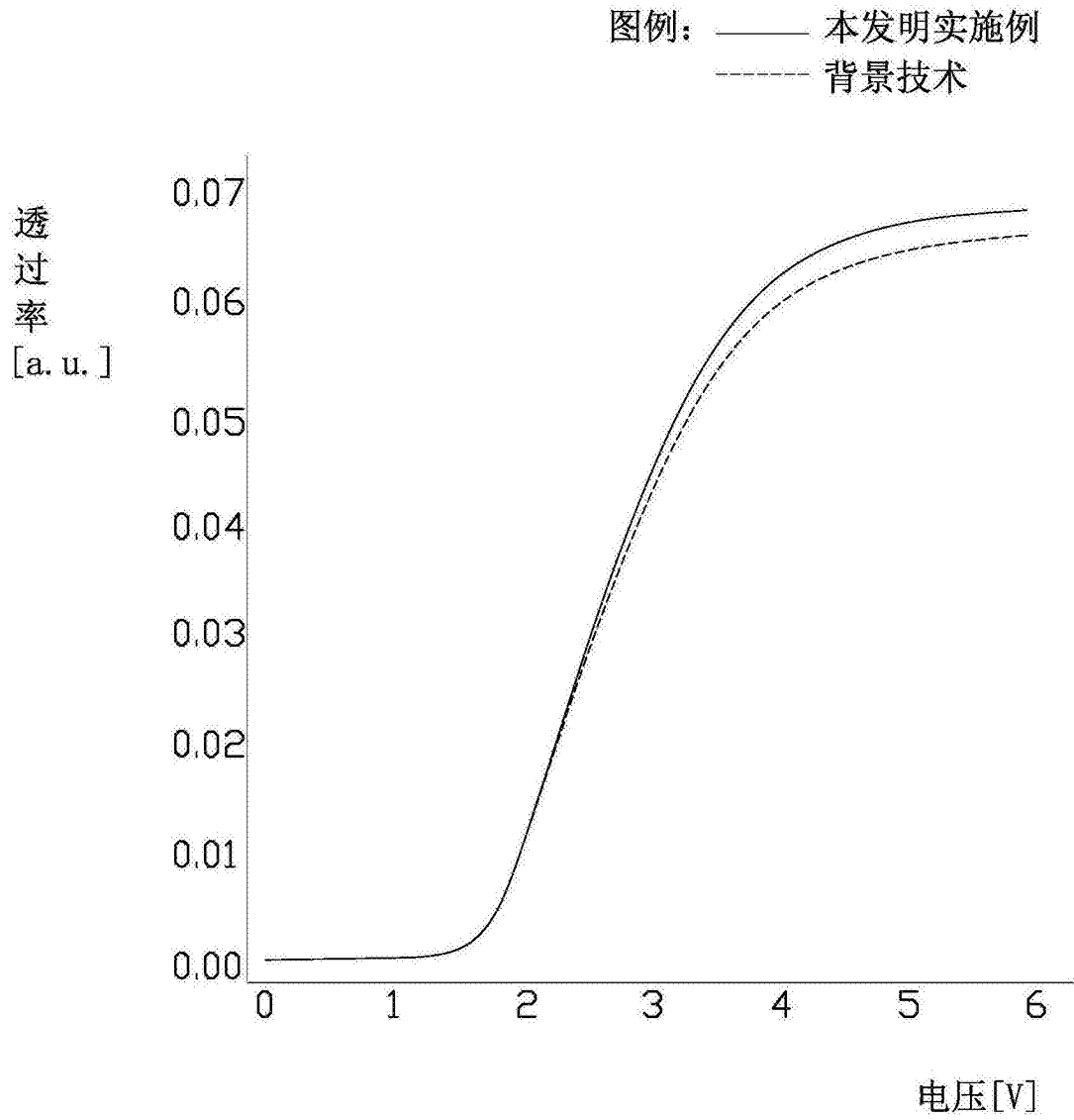


图6

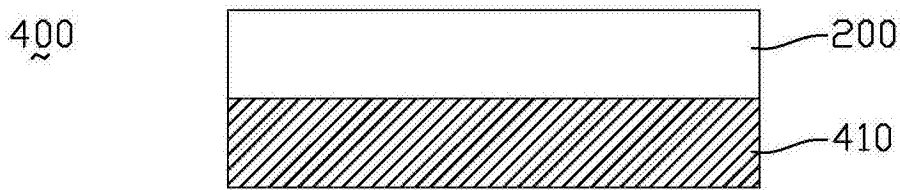


图7

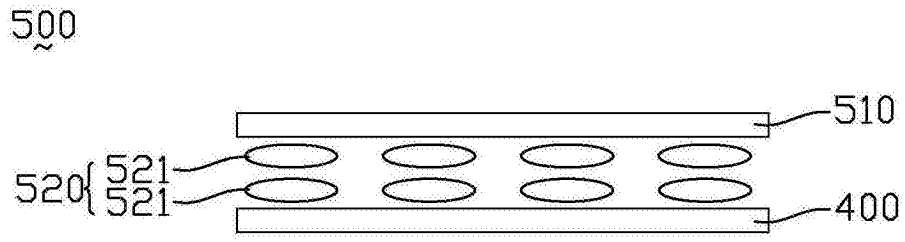


图8

专利名称(译)	搭配负性液晶使用的像素结构、阵列基板和显示面板		
公开(公告)号	CN106154665A	公开(公告)日	2016-11-23
申请号	CN201610668931.8	申请日	2016-08-15
[标]申请(专利权)人(译)	昆山龙腾光电有限公司		
申请(专利权)人(译)	昆山龙腾光电有限公司		
当前申请(专利权)人(译)	昆山龙腾光电有限公司		
[标]发明人	邹忠飞 李海波 郑会龙 何钰莹		
发明人	邹忠飞 李海波 郑会龙 何钰莹		
IPC分类号	G02F1/1362 G02F1/1343 G02F1/1333		
CPC分类号	G02F1/136227 G02F1/1333 G02F1/134309		
代理人(译)	杨波		
外部链接	Espacenet SIPO		

摘要(译)

一种搭配负性液晶使用的像素结构、阵列基板和显示面板，该像素结构包括：多条数据线和多条扫描线；多个像素单元，由多条数据线和多条扫描线交叉形成；其中，多个像素单元中的每个像素单元包括：薄膜晶体管；像素电极，像素电极包括与薄膜晶体管电性连接的第一端和与第一端相对设置且远离薄膜晶体管的第二端，像素电极还包括多个电极条，相邻两电极条之间形成狭缝；其中，在像素电极的第二端，多个电极条以直线延伸至相邻像素单元中的薄膜晶体管的位置处，且相邻两电极条之间的狭缝的端部为敞开设置。相对于现有技术，该像素结构能够进一步提高穿透率。

