



# (12)发明专利申请

(10)申请公布号 CN 106125423 A

(43)申请公布日 2016. 11. 16

(21)申请号 201610454044.0

(22)申请日 2016.06.21

(71)申请人 上海纪显电子科技有限公司

地址 200233 上海市徐汇区桂平路680号33  
幢619-16室

(72)发明人 不公告发明人

(51) Int. Cl.

G02F 1/1362(2006.01)

G02F 1/1343(2006.01)

H01L 27/12(2006.01)

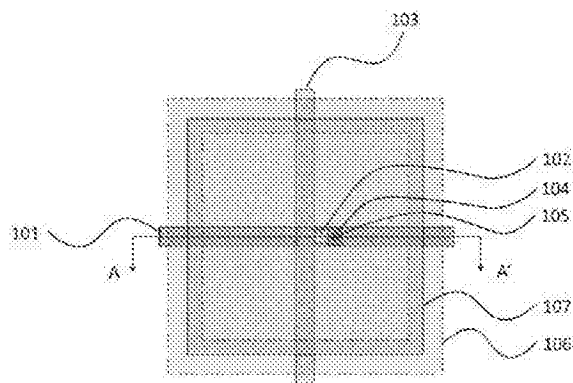
权利要求书3页 说明书9页 附图10页

## (54)发明名称

液晶显示装置、阵列基板及其制作方法

## (57)摘要

本发明提供一种液晶显示装置、阵列基板及其制作方法,涉及显示技术领域。阵列基板,包括:一基板,具有呈十字型交叉布置的复数条数据线 and 复数条扫描线;主动元件,设置在该复数条数据线与该复数条扫描线的十字型交叉区域;像素电极,以各个该十字型交叉区域为中心形成有复数个重复排列的像素电极单元,且通过一接触孔与该主动元件电性连接;透明电极,呈整面分布在该基板上,且该透明电极延伸至各个该像素电极单元的区域形成有复数个重复排列的开口区域。本发明同时还公开了该阵列基板的制造方法。



1. 一种液晶显示装置的阵列基板,包括:

一基板,具有呈十字型交叉布置的复数条数据线和复数条扫描线;

主动元件,设置在该复数条数据线与该复数条扫描线的十字型交叉区域;

像素电极,以各个该十字型交叉区域为中心形成有复数个重复排列的像素电极单元,且通过一接触孔与该主动元件电性连接;

透明电极,呈整面分布在该基板上,且该透明电极具有延伸至各个该像素电极单元的区域形成有复数个重复排列的开口区域。

2. 根据权利要求1所述的阵列基板,其特征在于,还包括:

该复数个重复排列的像素电极单元之间设有间隔距离,该透明电极延伸至每一个该像素电极单元的各周边区域内形成在与该阵列基板垂直的方向上的重叠区域,该透明电极与该像素电极单元之间的重叠区域形成存储电容器。

3. 根据权利要求2所述的阵列基板,其特征在于,

该透明电极分布在该像素电极层的上方,或者分布在该像素电极与该数据线金属层之间,或者分布在该数据线金属层与该扫描线金属层之间,或者分布在该扫描线金属层下方。

4. 根据权利要求2所述的阵列基板,其特征在于,

该透明电极延伸至每一个该像素电极单元的各周边区域内的开口区域的边界呈不规则的锯齿状图案。

5. 根据权利要求1-4任一项所述的阵列基板,其特征在于,

该透明电极的材料采用锡掺杂三氧化铟、铝掺杂氧化锌、纳米银线、或者石墨烯。

6. 一种液晶显示装置,包括:

如权利要求1-5所述的阵列基板;

对置基板,与该阵列基板相对设置;

液晶层,夹置在该阵列基板与该对置基板之间;

还包括公共电极,呈面电极图案分布在该对置基板上;

其中,该公共电极层与该透明电极同时施加相同电位电压。

7. 一种液晶显示装置的阵列基板的制作方法,包括:

提供一基板,形成第一层金属薄膜图案,该第一层金属薄膜图案包括复数条扫描线;

在该第一金属层的图案上形成栅极绝缘层,在该栅极绝缘层的上方形成半导体图案;

在该半导体图案上,形成第二层金属薄膜图案,该第二层金属薄膜图案包括复数条数据线,该复数条数据线与该复数条扫描线呈十字型交叉布置;还包括薄膜晶体管的源极、漏极;

在该第二层金属薄膜图案上分布厚膜绝缘层,在该厚膜绝缘层上整面分布有像素电极,该像素电极为以各个该复数条数据线与该复数条扫描线之间的十字型交叉区域为中心,形成复数个重复排列的像素电极单元,该像素电极单元通过贯穿该厚膜绝缘层的一接触孔与漏极实现电学连接;

在该像素电极上分布隔离绝缘层,在该隔离绝缘层上整面分布有透明电极;

其中,该透明电极延伸至各个该像素电极单元的区域形成有复数个开口区域,该透明电极与该像素电极在与该阵列基板垂直的方向上存在交叠区域,该交叠区域形成存储电容器。

8. 一种液晶显示装置的阵列基板的制作方法,包括:

提供一基板,形成第一层金属薄膜图案,该第一层金属薄膜图案包括复数条扫描线;

在该第一金属层的图案上形成栅极绝缘层,在该栅极绝缘层的上方形成半导体图案;

在该半导体图案上,形成第二层金属薄膜图案,该第二层金属薄膜图案包括复数条数据线,该复数条数据线与该复数条扫描线呈十字型交叉布置;还包括薄膜晶体管的源极、漏极;

在该第二层金属薄膜图案上分布绝缘层,在该绝缘层上整面分布有透明电极;

在该透明电极上分布隔离绝缘层,在该隔离绝缘层上分布像素电极,该像素电极为以各个该复数条数据线与该复数条扫描线之间的十字型交叉区域为中心,形成复数个重复排列的像素电极单元,该像素电极单元通过贯穿该隔离绝缘层和该绝缘层的一接触孔与漏极实现电学连接;

其中,该透明电极延伸至各个该像素电极单元的区域形成有复数个开口区域,该透明电极与该像素电极在与该阵列基板垂直的方向上存在交叠区域,该交叠区域形成存储电容器。

9. 一种液晶显示装置的阵列基板的制作方法,包括:

提供一基板,形成第一层金属薄膜图案,该第一层金属薄膜图案包括复数条扫描线;

在该第一金属层的图案上形成第一栅极绝缘层,在该第一栅极绝缘层的上方整面分布有透明电极;

在该透明电极上形成第二栅极绝缘层,在该第二栅极绝缘层的上方形成半导体图案;

在该半导体图案上,形成第二层金属薄膜图案,该第二层金属薄膜图案包括复数条数据线,该复数条数据线与该复数条扫描线呈十字型交叉布置;还包括薄膜晶体管的源极、漏极;

在该第二层金属薄膜图案上分布绝缘层,在该绝缘层上整面分布有像素电极,该像素电极为以各个该复数条数据线与该复数条扫描线之间的十字型交叉区域为中心,形成复数个重复排列的像素电极单元,该像素电极单元通过贯穿该厚膜绝缘层的一接触孔与漏极实现电学连接;

其中,该透明电极延伸至各个该像素电极单元的区域形成有复数个开口区域,该透明电极与该像素电极在与该阵列基板垂直的方向上存在交叠区域,该交叠区域形成存储电容器。

10. 一种液晶显示装置的阵列基板的制作方法,包括:

提供一基板,在该基板上整面布置有透明电极,在透明电极的上方形成平坦绝缘层;

在平坦绝缘层的上方形成第一层金属薄膜图案,该第一层金属薄膜图案包括复数条扫描线;

在该第一金属层的图案上形成栅极绝缘层,在该栅极绝缘层的上方形成半导体图案;

在该半导体图案上,形成第二层金属薄膜图案,该第二层金属薄膜图案包括复数条数据线,该复数条数据线与该复数条扫描线呈十字型交叉布置;还包括薄膜晶体管的源极、漏极;

在该第二层金属薄膜图案上分布绝缘层,在该绝缘层上分布像素电极,该像素电极为以各个该复数条数据线与该复数条扫描线之间的十字型交叉区域为中心,形成复数个重复

排列的像素电极单元,该像素电极单元通过贯穿该该绝缘层的一接触孔与漏极实现电学连接;

其中,该透明电极延伸至各个该像素电极单元的区域形成有复数个开口区域,该透明电极与该像素电极在与该阵列基板垂直的方向上存在交叠区域,该交叠区域形成存储电容器。

## 液晶显示装置、阵列基板及其制作方法

### 技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种液晶显示装置、阵列基板及其制作方法。

### 背景技术

[0002] 一般垂直电场的液晶显示装置包括TN(Twisted Nematic,扭曲向列型)、VA(Vertical Alignment,垂直配向)等液晶显示模式。目前市场上的TN面板多是改良型的TN+film, film即补偿膜,用于弥补TN面板可视角度的不足,目前改良的TN面板的可视角度都达到 $160^{\circ}$ 。VA类面板是现在高端液晶应用较多的面板类型,属于广视角面板。VA类面板又分为MVA(Multi-domain Vertical Alignment,多象限垂直配向技术)面板、PVA(Patterned Vertical Alignment)面板、PSVA(Polymer Stabilization Vertical Alignment,聚合物稳定垂直配向)面板、UV<sup>2</sup>A(UV Vertical Alignment,UV光垂直配向)面板,等等。

[0003] 液晶显示模式的像素结构分为阵列基板侧的像素结构和对置基板侧的像素结构两部分。阵列基板侧的像素结构主要实现薄膜晶体管液晶显示器(TFT-LCD)的电学功能,是决定像素电容效应、配向延迟效应、灰阶电压写入特性和保持特性的主要方面。对置基板侧的像素结构主要实现TFT-LCD的光学功能,是决定TFT-LCD对比度和色域的主要方面。

[0004] 图1所示为阵列基板侧的像素结构,一般采用如的存储电容制作在公共电极上(Cs on COM)的结构。Cs on COM结构的特点是,像素电极107覆盖在本像素公共电极线109(COM线)上形成存储电容。公共电极线的位置可以在像素的上下两侧,也可以在像素的中央。公共电极线延伸到数据线103两侧的结构起到遮光的作用。像素电极107与公共电极线109重叠的区域就是像素的存储电容面积。

[0005] 对置基板侧的像素一般包括黑色矩阵BM、RGB色阻、间隙子、公共电极等结构。对置基板侧像素的结构主要由滤光和遮光两部分组成:滤光结构由RGB色层204构成,遮光结构由黑色矩阵202构成。对置基板侧像素结构的设计主要考虑黑色矩阵202的遮光尺寸,以及RGB色层204与黑色矩阵遮光层的重叠量。对应图1所示的阵列基板侧像素结构,可以设计出如图2A所示的对置基板侧黑色矩阵遮光结构。实际的对置基板侧像素结构中,黑色矩阵包围的白色开口部分覆盖着RGB色层204。黑色矩阵遮光结构的设计,目的是要保证图2B所示的贴合效果,防止对置基板基板和阵列基板贴合偏移后出现漏光现象。如图2C所示,如果对置基板和阵列基板的贴合精度为 $6\mu\text{m}$ ,那么公共电极线的遮光线段靠近数据线一侧的边与黑色矩阵202挨着色层204一侧的边之间的距离至少要保证在 $6\mu\text{m}$ 以上。

[0006] 现有的像素结构,存在如下问题:

[0007] (1)金属线多,金属面积大,对环境光的反射现象比较明显。

[0008] (2)相邻像素之间的黑色矩阵面积较大,影响像素的开口率,降低了像素的光利用效率。

### 发明内容

[0009] 有鉴于此,本发明所要解决的技术问题在于提供一种金属线少、具有高透光率的

液晶显示装置、阵列基板及其制作方法。

[0010] 为了达到上述或其它目的,本发明一方面提出了一种液晶显示装置的阵列基板,包括:一基板,具有呈十字型交叉布置的复数条数据线和复数条扫描线;主动元件,设置在该复数条数据线与该复数条扫描线的十字型交叉区域;像素电极,以各个该十字型交叉区域为中心形成有复数个重复排列的像素电极单元,且通过一接触孔与该主动元件电性连接;透明电极,呈整面分布在该基板上,且该透明电极具有延伸至各个该像素电极单元的区域形成有复数个重复排列的开口区域。

[0011] 进一步地,该复数个重复排列的像素电极单元之间设有间隔距离,该透明电极延伸至每一个该像素电极单元的各周边区域内形成在与该阵列基板垂直的方向上的重叠区域,该透明电极与该像素电极单元之间的重叠区域形成存储电容器。

[0012] 进一步地,该透明电极分布在该像素电极层的上方,或者分布在该像素电极与该数据线金属层之间,或者分布在该数据线金属层与该扫描线金属层之间,或者分布在该扫描线金属层下方。

[0013] 进一步地,该透明电极延伸至每一个该像素电极单元的各周边区域内的开口区域的边界呈不规则的锯齿状图案。

[0014] 进一步地,该透明电极的材料采用锡掺杂三氧化铟、铝掺杂氧化锌、纳米银线、或者石墨烯。

[0015] 为了达到上述或其它目的,本发明又一方面提出了一种液晶显示装置,包括:上述阵列基板;对置基板,与该阵列基板相对设置;液晶层,夹置在该阵列基板与该对置基板之间;还包括公共电极,呈面电极图案分布在该对置基板上;其中,该公共电极层与该透明电极同时施加相同电位电压。

[0016] 为了达到上述或其它目的,本发明另一方面提出了一种液晶显示装置的阵列基板的制作方法,包括:提供一基板,形成第一层金属薄膜图案,该第一层金属薄膜图案包括复数条扫描线;在该第一金属层的图案上形成栅极绝缘层,在该栅极绝缘层的上方形成半导体图案;在该半导体图案上,形成第二层金属薄膜图案,该第二层金属薄膜图案包括复数条数据线,该复数条数据线与该复数条扫描线呈十字型交叉布置;还包括薄膜晶体管的源极、漏极;在该第二层金属薄膜图案上分布厚膜绝缘层,在该厚膜绝缘层上整面分布有像素电极,该像素电极为以各个该复数条数据线与该复数条扫描线之间的十字型交叉区域为中心,形成复数个重复排列的像素电极单元,该像素电极单元通过贯穿该厚膜绝缘层的一接触孔与漏极实现电学连接;在该像素电极上分布隔离绝缘层,在该隔离绝缘层上整面分布有透明电极;其中,该透明电极延伸至各个该像素电极单元的区域形成有复数个开口区域,该透明电极与该像素电极在与该阵列基板垂直的方向上存在交叠区域,该交叠区域形成存储电容器。

[0017] 为了达到上述或其它目的,本发明又一方面提出了一种液晶显示装置的阵列基板的制作方法,包括:提供一基板,形成第一层金属薄膜图案,该第一层金属薄膜图案包括复数条扫描线;在该第一金属层的图案上形成栅极绝缘层,在该栅极绝缘层的上方形成半导体图案;在该半导体图案上,形成第二层金属薄膜图案,该第二层金属薄膜图案包括复数条数据线,该复数条数据线与该复数条扫描线呈十字型交叉布置;还包括薄膜晶体管的源极、漏极;在该第二层金属薄膜图案上分布绝缘层,在该绝缘层上整面分布有透明电极;在该

透明电极上分布隔离绝缘层,在该隔离绝缘层上分布像素电极,该像素电极以各个该复数条数据线与该复数条扫描线之间的十字型交叉区域为中心,形成复数个重复排列的像素电极单元,该像素电极单元通过贯穿该隔离绝缘层和该绝缘层的一接触孔与漏极实现电学连接;其中,该透明电极延伸至各个该像素电极单元的区域形成有复数个开口区域,该透明电极与该像素电极在与该阵列基板垂直的方向上存在交叠区域,该交叠区域形成存储电容器。

[0018] 为了达到上述或其它目的,本发明又一方面提出了一种液晶显示装置的阵列基板的制作方法,包括:提供一基板,形成第一层金属薄膜图案,该第一层金属薄膜图案包括复数条扫描线;在该第一金属层的图案上形成第一栅极绝缘层,在该第一栅极绝缘层的上方整面分布有透明电极;在该透明电极上形成第二栅极绝缘层,在该第二栅极绝缘层的上方形成半导体图案;在该半导体图案上,形成第二层金属薄膜图案,该第二层金属薄膜图案包括复数条数据线,该复数条数据线与该复数条扫描线呈十字型交叉布置;还包括薄膜晶体管的源极、漏极;在该第二层金属薄膜图案上分布绝缘层,在该绝缘层上整面分布有像素电极,该像素电极以各个该复数条数据线与该复数条扫描线之间的十字型交叉区域为中心,形成复数个重复排列的像素电极单元,该像素电极单元通过贯穿该厚膜绝缘层的一接触孔与漏极实现电学连接;其中,该透明电极延伸至各个该像素电极单元的区域形成有复数个开口区域,该透明电极与该像素电极在与该阵列基板垂直的方向上存在交叠区域,该交叠区域形成存储电容器。

[0019] 为了达到上述或其它目的,本发明又一方面提出了一种液晶显示装置的阵列基板的制作方法,包括:提供一基板,在该基板上整面布置有透明电极,在透明电极的上方形成平坦绝缘层;在平坦绝缘层的上方形成第一层金属薄膜图案,该第一层金属薄膜图案包括复数条扫描线;在该第一金属层的图案上形成栅极绝缘层,在该栅极绝缘层的上方形成半导体图案;在该半导体图案上,形成第二层金属薄膜图案,该第二层金属薄膜图案包括复数条数据线,该复数条数据线与该复数条扫描线呈十字型交叉布置;还包括薄膜晶体管的源极、漏极;在该第二层金属薄膜图案上分布绝缘层,在该绝缘层上分布像素电极,该像素电极以各个该复数条数据线与该复数条扫描线之间的十字型交叉区域为中心,形成复数个重复排列的像素电极单元,该像素电极单元通过贯穿该该绝缘层的一接触孔与漏极实现电学连接;其中,该透明电极延伸至各个该像素电极单元的区域形成有复数个开口区域,该透明电极与该像素电极在与该阵列基板垂直的方向上存在交叠区域,该交叠区域形成存储电容器。

[0020] 本发明与现有技术相比,其优点在于:光的利用效率高,光线被干扰的概率低,显示画质好。

## 附图说明

[0021] 图1为现有技术中阵列基板侧的像素结构平面示意图;

[0022] 图2A为现有技术中对置基板侧的黑色矩阵结构平面示意图;

[0023] 图2B为现有技术中阵列基板与对置基板贴合后的像素结构平面示意图;

[0024] 图2C为现有技术中对置基板侧像素结构的遮光层剖面结构示意图;

[0025] 图3为示意性示出本发明一实施方式阵列基板侧像素结构平面示意图;

- [0026] 图4为示意性示出本发明图3中阵列基板侧平面结构示意图；
- [0027] 图5为示意性示出本发明又一实施方式阵列基板侧像素结构平面示意图；
- [0028] 图6为示意性示出本发明第一实施例阵列基板像素结构的剖面结构示意图；
- [0029] 图7为示意性示出图6中所示的存储电容器结构示意图；
- [0030] 图8A~8C为示意性示出第一实施例阵列基板不同制作步骤平面结构示意图；
- [0031] 图9为示意性示出本发明第二实施例阵列基板像素结构的剖面结构示意图；
- [0032] 图10为示意性示出图9中所示的存储电容器结构示意图；
- [0033] 图11为示意性示出本发明第三实施例阵列基板像素结构的剖面结构示意图；
- [0034] 图12A~12B为示意性示出第二实施例阵列基板不同制作步骤平面结构示意图；
- [0035] 图13为示意性示出本发明第四实施例阵列基板像素结构的剖面结构示意图；
- [0036] 图14为示意性示出图13中所示的存储电容器结构示意图；
- [0037] 图15A~15D为示意性示出第四实施例阵列基板不同制作步骤平面结构示意图；
- [0038] 图16A为示意性示出本发明第五实施例阵列基板侧像素结构平面示意图；
- [0039] 图16B为示意性示出本发明图16A中像素结构沿BB'方向上的剖面结构示意图；
- [0040] 图17为示意性示出图16B中所示的存储电容器结构示意图；
- [0041] 图18A~18D为示意性示出第五实施例阵列基板不同制作步骤平面结构示意图；
- [0042] 图19为示意性示出本发明液晶显示装置剖面结构示意图；
- [0043] 图20为示意性示出本发明液晶显示装置对置基板平面结构示意图；
- [0044] 图21为示意性示出本发明液晶显示装置在工作状态下剖面结构示意图。

### 具体实施方式

[0045] 下面结合附图和具体实施例,进一步阐明本发明,应理解这些实施例仅用于说明本发明而并不用于限制本发明的范围,在阅读了本发明之后,本领域技术人员对本发明的各种等价形式的修改均落于本申请所附权利要求所限定的范围。

[0046] 图3为示意性示出本发明一实施方式阵列基板侧像素结构平面示意图。如图3所示,本发明提供了一种阵列基板的像素结构,包括:扫描线101、半导体层沟道102、数据线103、源极(数据线)、漏极104、接触孔105、像素电极106、透明电极107。

[0047] 其中,扫描线101与数据线103在像素中央呈十字型交叉,在数据线103与扫描线101的交叉处设有薄膜晶体管。薄膜晶体管设置在该复数条数据线103与该复数条扫描线101的十字型交叉区域,薄膜晶体管的栅极为扫描线101在十字型交叉区域的图案,薄膜晶体管的源极为数据线103在十字型交叉区域的图案,以及薄膜晶体管的漏极104,薄膜晶体管的沟道102。薄膜晶体管漏极104的上方设有接触孔105;漏极104覆盖接触孔105与像素电极107实现等电位连接。在像素的上下左右四个边,像素电极107与透明电极106部分重叠。

[0048] 图4为示意性示出本发明图3中阵列基板侧平面结构示意图。如图4所示,本发明提供了一种阵列基板,包括复数个图3中所述的像素结构,其中,像素电极107,以各个该十字型交叉区域为中心形成有复数个重复排列的像素电极单元,透明电极106,呈整面分布在该阵列基板上,且该透明电极106具有延伸至各个该像素电极单元107的区域内形成有复数个重复排列的开口区域。

[0049] 如图4所示,相邻像素的像素电极107之间存在左右间隙S1,上下间隙S2。间隙S1和

S2越小,像素的光利用效率越高。限制S1与S2大小的因素包括:曝光机的曝光精度;相邻像素电极电压之间的干扰强度。一般,间隙S1和S2在5um左右。在图4中,像素电极107与透明电极106部分重叠,形成像素的存储电容器Cs。重叠区域L1、L2、L3和L4分布在像素的四个边上。

[0050] 在图3中,透明电极106在与像素电极107重叠部分光的透过率低于像素电极107与透明电极106未重叠的中心区域,从而在透明电极边界处形成亮度差异。

[0051] 为了模糊透明电极边界部分的亮度差异,图5为示意性示出本发明又一实施方式阵列基板侧像素结构平面示意图。如图5所示,本发明提供了一种阵列基板的像素结构,该像素结构与上述实施例所述的像素结构大致相同,不同之处仅在于把透明电极106边界设置成锯齿状,即该透明电极106延伸至每一个该像素电极107的各周边区域内的开口区域的边界呈不规则的锯齿状图案108。通过锯齿状图案108的过渡,既可以模糊边界处的亮度差异,也可以消除边界的位置视觉感。为了模糊透明电极106在像素边界处的亮度差异,还可以在透明电极106的开口区域一侧采用其他不规则的图案。

[0052] 本发明上述各实施方式所提供的像素结构中,透明电极为透明导电薄膜,主要有金属膜系、氧化物膜系、其他化合物膜系、高分子膜系、复合膜系等。具体地有ITO(锡掺杂三氧化铟)、AZO(铝掺杂氧化锌)、纳米银线、石墨烯等。优选地,采用ITO材料。

[0053] 本发明上述各实施方式所提供的像素结构中,透明电极层可以分布在像素电极层的上方,可以分布在像素电极与数据线金属层之间,可以分布在数据线金属层与扫描线金属层之间,可以分布在扫描线金属层下方。

[0054] 第一实施例【透明电极层分布在像素电极层的上方】

[0055] 图6为本发明第一实施例阵列基板像素结构的剖面结构示意图。如图6所示,把透明电极设计在像素电极的上方,可以更好地屏蔽相邻像素的像素电极电压之间的干扰。

[0056] 在像素AA'方向的截面图,对应的层次关系为:在玻璃、塑料等衬底基板111的上方分布扫描线101,在扫描线101的上方分布栅极绝缘层112,在栅极绝缘层112的上方分布半导体层102,在半导体层102的上方分布数据线(源极)103和漏极104,在数据线103的上方分布保护绝缘层113,在保护绝缘层113的上方分布厚膜绝缘层114,在厚膜绝缘层114的上方分布像素电极107,像素电极107通过贯穿厚膜绝缘层114和保护绝缘层113的接触孔105与漏极104实现电学连接,在像素电极107的上方分布间隔绝缘层115,在间隔绝缘层115的上方分布透明电极106。根据实际需要,可以省略保护绝缘层113。

[0057] 结合参考图3、图6和图7,像素电极与透明电极在像素四个边上部分重叠形成的存储电容Cs。因为像素电极与透明电极都是透明导电薄膜,重叠部分的区域依然是透光区域,这样的结构设计可以提高像素的光利用效率。

[0058] 图7为示意性示出图6中所示的存储电容器结构示意图。如图7所示,透明电极106覆盖在相邻像素电极107的上方,可以完全屏蔽相邻像素电极的电学干扰。

[0059] 本发明提供了阵列基板的制作方法,以第一实施例所述的阵列基板为例,给出制作方法步骤如下:

[0060] 如图8A所示,首先,提供一透明基板,形成第一层金属薄膜图案,该第一层金属薄膜图案包括复数条扫描线101;在该第一金属层的图案上形成栅极绝缘层,在该栅极绝缘层的上方形成半导体图案,如半导体沟道图案102。

[0061] 如图8B所示,在该半导体图案上,形成第二层金属薄膜图案,该第二层金属薄膜图案包括复数条数据线103,该复数条数据线103与该复数条扫描线101呈十字型交叉布置;还包括薄膜晶体管的源极、漏极104。

[0062] 如图8C所示,在该第二层金属薄膜图案上分布厚膜绝缘层,覆盖厚膜绝缘层后刻蚀形成接触孔105,然后再形成像素电极107图案,该像素电极107为以各个该复数条数据线103与该复数条扫描线101之间的十字型交叉区域为中心,形成复数个重复排列的像素电极单元,该像素电极单元通过贯穿该厚膜绝缘层的一接触孔与漏极实现电学连接。

[0063] 在该像素电极107上分布隔离绝缘层,在该隔离绝缘层上整面分布有透明电极;其中,该透明电极延伸至各个该像素电极单元的区域形成有复数个开口区域,该透明电极与该像素电极在与该阵列基板垂直的方向上存在交叠区域,该交叠区域形成存储电容器。最后形成第一实施例所述的阵列基板。

[0064] 第二实施例【透明电极层分布在像素电极与数据线金属层之间】

[0065] 图9为示意性示出本发明第二实施例阵列基板像素结构的剖面结构示意图。如图9所示,在像素AA'方向的截面图,对应的层次关系为:在玻璃、塑料等衬底基板111的上方分布扫描线101,在扫描线101的上方分布栅极绝缘层112,在栅极绝缘层112的上方分布半导体层102,在半导体层102的上方分布数据线(源极)103和漏极104,在数据线103的上方分布保护绝缘层113,在保护绝缘层113的上方分布厚膜绝缘层114,在厚膜绝缘层114的上方分布透明电极层106,在透明电极层106的上方分布隔离绝缘层115,在隔离绝缘层115的上方分布像素电极107,像素电极107通过贯穿隔离绝缘层115、厚膜绝缘层114和保护绝缘层113的接触孔105与漏极104实现电学连接。根据实际需要,可以省略保护绝缘层113。

[0066] 结合图3、图9和图10,像素电极与透明电极在像素四个边上部分重叠形成的存储电容Cs。因为像素电极与透明电极都是透明导电薄膜,重叠部分的区域依然是透光区域,这样的结构设计可以提高像素的光利用效率。

[0067] 第三实施例【透明电极层分布在像素电极与数据线金属层之间】

[0068] 第三实施例与第二实施例的结构大致相同,不同之处在于透明电极层设置在保护绝缘层与厚膜绝缘层之间,具体地,图11为示意性示出本发明第三实施例阵列基板像素结构的剖面结构示意图。如图11所示,在像素AA'方向的截面图,对应的层次关系为:在玻璃、塑料等衬底基板111的上方分布扫描线101,在扫描线101的上方分布栅极绝缘层112,在栅极绝缘层112的上方分布半导体层102,在半导体层102的上方分布数据线(源极)103和漏极104,在数据线103的上方分布保护绝缘层113,在保护绝缘层113的上方分布透明电极层106,在透明电极层106的上方分布厚膜绝缘层114,在厚膜绝缘层114的上方分布像素电极107,像素电极107通过贯穿厚膜绝缘层114和保护绝缘层113的接触孔105与漏极104实现电学连接。

[0069] 本发明提供了阵列基板的制作方法,以第二实施例所述的阵列基板为例,给出制作方法步骤如下:

[0070] 首先,如图8A提供一透明基板,形成第一层金属薄膜图案,该第一层金属薄膜图案包括复数条扫描线101;在该第一金属层的图案上形成栅极绝缘层,在该栅极绝缘层的上方形成半导体图案,如半导体沟道图案102;

[0071] 接着,如图8B所示,在该半导体图案上,形成第二层金属薄膜图案,该第二层金属

薄膜图案包括复数条数据线103,该复数条数据线103与该复数条扫描线101呈十字型交叉布置;还包括薄膜晶体管的源极、漏极104。

[0072] 接着,如图12A所示,在该第二层金属薄膜图案上分布绝缘层,如覆盖保护绝缘层和厚膜绝缘层,在该绝缘层上整面分布有透明电极106。

[0073] 接着,如图12B所示,在该透明电极上分布隔离绝缘层,覆盖隔离绝缘层后刻蚀形成接触孔105,然后再形成像素电极,该像素电极为以各个该复数条数据线与该复数条扫描线之间的十字型交叉区域为中心,形成复数个重复排列的像素电极单元,该像素电极单元通过贯穿该隔离绝缘层和该绝缘层的一接触孔与漏极实现电学连接。

[0074] 其中,该透明电极延伸至各个该像素电极单元的区域形成有复数个开口区域,该透明电极与该像素电极在与该阵列基板垂直的方向上存在交叠区域,该交叠区域形成存储电容器。最后形成第二实施例所述的阵列基板。

[0075] 第四实施例【透明电极层分布在数据线金属层与扫描线金属层之间】

[0076] 图13为示意性示出本发明第四实施例阵列基板像素结构的剖面结构示意图。如图13所示,在像素AA'方向的截面图,对应的层次关系为:在玻璃、塑料等衬底基板111的上方分布扫描线101,在扫描线101的上方分布第一栅极绝缘层112a,在第一栅极绝缘层112a的上方分布透明电极层106,在透明电极层106的上方分布第二栅极绝缘层112b,在第二栅极绝缘层112b的上方分布半导体层102,在半导体层102的上方分布数据线(源极)103和漏极104,在数据线103的上方分布保护绝缘层113,在保护绝缘层113的上方分布厚膜绝缘层114,在厚膜绝缘层114的上方分布像素电极107,像素电极107通过贯穿厚膜绝缘层114和保护绝缘层113的接触孔105与漏极104实现电学连接。根据实际需要,可以省略保护绝缘层113。

[0077] 结合图3,图13和图14,像素电极与透明电极在像素四个边上部分重叠形成的存储电容Cs。因为像素电极与透明电极都是透明导电薄膜,重叠部分的区域依然是透光区域,这样的结构设计可以提高像素的光利用效率。

[0078] 本发明提供了阵列基板的制作方法,以第四实施例所述的阵列基板为例,给出制作方法步骤如下:

[0079] 如图15A所示,首先,提供一透明基板,形成第一层金属薄膜图案,该第一层金属薄膜图案包括复数条扫描线101;在该第一金属层的图案上形成第一栅极绝缘层,在该第一栅极绝缘层的上方整面分布有透明电极106;。

[0080] 如图15B所示,在该透明电极上形成第二栅极绝缘层,在该第二栅极绝缘层的上方形成半导体图案,如半导体沟道图案102。

[0081] 如图15C所示,在该半导体图案上,形成第二层金属薄膜图案,该第二层金属薄膜图案包括复数条数据线103,该复数条数据线103与该复数条扫描线101呈十字型交叉布置;还包括薄膜晶体管的源极、漏极104。

[0082] 如图15D所示,在该第二层金属薄膜图案上分布厚膜绝缘层,如覆盖保护绝缘层和厚膜绝缘层后,在漏极104的上方刻蚀形成接触孔105。在该厚膜绝缘层上整面分布有像素电极,该像素电极覆盖接触孔105。

[0083] 该像素电极为以各个该复数条数据线与该复数条扫描线之间的十字型交叉区域为中心,形成复数个重复排列的像素电极单元,该像素电极单元通过贯穿该厚膜绝缘层的

一接触孔与漏极实现电学连接；其中，该透明电极延伸至各个该像素电极单元的区域形成有复数个开口区域，该透明电极与该像素电极在与该阵列基板垂直的方向上存在交叠区域，该交叠区域形成存储电容器。最后形成第四实施例所述的阵列基板。

[0084] 第五实施例【透明电极层分布在扫描线金属层下方】

[0085] 图16A为示意性示出本发明第五实施例阵列基板侧像素结构平面示意图；图16B为示意性示出本发明图16A中像素结构沿BB'方向上的剖面结构示意图。如图16A和16B所示，在像素BB'方向的截面图，对应的层次关系为：在玻璃、塑料等衬底基板111的上方分布透明电极106，在透明电极106的上方分布平坦绝缘层116，在平坦绝缘层116的上方分布扫描线101，在扫描线101的上方分布栅极绝缘层112，在栅极绝缘层112的上方分布半导体层102，在半导体层102的上方分布数据线(源极)103和漏极104，在数据线103的上方分布保护绝缘层113，在保护绝缘层113的上方分布厚膜绝缘层114，在厚膜绝缘层114的上方分布像素电极107，像素电极107通过贯穿厚膜绝缘层114和保护绝缘层113的接触孔105与漏极104实现电学连接。根据实际需要，可以省略保护绝缘层113。

[0086] 结合图3，图16A和16B和图17，像素电极与透明电极在像素四个边上部分重叠形成的存储电容 $C_s$ 。因为像素电极与透明电极都是透明导电薄膜，重叠部分的区域依然是透光区域，这样的结构设计可以提高像素的光利用效率。

[0087] 本发明提供了阵列基板的制作方法，以第五实施例所述的阵列基板为例，给出制作方法步骤如下：

[0088] 首先，如图18A所示，提供一透明基板，在该基板上整面布置有透明电极106，在透明电极106的上方形成平坦绝缘层；在平坦绝缘层的上方形成第一层金属薄膜图案，该第一层金属薄膜图案包括复数条扫描线101。

[0089] 接着，如图18B所示，在该第一金属层的图案上形成栅极绝缘层，在该栅极绝缘层的上方形成半导体图案，如半导体沟道102图案。

[0090] 接着，如图18C所示，在该半导体图案上，形成第二层金属薄膜图案，该第二层金属薄膜图案包括复数条数据线，该复数条数据线103与该复数条扫描线101呈十字型交叉布置；还包括薄膜晶体管的源极、漏极104。

[0091] 接着，如图18D所示，在该第二层金属薄膜图案上分布绝缘层，如保护绝缘层和厚膜绝缘层，连续覆盖保护绝缘层和厚膜绝缘层后刻蚀形成接触孔105，然后在该绝缘层上分布像素电极。

[0092] 该像素电极以各个该复数条数据线与该复数条扫描线之间的十字型交叉区域为中心，形成复数个重复排列的像素电极单元，该像素电极单元通过贯穿该该绝缘层的一接触孔与漏极实现电学连接；其中，该透明电极延伸至各个该像素电极单元的区域形成有复数个开口区域，该透明电极与该像素电极在与该阵列基板垂直的方向上存在交叠区域，该交叠区域形成存储电容器。最后形成第五实施例所述的阵列基板。

[0093] 图19为示意性示出本发明液晶显示装置剖面结构示意图。如图19所示，本发明还提供了一种液晶显示装置，包括：上述各实施方式以及对应各实施例的阵列基板100，对置基板200，以及夹设于该阵列基板100与该对置基板200之间的液晶功能层300。

[0094] 图20为示意性示出本发明液晶显示装置对置基板平面结构示意图。如图20所示，该液晶显示器件采用的对置基板200，包括衬底基板211(图中未示)、公共电极201、遮光图

案202、间隙子203。根据需要,可以省略遮光图案202。在图19中,在对置基板200与第一基板100之间为液晶功能层300,包括对置基板侧配向膜303、液晶301、阵列基板侧配向膜302。

[0095] 图19为示意性示出本发明液晶显示装置在工作状态下剖面结构示意图。如图19所示,透明电极106与对置基板上的公共电极201,电位固定,不随像素电压的变化而变化。优选地,透明电极与对置基板上的公共电极201的电位相等。在间隙S1和S2区域,由于透明电极与公共电极201之间的电位差为0,位于该区域的液晶分子排列状态固定,不随像素电压的变化而变化,液晶分子的状态可控。如图21所示,即使在像素电极与公共电极201之间施加各种不同的电位,在间隙S1和S2区域的液晶分子,排列状态都是固定的。

[0096] 本发明提供各实施例方式以及各实施例提供的液晶显示装置、阵列基板及其制作方法,有以下优点:

[0097] (1)金属线少:只有扫描线与数据线两条垂直正交的金属线。金属线少,金属遮光与反光的影响就小。

[0098] (2)金属线细:在扫描线、数据线与像素电极之间隔着保护层与厚膜层,像素之间的耦合电容小,金属线可以做的很细。金属线细,金属遮光与反光的影响就小。

[0099] (3)对于使用UV<sup>2</sup>A(Ultraviolet induced multi-domain Vertical Alignment)技术的液晶显示模式,扫描线与数据线就是液晶显示畴与相邻液晶显示畴之间的分界线,显示畴之间的黑纹直接分布在金属线上方,不额外占用不透光的区域,像素的光利用效率高。

[0100] (4)对于使用常黑模式的VA显示技术,在第一基板上的透明电极与对置基板上的公共电极之间的电位差设为0,在间隙S1和S2区域,液晶显示稳定的黑态,从而可以省略间隙S1和S2正上方的对置基板上的黑色矩阵。采用本发明的技术方案,透明电极与像素电极之间的重叠面积充分,像素电极的电力线主要集中于像素电极与透明电极之间,散发到像素电极外侧的电力线少,对间隙S1和S2区域的液晶的扰动微弱,可以解决像素电极电压(电力线)扰动导致的间隙S1和S2的漏光问题。

[0101] (5)对于使用常白模式的VA显示技术,在第一基板上的透明电极与对置基板上的公共电极之间的电位差设为6V,在间隙S1和S2区域,液晶显示稳定的黑态,从而可以省略间隙S1和S2正上方的对置基板上的黑色矩阵。采用本发明的技术方案,透明电极与像素电极之间的重叠面积充分,像素电极的电力线主要集中于像素电极与透明电极之间,散发到像素电极外侧的电力线少,对间隙S1和S2区域的液晶的扰动微弱,可以解决像素电极电压(电力线)扰动导致的间隙S1和S2的漏光问题。

[0102] 以上详细描述了本发明的优选实施方式,但是,本发明并不限于上述实施方式中的具体细节,在本发明的技术构思范围内,可以对本发明的技术方案进行多种等同变换,这些等同变换均属于本发明的保护范围。

[0103] 另外需要说明的是,在上述具体实施方式中所描述的各个具体技术特征,在不矛盾的情况下,可以通过任何合适的方式进行组合。为了避免不必要的重复,本发明对各种可能的组合方式不再另行说明。

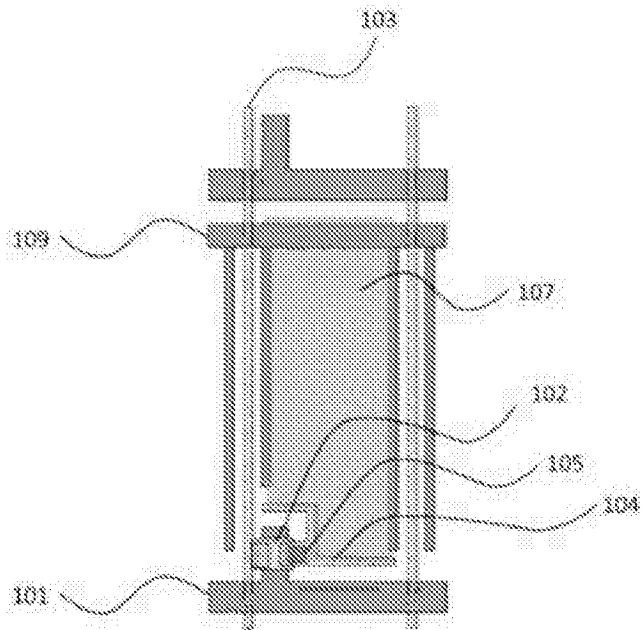


图1

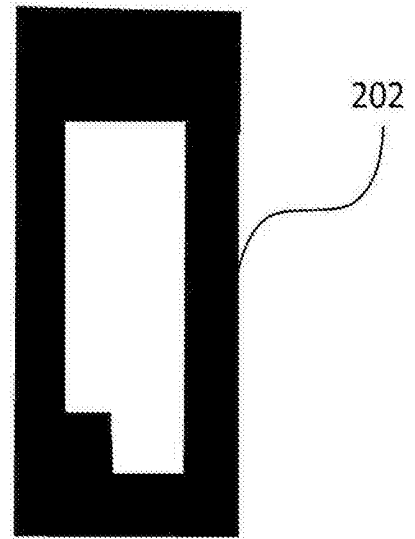


图2A

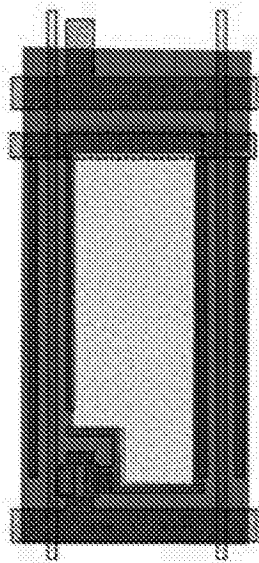


图2B

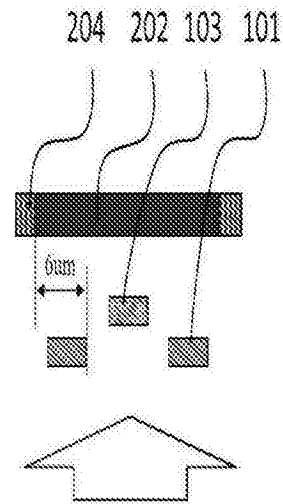


图2C

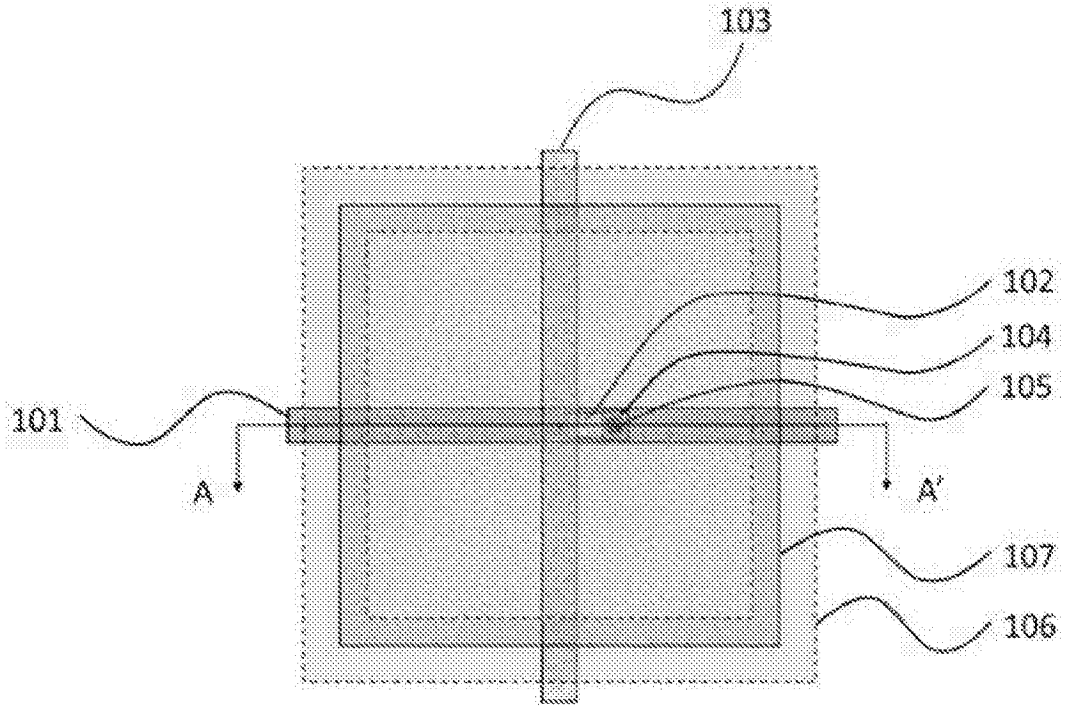


图3

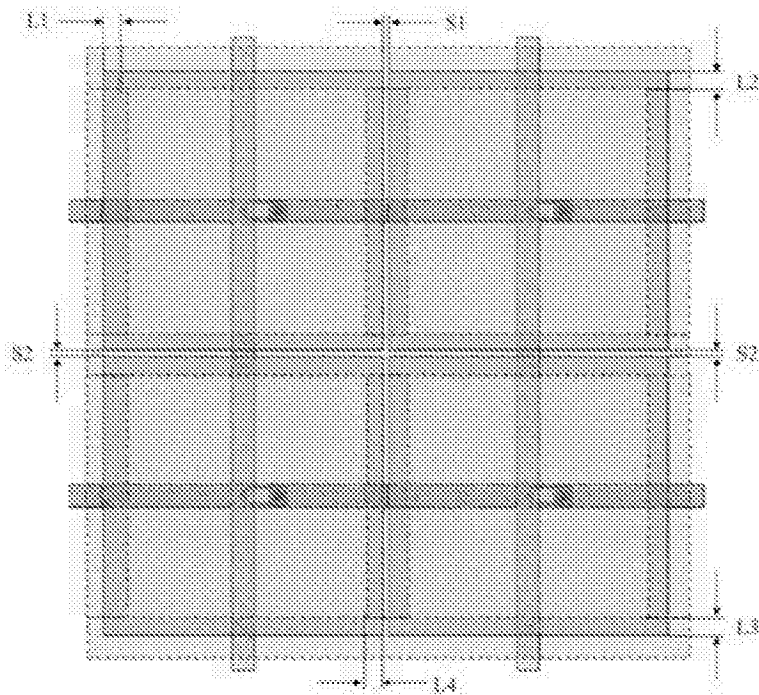


图4

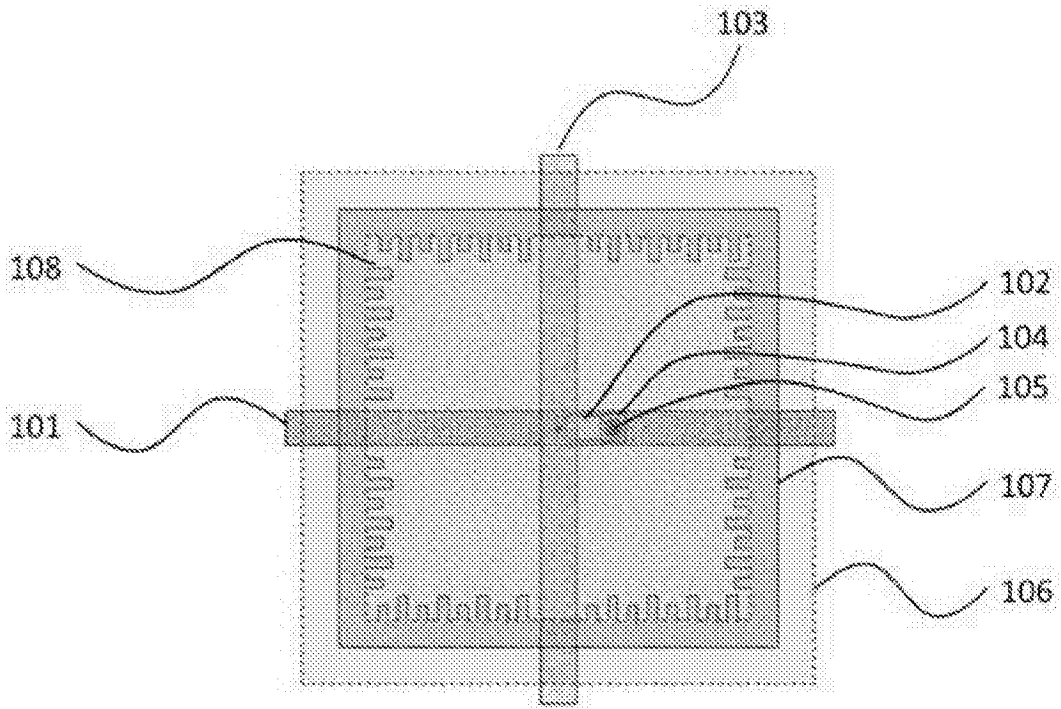


图5

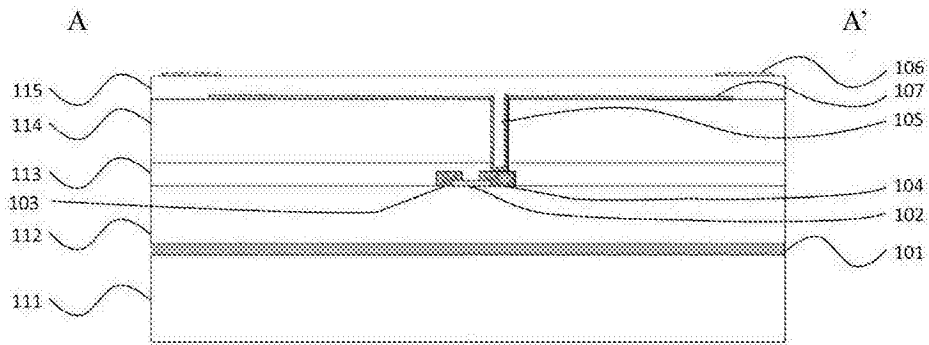


图6

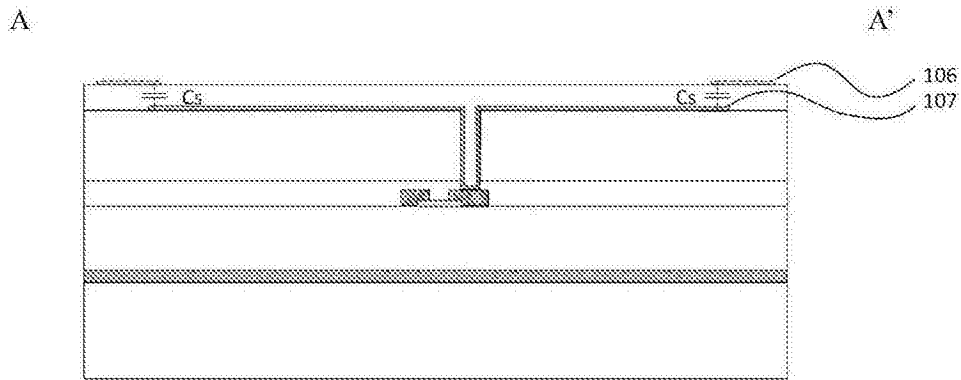


图7

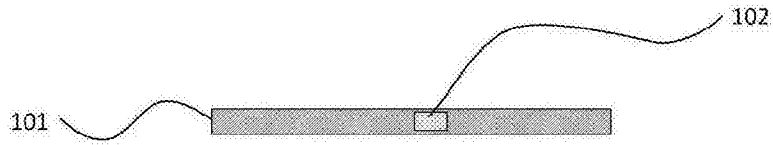


图8A

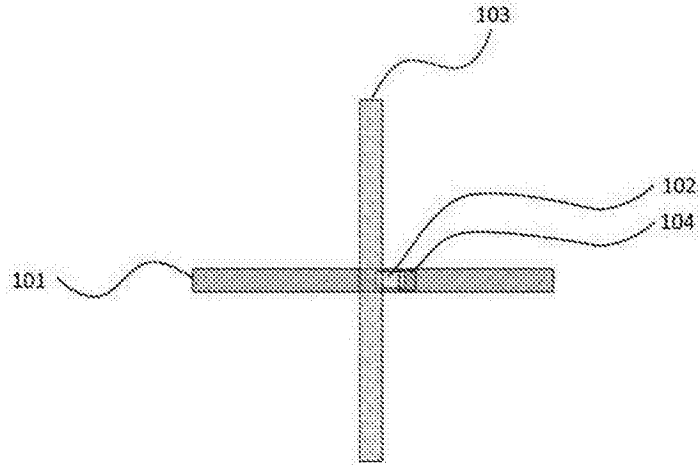


图8B

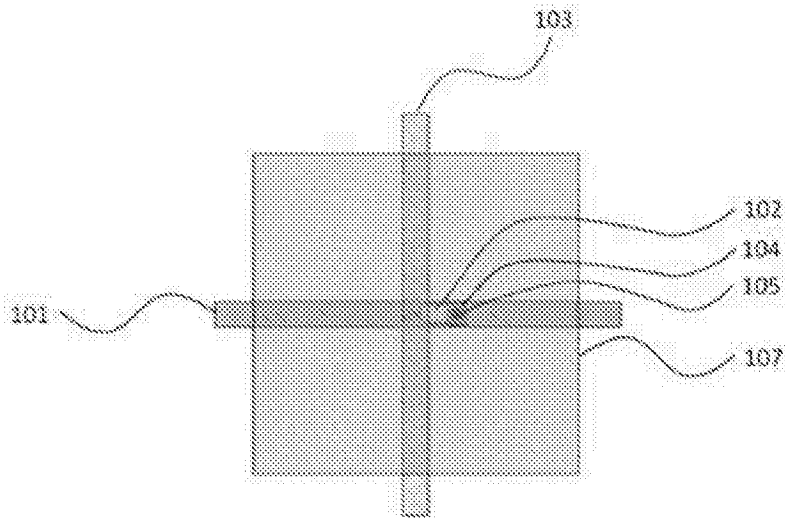


图8C

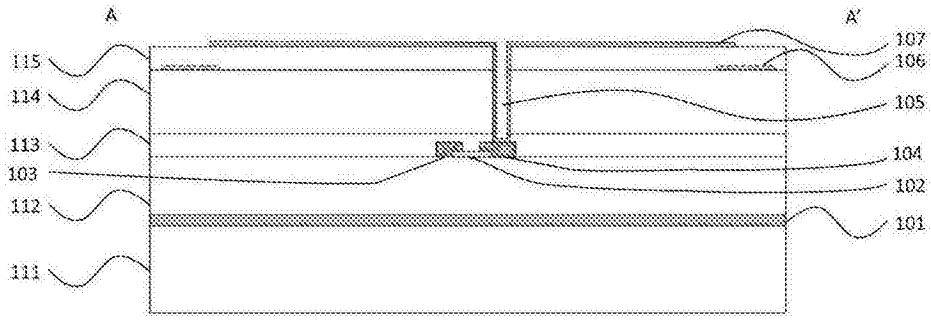


图9

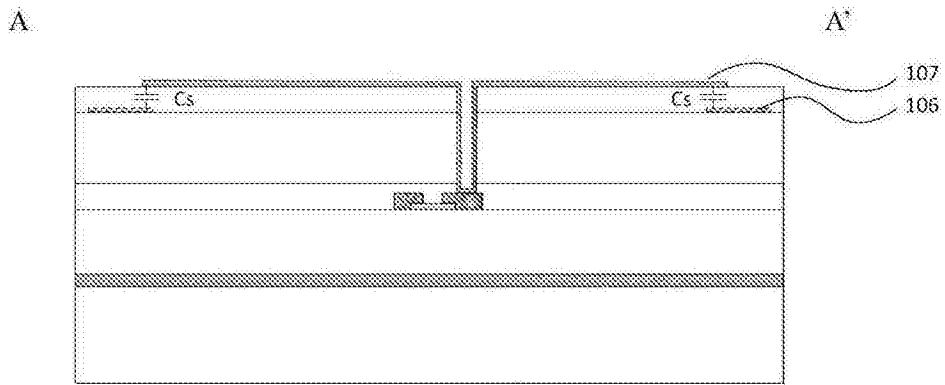


图10

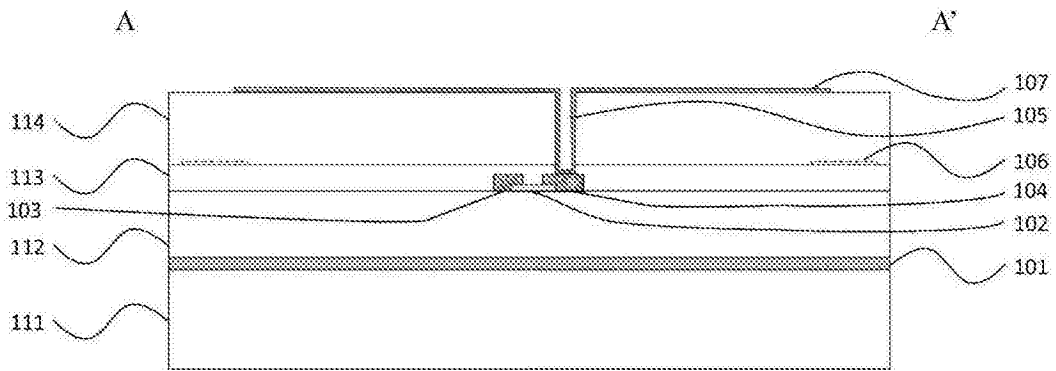


图11

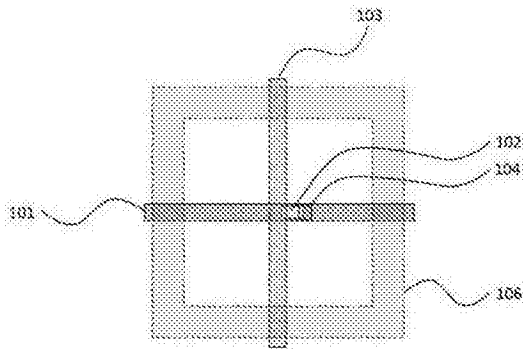


图12A

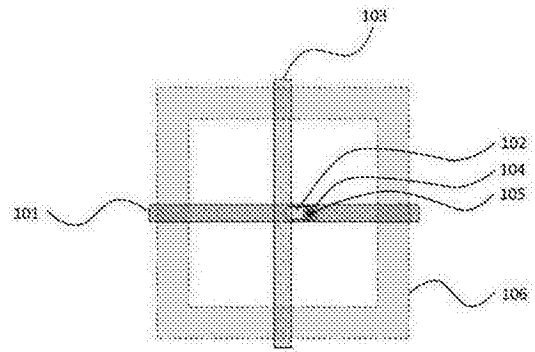


图12B

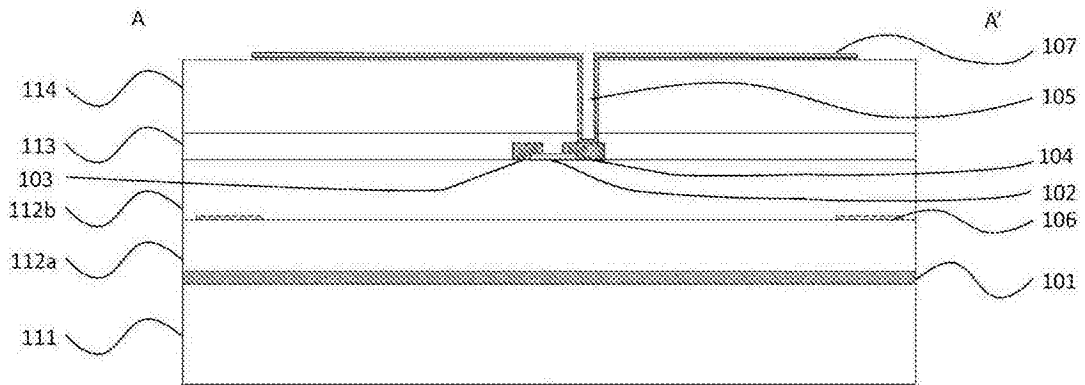


图13

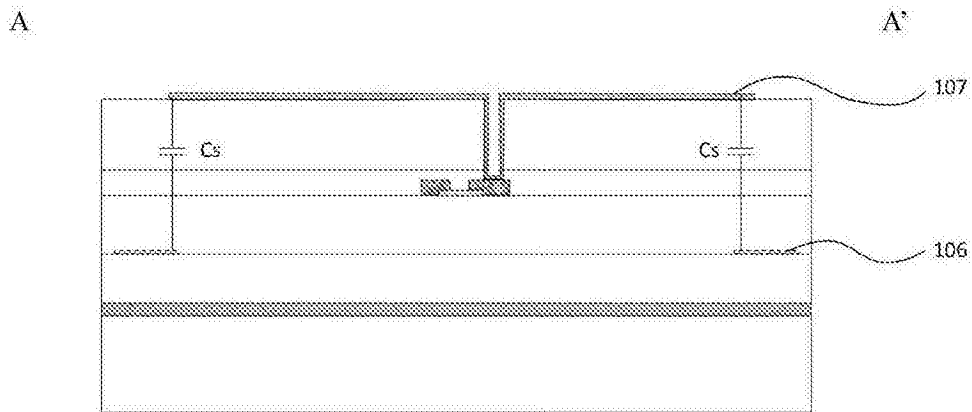


图14

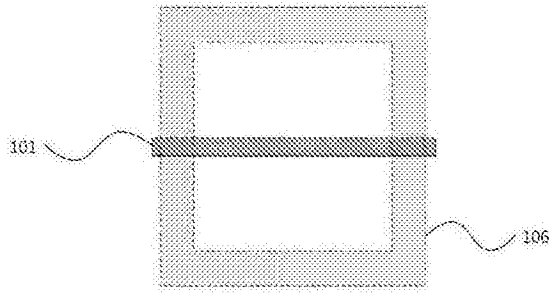


图15A

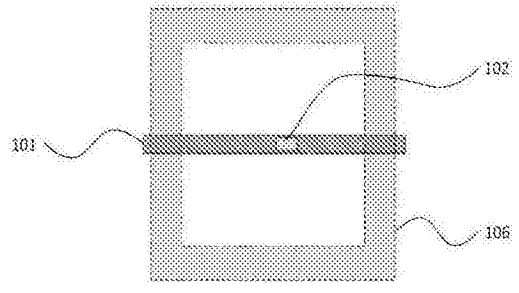


图15B

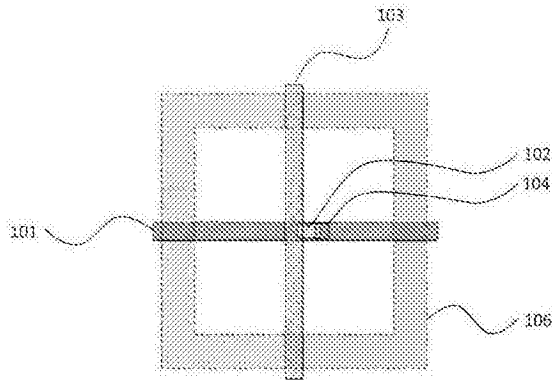


图15C

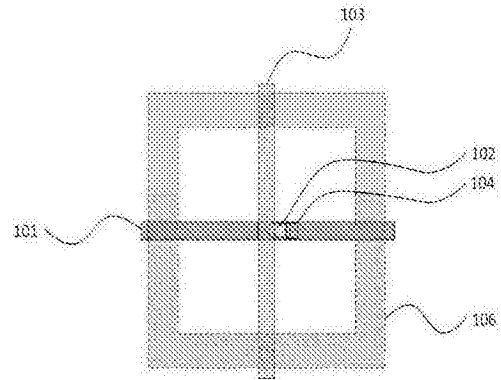


图15D

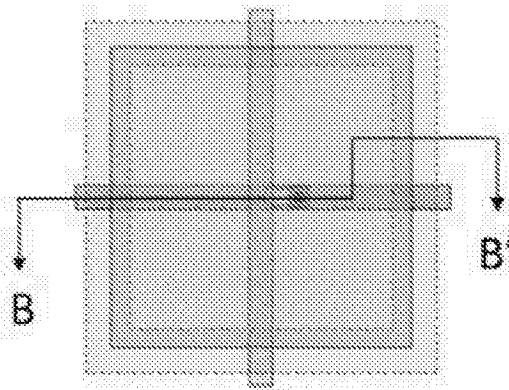


图16A

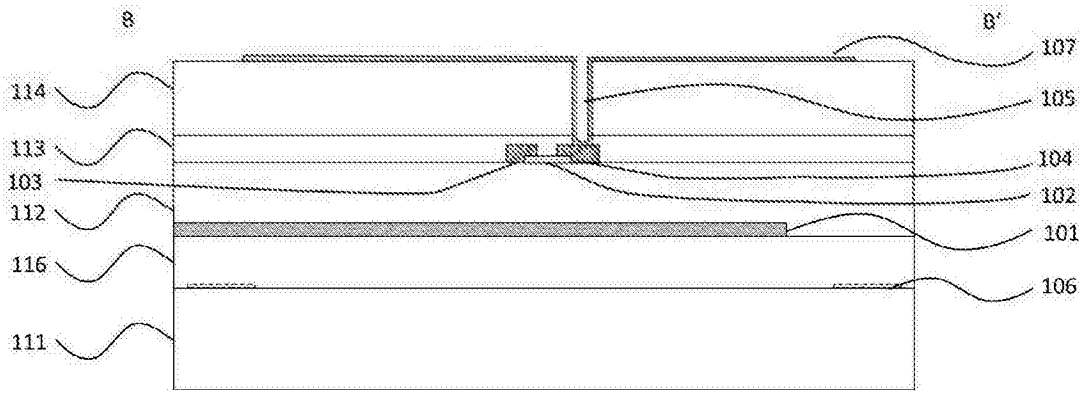


图16B

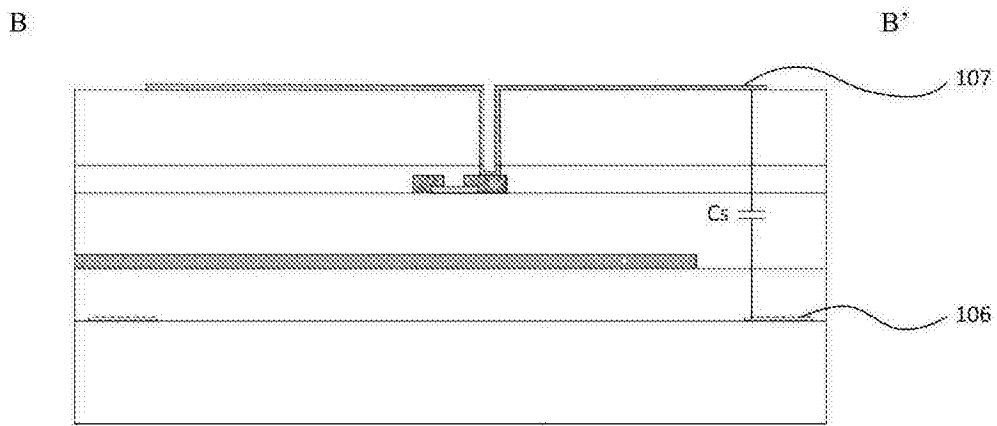


图17

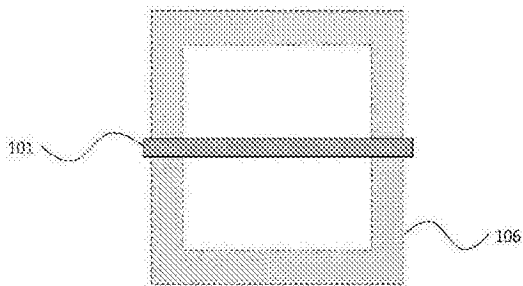


图18A

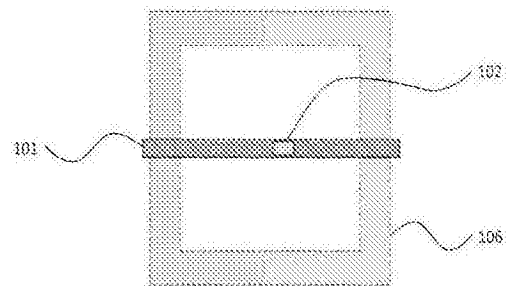


图18B

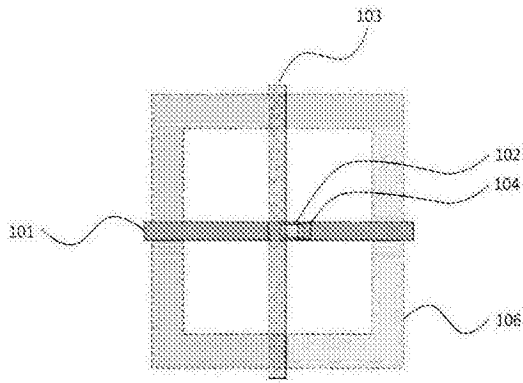


图18C

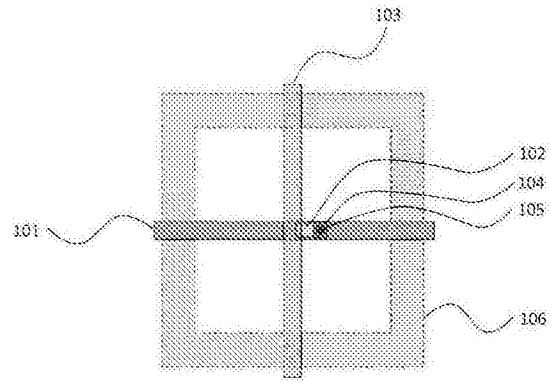


图18D

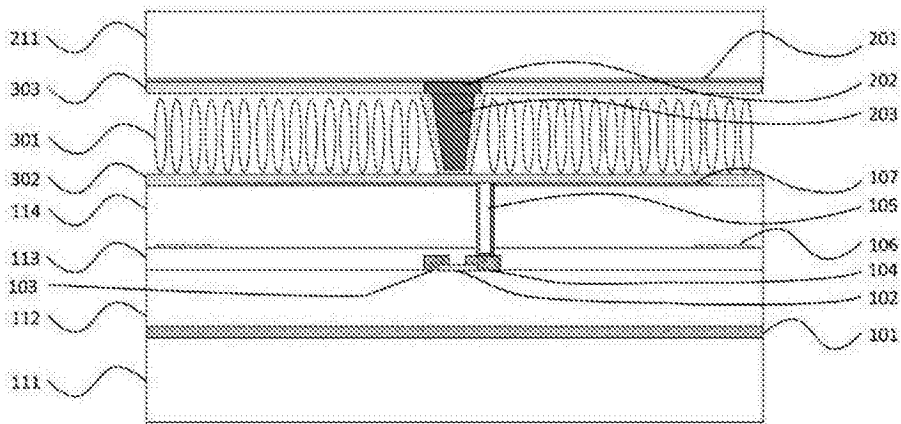


图19

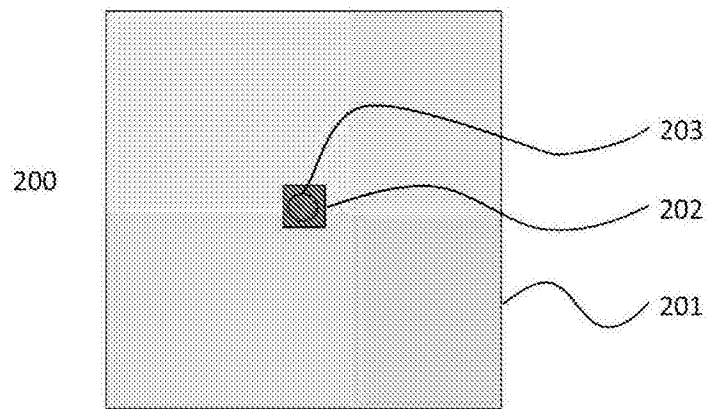


图20

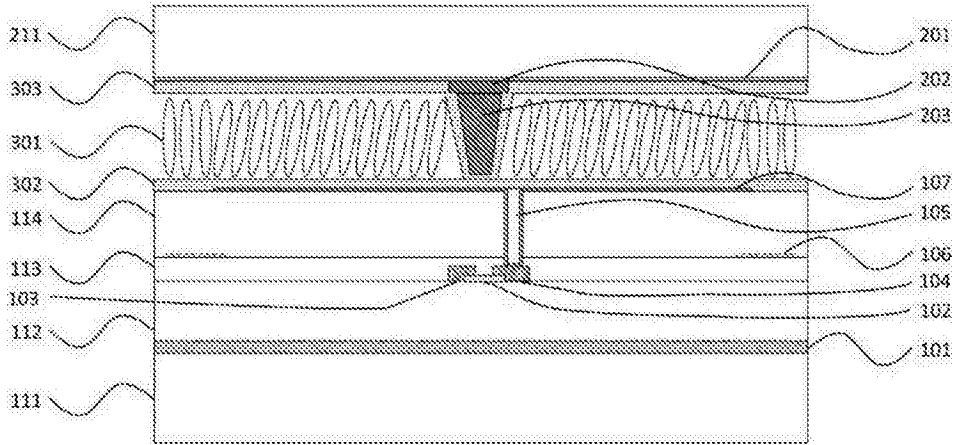


图21

专利名称(译)	液晶显示装置、阵列基板及其制作方法		
公开(公告)号	<a href="#">CN106125423A</a>	公开(公告)日	2016-11-16
申请号	CN201610454044.0	申请日	2016-06-21
[标]申请(专利权)人(译)	上海纪显电子科技有限公司		
申请(专利权)人(译)	上海纪显电子科技有限公司		
当前申请(专利权)人(译)	上海纪显电子科技有限公司		
[标]发明人	不公告发明人		
发明人	不公告发明人		
IPC分类号	G02F1/1362 G02F1/1343 H01L27/12		
CPC分类号	G02F1/136286 G02F1/134309 G02F1/136213 G02F1/136227 H01L27/124 H01L27/1259		
外部链接	<a href="#">Espacenet</a>	<a href="#">SIPO</a>	

摘要(译)

本发明提供一种液晶显示装置、阵列基板及其制作方法，涉及显示技术领域。阵列基板，包括：一基板，具有呈十字型交叉布置的复数条数据线和复数条扫描线；主动元件，设置在该复数条数据线与该复数条扫描线的十字型交叉区域；像素电极，以各个该十字型交叉区域为中心形成有复数个重复排列的像素电极单元，且通过一接触孔与该主动元件电性连接；透明电极，呈整面分布在该基板上，且该透明电极延伸至各个该像素电极单元的区域形成有复数个重复排列的开口区域。本发明同时还公开了该阵列基板的制造方法。

