



(12)发明专利

(10)授权公告号 CN 105137676 B

(45)授权公告日 2018.04.20

(21)申请号 201510648818.9

审查员 周明阳

(22)申请日 2015.10.09

(65)同一申请的已公布的文献号

申请公布号 CN 105137676 A

(43)申请公布日 2015.12.09

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 林家强

(74)专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51)Int.Cl.

G02F 1/1343(2006.01)

G02F 1/1368(2006.01)

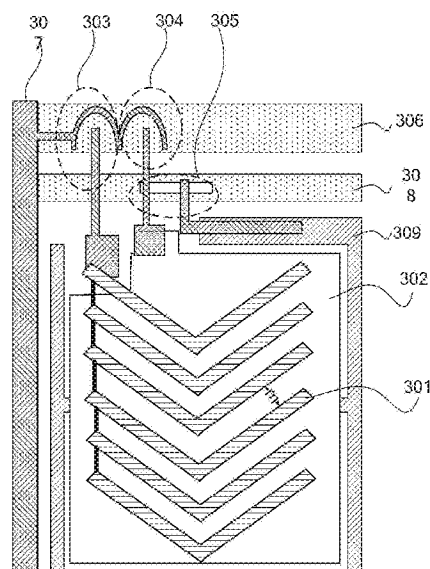
权利要求书2页 说明书10页 附图11页

(54)发明名称

一种像素单元、阵列基板及垂直配向型液晶显示装置

(57)摘要

本发明实施例涉及显示技术领域,尤其涉及一种像素单元、阵列基板及垂直配向型液晶显示装置,可以在提高液晶的偏转率的同时,减少细暗纹的数量。本发明实施例提供一种像素单元,包括:第一像素电极,所述第一像素电极包括相互连接的至少两个方向的条形电极组,每个所述条形电极组中的电极之间具有狭缝;位于所述第一像素电极下方的第二像素电极,所述第二像素电极至少重叠于所述第一像素电极的狭缝所在区域;第一薄膜晶体管,第二薄膜晶体管和第三薄膜晶体管。用于像素单元、阵列基板及垂直配向型液晶显示装置的制备。



1. 一种像素单元,其特征在于,包括:

第一像素电极,所述第一像素电极包括相互连接的至少两个方向的条形电极组,每个所述条形电极组中的电极之间具有狭缝;

位于所述第一像素电极下方的第二像素电极,所述第二像素电极至少重叠于所述第一像素电极的狭缝所在区域;

第一薄膜晶体管用于向所述第一像素电极传输数据线信号;

第二薄膜晶体管用于向所述第二像素电极传输所述数据线信号;

第三薄膜晶体管用于将所述第一像素电极或者所述第二像素电极的数据线信号传输给分压电极;

所述第一薄膜晶体管的栅极、源极、漏极分别与第一扫描线、数据线、所述第一像素电极电联接;

所述第二薄膜晶体管的栅极、源极、漏极分别与所述第一扫描线、所述数据线、所述第二像素电极电联接,其中,所述数据线用于传输数据线信号;

所述第三薄膜晶体管的栅极、源极、漏极分别与第二扫描线、所述第一像素电极或者所述第二像素电极、分压电极电联接。

2. 如权利要求1所述的像素单元,其特征在于,所述第一像素电极呈“米”字结构,包括:呈“ノ”字排布的两个第一条形电极组,呈“八”字排布的两个第二条形电极组,以及与各条形电极组连接的、呈“十”字状的畴间电极。

3. 如权利要求2所述的像素单元,其特征在于,两个所述第一条形电极组中的电极分别与畴间电极中的横向电极之间的夹角介于 $35^{\circ}\sim 55^{\circ}$;位于左侧的所述第二条形电极组中的电极与畴间电极中的横向电极之间的夹角介于 $35^{\circ}\sim 55^{\circ}$;位于右侧的所述第二条形电极组中的电极与畴间电极中的横向电极之间的夹角介于 $35^{\circ}\sim 65^{\circ}$ 之间。

4. 如权利要求1所述的像素单元,其特征在于,所述狭缝的间距介于 $3\sim 20$ 微米。

5. 如权利要求1所述的像素单元,其特征在于,所述第二像素电极包括相互连接的至少两个方向的条形电极组,每个所述条形电极组中的电极之间具有狭缝。

6. 如权利要求1所述的像素单元,其特征在于,所述第二像素电极为面状电极。

7. 如权利要求1所述的像素单元,其特征在于,所述第一薄膜晶体管的源极与所述数据线连接,所述第二薄膜晶体管的源极与所述第一薄膜晶体管的源极连接,所述第二薄膜晶体管的源极通过所述第一薄膜晶体管的源极与数据线相连接。

8. 如权利要求1所述的像素单元,其特征在于,所述第三薄膜晶体管的源极为所述第二薄膜晶体管的漏极中的一部分。

9. 如权利要求1所述的像素单元,其特征在于,所述分压电极与所述第一像素电极重叠区域形成第一存储电容;

所述分压电极与所述第二像素电极重叠区域形成第二存储电容。

10. 一种阵列基板,其特征在于,包括:

成对排列的第一扫描线、第二扫描线;

与所述第一扫描线和所述第二扫描线交叉设置的数据线;

与所述第一扫描线、所述第二扫描线和所述数据线连接的像素单元,所述像素单元为权利要求1~9任意项所述的像素单元。

11. 一种垂直配向型液晶显示装置,其特征在于,包括:
- 权利要求10所述的阵列基板;
- 彩膜基板,所述彩膜基板与所述阵列基板相对设置,且所述彩膜基板上设置有公共电极;
- 液晶层,设置于所述阵列基板与所述彩膜基板之间。

一种像素单元、阵列基板及垂直配向型液晶显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素单元、阵列基板及垂直配向型液晶显示装置。

背景技术

[0002] 聚合物稳定垂直配向(Polymer Stabilization Vertical Alignment,简称PSVA)技术是在配向膜上生成一层可以使VA液晶形成预倾角的聚合物层。其中,聚合物层的形成过程如图1a至图1c所示。如图1a所示,未在上下基板施加电压之前,普通液晶分子的指向矢是垂直于上下基板排列的。在施加电压之前,先在普通的VA液晶中掺入一定比例的高纯度的反应型液晶(英文为:Reactive Mesogen),反应型液晶具有普通液晶分子的液晶核,末端带有一个或多个亚克力基(英文为:Acrylate Group)之类的可反应官能基。可反应官能基经过紫外光(Ultra Violet,简称UV)照射之后聚合成高分子网络,可以达到永久固定。

[0003] 如图1b所示,在UV光照射之前,先在上下基板上施加电压,使液晶分子产生一个预倾角,其中,对应于像素单元中的不同畴中的液晶分子,倾斜方向分别不同(图1b未示出不同畴中液晶分子的倾斜方向);当因为施加的外加电压,而导致液晶产生倾角之后,可以进行UV照射,由于在普通液晶中掺入了反应型液晶,而反应型液晶受到UV照射后,可以聚合成高分子网络,达到永久固定,因此可以使得靠近上下基板的液晶分子形成固定的预倾角。如图1c所示,当UV照射结束后,撤去外加电压之后。由于靠近上下基板的液晶分子受到高分子网络的影响,形成固定的预倾角,而中间层的液晶分子未受到高分子网络分子的影响,则恢复为垂直于上下基板的排列方式。

[0004] 图2示例性示出了现有技术中多畴垂直配向型液晶显示装置中像素电极的平面示意图。如图2所示,为了实现垂直配向多畴显示,通常会将像素电极图形(英文为:pixel pattern)做成带有狭缝的像素电极(英文为:pixel slit),使得液晶在该像素电极和彩膜基板上的公共电极的作用下,可以向多个方向倾斜,形成液晶多畴配向。由于像素电极的电极条纹之间存在间隙,导致电极条纹之间的间隙与公共电极之间形成的电场强度会弱于电极条纹与公共电极之间所形成的电场强度,所以电极条纹与公共电极之间所形成的电场对液晶分子产生作用力会大于电极条纹之间的间隙与公共电极之间所形成的电场对液晶分子产生的作用力,导致液晶的偏转效率比较低,从而会在间隙位置处形成暗条纹。

[0005] 为了解决上述暗条纹问题,行业中利用像素电极制作工艺来减小像素电极的电极条纹之间的间隙,可以减小暗条纹的宽度。采用上述方法,虽然可以减小暗条纹的宽度,但是仍然不能减少暗条纹。

发明内容

[0006] 本发明实施例提供一种像素单元、阵列基板及垂直配向型液晶显示装置,可以在提高液晶偏转率的同时,减少暗条纹的数量。

[0007] 本发明实施例提供一种像素单元,包括:

- [0008] 第一像素电极,所述第一像素电极包括相互连接的至少两个方向的条形电极组,每个所述条形电极组中的电极之间具有狭缝;
- [0009] 位于所述第一像素电极下方的第二像素电极,所述第二像素电极至少重叠于所述第一像素电极的狭缝所在区域;
- [0010] 第一薄膜晶体管用于向所述第一像素电极传输数据线信号;
- [0011] 第二薄膜晶体管用于向所述第二像素电极传输所述数据线信号;
- [0012] 第三薄膜晶体管用于将所述第一像素电极或者所述第二像素电极的数据线信号传输给分压电极。
- [0013] 较佳地,所述第一薄膜晶体管的栅极、源极、漏极分别与第一扫描线、数据线、所述第一像素电极电联接;
- [0014] 所述第二薄膜晶体管的栅极、源极、漏极分别与所述第一扫描线、所述数据线、所述第二像素电极电联接,其中,所述数据线用于传输数据线信号;
- [0015] 所述第三薄膜晶体管的栅极、源极、漏极分别与第二扫描线、所述第一像素电极或者所述第二像素电极、分压电极电联接。
- [0016] 较佳地,所述第一像素电极呈“米”字结构,包括:呈“ $\vee$ ”字排布的两个第一条形电极组,呈“八”字排布的两个第二条形电极组,以及与各条形电极组连接的、呈“十”字状的瞬间电极。
- [0017] 较佳地,两个所述第一条形电极组中的电极分别与瞬间电极中的横向电极之间的夹角介于 $35^{\circ}\sim 55^{\circ}$;位于左侧的所述第二条形电极组中的电极与瞬间电极中的横向电极之间的夹角介于 $35^{\circ}\sim 55^{\circ}$;位于右侧的所述第二条形电极组中的电极与瞬间电极中的横向电极之间的夹角介于 $35^{\circ}\sim 65^{\circ}$ 之间。
- [0018] 较佳地,所述狭缝的间距介于 $3\sim 20$ 微米。
- [0019] 较佳地,所述第二像素电极包括相互连接的至少两个方向的条形电极组,每个所述条形电极组中的电极之间具有狭缝。
- [0020] 较佳地,所述第二像素电极为面状电极。
- [0021] 较佳地,所述第一薄膜晶体管的源极与所述数据线连接,且所述第二薄膜晶体管的源极与所述第一薄膜晶体管的源极连接。
- [0022] 较佳地,所述第三薄膜晶体管的源极为所述第二薄膜晶体管的漏极中的一部分。
- [0023] 较佳地,所述分压电极与所述第一像素电极重叠区域形成第一存储电容;
- [0024] 所述分压电极与所述第二像素电极重叠区域形成第二存储电容。
- [0025] 本发明实施例还提供一种阵列基板,包括:
- [0026] 成对排列的第一扫描线、第二扫描线;
- [0027] 与所述第一扫描线和所述第二扫描线交叉设置的数据线;
- [0028] 与所述第一扫描线、所述第二扫描线和所述数据线连接的像素单元,该像素单元为上述实施例中的像素单元。
- [0029] 本发明实施例还提供一种垂直配向型液晶显示装置,包括:
- [0030] 上述实施例中的阵列基板;
- [0031] 彩膜基板,所述彩膜基板与所述阵列基板相对设置,且所述彩膜基板上设置有公共电极;

[0032] 液晶层,设置于所述阵列基板与所述彩膜基板之间。

[0033] 本发明实施例中,提供的第一像素电极包括相互连接的至少两个方向的条形电极组,每个所述条形电极组中的电极之间具有狭缝;位于所述第一像素电极下方的第二像素电极,所述第二像素电极至少重叠于所述第一像素电极的狭缝所在区域;第一薄膜晶体管用于向所述第一像素电极传输数据线信号;第二薄膜晶体管用于向所述第二像素电极传输所述数据线信号;第三薄膜晶体管用于将所述第一像素电极或所述第二像素电极的数据线信号传输给分压电极;在该像素结构中,第二像素电极重叠于第一像素电极的条形电极间隔区域,当第一像素电极的条形电极和设置在彩膜基板上的公共电极之间形成的电场大于条形电极间隔区域和设置在彩膜基板上的公共电极之间形成的电场时,由于第二像素电极重叠于第一像素电极的条形电极间隔区域,从而第二像素电极可以与设置在彩膜基板上的公共电极之间也形成电场。即位于第一像素电极条形电极间隔区域的液晶受到第二像素电极和设置在彩膜基板上的公共电极之间形成的电场的作用力,可以产生足够的偏转,从而在提高液晶偏转率的同时,减少了位于第一像素电极条形电极间隔区域产生的暗条纹数量。

附图说明

[0034] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0035] 图1a为现有技术中,普通液晶分子在上下基板中的排列示意图;

[0036] 图1b为现有技术中,在上下基板施加电压后,液晶分子在上下基板的排列示意图;

[0037] 图1c为现有技术中,在UV照射后,液晶分子在上下基板的排列示意图;

[0038] 图2为现有技术中多畴垂直配向型像素单元的平面示意图;

[0039] 图3为本发明实施例提供的一种像素单元结构示意图;

[0040] 图4a为本发明实施例提供的第一像素电极在像素单元中的一种分布情况示意图;

[0041] 图4b为本发明实施例提供的第一像素电极在像素单元中的另一种分布情况示意图;

[0042] 图5a为本发明实施例提供的第一像素电极为“米”字结构的像素单元结构示意图;

[0043] 图5b为本发明实施例提供的一种包括第一像素电极和第二像素电极的像素单元结构示意图;

[0044] 图5c为本发明实施例提供的第一像素电极和第二像素电极的垂直剖面示意图;

[0045] 图5d为本发明实施例提供的另一种包括第一像素电极和第二像素电极的像素单元结构示意图;

[0046] 图5e为本发明实施例提供的另一种第一像素电极和第二像素电极的垂直剖面示意图;

[0047] 图6为本发明实施例提供的一种阵列基板结构示意图;

[0048] 图7为本发明实施例提供的一种液晶显示器结构示意图。

具体实施方式

[0049] 以下结合说明书附图对本发明的优选实施例进行说明,应当理解,此处所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明,并且在不冲突的情况下,本发明中的实施例及实施例中的特征可以相互组合。

[0050] 本发明实施例提供一种像素单元,该像素单元通常设置在显示装置的阵列基板上,具体如图3所示,包括第一像素电极301、第二像素电极302、第一薄膜晶体管303、第二薄膜晶体管304和第三薄膜晶体管305;其中,第一像素电极301包括相互连接的至少两个方向的条形电极组,而且每个条形电极组中的电极之间具有狭缝m;第二像素电极302位于第一像素电极301的下方,且第二像素电极302部分或者全部重叠于第一像素电极301的条形电极组的狭缝m所在区域。

[0051] 如图3所示,该像素单元还包括第一扫描线306,数据线307,第二扫描线308和分压电极309。具体地,第一薄膜晶体管303用于向所述第一像素电极301传输数据线信号,第二薄膜晶体管304用于向所述第二像素电极302传输所述数据线信号,第三薄膜晶体管305用于将所述第一像素电极301的数据线信号传输给分压电极309。

[0052] 需要说明的是,上述实施例中,第三薄膜晶体管305还用于将所述第二像素电极302的数据线信号传输给分压电极309。在本发明实施例中,对第三薄膜晶体管向分压电极是否传输第一像素电极的数据线信号或者传输第二像素电极的数据线信号不做具体的限定。

[0053] 如图3所述,第一薄膜晶体管303的栅极与第一扫描线306电联接,第一薄膜晶体管303的源极与数据线307电联接,第一薄膜晶体管303的漏极与第一像素电极301电联接;第二薄膜晶体管304的栅极与第一扫描线306电联接,第二薄膜晶体管304的源极与数据线307电联接,第二薄膜晶体管的漏极与第二像素电极302电联接;第三薄膜晶体管305的栅极与第二扫描线308电连接,第三薄膜晶体管305的源极与第二像素电极302电连接,第三薄膜晶体管305的漏极与分压电极309电联接。

[0054] 需要说明的是,当第一薄膜晶体管303的栅极与第一扫描线306电联接,第一薄膜晶体管303的源极与数据线307电联接,第一薄膜晶体管303的漏极与第一像素电极301电联接时,数据线307为第一像素电极301传输数据线信号;当第二薄膜晶体管304的栅极与第一扫描线306电联接,第二薄膜晶体管304的源极与数据线307电联接,第二薄膜晶体管的漏极与第二像素电极302电联接时,数据线307为第二像素电极传输数据线信号。

[0055] 在上述实施例中,需要说明的是,第三薄膜晶体管305的源极也可以与第一像素电极301电联接,不与第二像素电极302电联接。

[0056] 在实际应用中,电联接(英文为:electrically coupled to),包括直接或者间接连接,并且包括感应耦合之类;电连接(英文为:electrically connected to),通常指直接连接,不包括感应耦合之类。

[0057] 本发明实施例中,对与第三薄膜晶体管的源极电联接的像素电极不做具体的限定,同时,对与第三薄膜晶体管的源极连接的像素电极的连接方式不做具体的显示。

[0058] 这里,为了满足第一像素电极电极组中的电极和设置在彩膜基板上的公共电极之间形成的电场能为液晶层的液晶提供相等的作用力,优选地,可以将同一条形电极组中的

电极之间的狭缝 m 设置为相同宽度,也可以将同一条形电极组中的各电极的宽度设置为相同的宽度;还可以将同一条形电极组中的电极之间的狭缝 m 设置为相同宽度,同时将同一条形电极组中的多个电极的宽度设置为相同的宽度。本发明实施例中,对同一条形电极组中的电极之间的狭缝宽度以及同一条形电极组中的电极的宽度不做具体的限定。

[0059] 在本发明实施例中,条形电极组包括多个相互平行的电极,电极之间具有间隙,也即一个条形电极组具有同一个方向排布的一组电极。

[0060] 在本发明实施例中,为了方便介绍说明,将像素电极中位于上方的电极称为第一像素电极,在像素电极中位于下方的电极称为第二像素电极。第一像素电极所包括的相互连接的至少两个方向的条形电极组,其中,条形电极组在像素单元中的分布情况不限于图3所示分布情况,在本发明实施例中,第一像素电极只要满足以下条件即可:

[0061] (1) 至少具有两个方向的条形电极组;

[0062] (2) 上述的条形电极组之间相互连接;

[0063] (3) 每个条形电极组中的电极具有狭缝。

[0064] 图4a示例性示出第一像素电极在像素单元中的一种分布情况。如图4a所示,第一像素电极401a包括具有两个方向的相互连接的条形电极组,且在条形电极组中的电极之间具有狭缝。第一像素电极401a位于像素电极的上方,第二像素电极402a位于像素电极的下方(图中未示出),其中,条形电极组之间相互连接,在本发明实施例中,条形电极组之间的连接点可以位于条形电极组的上方,可以位于条形电极组的下方,也可以位于条形电极组的中间,本发明实施例对条形电极组之间的连接点不做具体的限定。

[0065] 进一步地,若将图4a中的第一像素电极401a在像素单元中进行旋转,则可以获得如图4b所示的第一像素电极402a,图4b中所示的第一像素电极402a和图4a中所示的第一像素电极401a的结构相同,具有两个方向的相互连接的条形电极组,且在条形电极组中的电极之间具有狭缝,且位于像素电极的上方;图4b中的第二像素电极402b(图中未示出)位于像素电极的下方。而且图4b中的第一像素电极402a之间也相互连接,且连接方法和图4a中的连接方法一致,在此不再赘述。

[0066] 进一步地,若将图4a中的第一像素电极401a继续在像素电极中旋转,可以获取与图4a中的第一像素电极401a方向相反的第一像素电极;若将图4a中的第一像素电极401a继续在像素电极中旋转,还可以获得与图4b中的第一像素电极402a方向相反的第一像素电极。在本发明实施例中,对具有两个方向且相互连接的第一像素电极,且在条形电极组中的电极之间具有狭缝的电极组的朝向不做具体的限定。

[0067] 在本发明实施例中,第一像素电极包括相互连接的至少两个方向的条形电极组,每个条形电极组中的电极之间具有狭缝;第二像素电极位于第一像素电极下方,且第二像素电极至少重叠于第一像素电极的狭缝所在区域;第一薄膜晶体管的栅极、源极、漏极分别与第一扫描线、数据线和第一像素电极电联接;第二薄膜晶体管的栅极、源极、漏极分别与第一扫描线、数据线、第二像素电极电联接;第三薄膜的栅极、源极、漏极分别与第二扫描线,第一像素电极或者第二像素电极、分压电极电联接。当第一薄膜晶体管和第三薄膜晶体管打开时,数据线会同时给第一像素电极和第二像素电极充电,等第一像素电极和第二像素电极充电完成后,第一扫描线呈低电压状态,关闭第一薄膜晶体管和第三薄膜晶体管;第二扫描线呈高电压状态,会将第三薄膜晶体管打开,由于第三薄膜晶体管的栅极、源极、漏

极分别与第二扫描线、第二像素电极或者第一像素电极、分压电极电联接。比如,与第三薄膜晶体管中的源极电连接的是第二像素电极,当第三薄膜晶体管打开时,第二像素电极内存储的电荷会向分压电极充电,或者分压电极会向第二像素电极充电,所以第二像素电极内存储的电荷会不同于第一像素内存储的电荷。

[0068] 当第一像素电极条形电极组内的电极与设置在彩膜基板上的公共电极之间形成的电场时,第一像素电极条形电极组内的电极之间的狭缝也会与设置在彩膜基板上的公共电极之间形成电场。由于第一像素电极内存储有电荷,而第一像素电极条形电极组内的电极之间的狭缝区域没有存储电荷,所以,电极之间与设置在彩膜基板上的公共电极之间形成的电场会大于狭缝区域与设置在彩膜基板上的公共电极之间形成的电场。即狭缝区域与设置在彩膜基板上的公共电极之间形成的电场为液晶层的液晶提供的作用力,会小于电极与设置在彩膜基板上的公共电极之间形成的电场为液晶层的液晶提供的作用力。同时,狭缝区域对应的液晶层内的液晶的偏转率也会比较低。

[0069] 在本发明实施例中,第二像素电极位于第一像素电极的下方,且至少有部分或者全部重叠于第一像素电极的狭缝所在区域,由于第一像素电极内存储的电荷不同于第二像素电极内存储的电荷,即第一像素电极的条形电极与设置在彩膜基板上的公共电极之间形成的电场也会不同于第二像素电极与设置在彩膜基板上的公共电极之间形成的电场,由于第二像素电极至少有部分或者全部重叠于第一像素电极的狭缝区域,所以,第一像素电极的狭缝区域与设置在彩膜基板上的公共电极之间形成的电场比较弱时,第二像素电极可以与设置在彩膜基板上的公共电极之间形成电场,而且该电场的强度会大于第一像素电极的狭缝区域与设置在彩膜基板上的公共电极之间形成的电场强度。因此,第二像素电极与设置在彩膜基板上的公共电极之间形成的电场为液晶层的液晶提供的作用力大于狭缝区域与设置在彩膜基板上的公共电极之间形成的电场为液晶层的液晶提供的作用力。采用本发明实施例所提供的方法,可以在提高液晶偏转率的同时,减少第一像素电极的条形电极狭缝区域形成暗条纹的数量。

[0070] 基于相同的发明构思,以下结合附图5a、图5b和图5c说明本发明实施例提供的一种像素单元。图5a示例性的示出了本发明实施例提供的第一像素电极结构示意图;图5b为本发明实施例提供的包括第一像素电极和第二像素电极的结构示意图,图5c为本发明实施例中第一像素电极和第二像素电极的垂直剖面示意图。

[0071] 本发明实施例仅对第一像素电极在像素单元中的具体形状做进一步限定,关于像素单元的其它结构可以参考上述实施例。

[0072] 在本发明实施例中,第一像素电极在像素单元中的分布参见图5a,第一像素电极501a(图中未示出)在像素单元中呈“米”字结构,包括呈“ $\vee$ ”字排布的两个第一条形电极组501a-1,呈“八”字排布的两个第二条形电极组501a-2,以及与各条形电极组连接的、呈“十”字状的瞬间电极501a-3。

[0073] 需要说明的是,第一像素电极包括的第一条形电极组501a-1和第二条形电极组501a-2中的电极形状可以完全相同,也可以部分相同,本发明实施例中,对第一条形电极组501a-1和第二条形电极组501a-2的形状是否相同,不做具体的限定。

[0074] 具体地,第一条形电极组501a-1的左侧的电极和瞬间电极501a-3中的横向电极之间的夹角为 α ,其中,夹角 α 介于 35° ~ 55° 之间;第一条形电极组501a-1的右侧的电极和瞬间

电极501a-3中的横向电极之间的夹角为b,其中,夹角b介于 35° ~ 55° 之间;第二条形电极组501a-2的左侧电极和畴间电极501a-3中的横向电极之间的夹角为d,其中,夹角d介于 35° ~ 55° 之间;第二条形电极组501a-2的右侧电极和畴间电极501a-3中的横向电极之间的夹角为c,其中,夹角c介于 35° ~ 65° 之间。

[0075] 在本发明实施例中,对第一条形电极组501a-1中的电极与畴间电极501a-3中的横向电极之间的夹角不做具体的限定,对第二条形电极组501a-2中的电极与畴间电极501a-3中的横向电极之间的夹角也不做具体的限定。

[0076] 由于第一像素电极包括的条形电极组中的电极之间具有狭缝,若第一像素电极中的狭缝间距比较小,第一像素电极中的条形电极组中的电极在和设置在彩膜基板的公共电极之间形成的电场,会和重叠于或部分重叠于第一像素电极狭缝区域的第二像素电极和设置在彩膜基板上的公共电极之间形成的电场之间相互干扰。

[0077] 在本发明实施例中,为了减小第一像素电极中条形电极组中电极和设置在彩膜基板上的公共电极之间形成的电场,与重叠于或部分重叠于第一像素狭缝区域的第二像素电极和设置在彩膜基板上的公共电极之间形成的电场之间会相互干扰,优选地,第一像素电极条形电极组中的电极之间的狭缝间距介于3~20微米之间。

[0078] 在本发明实施例中,第二像素电极位于第一像素电极的下方,且第二像素电极至少部分重叠或者全部重叠于第一像素的狭缝所在区域。本发明实施例中提供的第二像素电极的形状至少包括以下两种情况:

[0079] 一种实施例中,可以将第二像素电极制作成与第一像素电极类似的形状,比如,第二像素电极包括相互连接的至少两个方向的条形电极组,每个条形电极组中的电极之间具有狭缝。由于第二像素电极需至少重叠于第一像素电极的狭缝所在区域,因此,第二像素电极的条形电极组中的电极可以部分或者全部位于第一像素电极的狭缝所在区域,第二像素电极的条形电极组中的电极之间的狭缝也恰好位于第一像素电极的条形电极下方。

[0080] 如图5b所示,第二像素电极501b的形状和第一像素电极501a具有类似的形状,由于第一像素电极的狭缝宽度介于3~20微米,所以,在本发明实施例中,第一像素电极501a的狭缝间距可以小于第二像素电极501b的电极宽度;可以大于第二像素电极501b的电极宽度;还可以等于第二像素电极501b的电极宽度。

[0081] 当第一像素电极501a的狭缝间距大于第二像素电极501b的电极宽度时,第二像素电极501b的电极只能部分重叠于第一像素电极的狭缝所在区域,即第一像素电极501a的狭缝所在区域会有部分没有被第二像素电极的电极所占用;当第一像素电极501a的狭缝间距等于第二像素电极501b的电极宽度时,第二像素电极501b的电极可以全部重叠于第一像素电极的狭缝所在区域;当第一像素电极501a的狭缝间距小于第二像素电极501b的电极宽度时,第二像素电极501b的电极不但可以全部重叠于第一像素电极的狭缝所在区域,而且会有部分区域会延伸至第一像素电极的电极下方。在本发明实施例中,对第一像素电极的狭缝宽度和第二像素电极的电极宽度的大小不做具体的限定。

[0082] 图5c为图5b中AA线的剖面示意图,在图5b中,AA线包括第一像素电极501a和第二像素电极501b,其中,第一像素电极501a电极组中有三个电极,第二像素电极501b电极组中有四个电极,且第一像素电极501a的狭缝所在区域的宽度和第二像素电极的电极宽度相等。如图5c所示,第二像素电极501b电极组中的电极宽度和第一像素电极501a的狭缝所在

区域的宽度相等,即第二像素电极501b完全重叠于第一像素电极501a的狭缝所在区域,且第二像素电极501b的电极没有延伸至第一像素电极501a的电极下方。

[0083] 上述实施例中,第一像素电极的狭缝区域与设置在彩膜基板上的公共电极形成的电场,比第一像素电极的电极组中的电极与设置在彩膜基板上的公共电极形成的电场弱,由于第二像素电极的位于第一像素电极的下方,且第二像素电极的至少部分重叠于第一像素电极的狭缝所在区域,即狭缝所在区域为液晶层内的液晶提供的偏转作用力小于电极所在区域为液晶层内的液晶提供的偏转作用力时,第二像素电极的电极组中的电极与设置在彩膜基板上的公共电极所形成的电场,会为狭缝所在区域对应的液晶层内的液晶提供偏转作用力。因此,当第二像素电极位于第一像素电极下方,且至少有部分像素电极重叠于第一像素电极的狭缝所在区域时,可以提高了液晶的偏转率,同时减少现有技术中暗条纹的数量。

[0084] 另一种实施例,可以将第二像素电极做成面状结构。如图5d所示,第二像素电极502b位于第一像素电极502a的下方,由于第二像素电极502b的形状为面状,所以第二像素电极502b可以完全重叠于第一像素电极502a的下方。图5e为图5d中的BB线的剖面示意图,由于第二像素电极502b为面状结构,在图5e中,第二像素电极502b不但完全重叠于第一像素电极502a的狭缝所在区域的下方,而且完全重叠于第一像素电极502a的电极所在区域的下方。

[0085] 当第一像素电极的条形电极组中的电极之间的狭缝区域与设置在彩膜基板上的公共电极形成的电场,比第一像素电极与设置在彩膜基板上的公共电极形成的电场弱,且为液晶层的液晶提供的偏转作用力比较小时,位于第一像素电极狭缝区域下方的第二像素电极与设置在彩膜基板上的公共电极所形成的电场,恰好可以为液晶层的液晶提供足够的偏转作用力。因此,当第二像素电极位于第一像素电极下方,且第二像素电极完全重叠于第一像素电极的狭缝所在区域时,可以提高了液晶的偏转率,同时减少现有技术中暗条纹的数量。

[0086] 在本发明实施例中的像素单元中,还包括第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管。这里,第一薄膜晶体管的栅极、源极和漏极,分别与第一扫描线,数据线和第一像素电极电联接;第二薄膜晶体管的栅极、源极和漏极分别与第一扫描线、数据线和第二像素电极电联接;优选地,如图3所示,可以通过将第一薄膜晶体管303的源极和第二薄膜晶体管304的源极直接相连,而第二薄膜晶体管304的源极通过第一薄膜晶体管303的源极与数据线相连接,从而,可以减少像素单元中的引线数量,简化像素单元的制作工艺。

[0087] 可选的,第二薄膜晶体管的源极还可以直接与数据线电连接,第一薄膜晶体管的源极也直接与数据线电连接。

[0088] 在此基础上,对本发明实施例中的第二薄膜晶体管的源极与数据线之间的连接方法不做具体的限定。

[0089] 在本发明实施例中,为了控制显示画面的灰度,改善大视角颜色洗白的问题。

[0090] 一种实施方式,可以通过调整第一像素电极和第二像素电极的相对面积,改变第一像素电极和设置在彩膜基板上的公共电极之间的形成的电场的大小,以及改变第二像素电极和设置在彩膜基板上的公共电极之间形成的电场的大小。

[0091] 当第二像素电极为面状结构时,由于第二像素电极的形状是固定,可以通过调节

第一像素电极的条形电极组中电极宽度,改变第一像素电极和第二像素电极之间的相对面积比例,通过改变第一像素电极和第二像素电极之间的相对面积比例,可以改变第一像素电极和第二像素电极与设置在彩膜基板上的公共电极之间形成的电场力;当第二像素电极的形状和第一像素电极的形状形式,可以调整第一像素电极的条形电极组中的电极宽度,保持第二像素电极的形状不变;可以调节第二像素电极的条形电极组中的电极宽度,保持第一像素电极的形状不变;还可以同时调整第一像素电极的条形电极组中的电极宽度和第二像素电极的条形电极组中的电极宽度;从而改变第一像素电极和第二像素电极的相对面积比例,改变了第一像素电极和第二像素电极与设置在彩膜基板上的公共电极之间形成的电场力;即进一步的改变液晶层内液晶的偏转作用力,从而实现控制显示画面的灰度,改善大视角颜色洗白的问题。

[0092] 另一种实施方式,由于第三薄膜晶体管的源极为第二薄膜晶体管的漏极的一部分,即第二薄膜晶体管的漏极中的一段被第三薄膜晶体管共用、作为第三薄膜晶体管的源极。而第三薄膜晶体管的漏极与分压电极电连接,在本发明实施例中,由于分压电极位于像素电极的边缘区域以及下方,即可以确定,分压电极与第一像素电极重叠区域形成第一存储电容,分压电极与第二像素电极重叠区域形成第二存储电容。当分压电极和第一像素电极重叠的区域形成第一存储电容时,可以通过调整第一像素电极和分压电极之间的相对面积,从而改变第一存储电容内的电荷量;当分压电极和第二像素电极重叠的区域形成第二存储电容时,可以通过调整第二像素电极和分压电极之间的相对面积,从而改变第二存储电容内的电荷量。

[0093] 由于第三薄膜晶体管的栅极、源极、漏极分别与第二扫描线、第一像素电极或者第二像素电极、分压电极电连接。若第三薄膜晶体管的源极和第二像素电极电连接,由于第二像素电极在第一扫描线呈高压状态时,已经完成对第二像素电极充电。由于分压电极可以与第一像素电极重叠区域形成第一存储电容,与第二像素电极重叠区域形成第二存储电容。当第二扫描线呈高电压状态,第三薄膜晶体管会被打开,若第一存储电容和第二存储电容串联后的电容存储的电荷量小于第二像素电极内的电荷量,则第二像素电极会向存储电极充电,等分压电极的存储电容内存储的电荷和第二像素电极内的存储电荷相等后,第二像素电极会停止向分压电极的存储电容充电。若第一存储电容和第二存储电容串联后的电容存储的电荷量大于第二像素电极内的电荷量,则分压电极的存储电极会向第二像素电极充电,等分压电极的存储电容内存储的电荷和第二像素电极内的存储电荷相等后,分压电极的存储电容会停止向第二像素电极充电。

[0094] 在本发明实施例中,可以通过改变分压电极和第一像素电极之间重叠区域的面积;或者通过改变分压电极和第二像素电极之间重叠区域的面积;或者同时改变分压电极和第一像素电极和第二像素电极之间重叠区域的面积。来改变分压电极的存储电容内的电荷量的多少。同时,在第三薄膜晶体管打开后,若第三薄膜晶体管和第一像素电极电连接,可以改变第一像素电极内的电荷量的多少;若第三薄膜晶体管和第二像素电极电连接,可以改变第二像素电极内的电荷量的多少。从而可以实现控制显示画面的灰度,改善大视角颜色洗白的问题。

[0095] 上述实施例中,第一像素电极和第二像素电极为透明电极,且透明电极可以采用锡氧化物(Indium Tin Oxide,简称ITO)、铟锌氧化物(Indium Zinc Oxide,简称IZO)、以及

铝锌氧化物 (Aluminum Zinc Oxide, 简称AZO) 等透明导电氧化物材料中的至少一种。本发明实施例中, 对第一像素电极和第二像素电极的组成材料不做具体的限定。

[0096] 如图6所示, 本发明实施例提供一种阵列基板, 包括: 成对排列的第一扫描线601、第二扫描线602; 与第一扫描线601和第二扫描线602交叉设置的数据线603; 与第一扫描线601、第二扫描线602和数据线603连接的像素单元604, 其中, 该像素单元为上述实施例中所所述的像素单元。

[0097] 如图7所示, 本发明实施例还提供一种垂直配向型液晶显示装置, 包括上述实施例讲述的阵列基板701, 彩膜基板702, 该彩膜基板与阵列基板相对设置, 且该彩膜基板702上设置有公共电极 (图中未示出); 液晶层703, 设置于阵列基板701与所述彩膜基板702之间。

[0098] 其中, 彩膜基板702上具有公共电极, 且公共电极的形状优选为面状。液晶层703中的液晶为电负性液晶。

[0099] 本发明实施例中, 提供的第一像素电极包括相互连接的至少两个方向的条形电极组, 每个所述条形电极组中的电极之间具有狭缝; 位于所述第一像素电极下方的第二像素电极, 所述第二像素电极至少重叠于所述第一像素电极的狭缝所在区域; 第一薄膜晶体管用于向所述第一像素电极传输数据线信号; 第二薄膜晶体管用于向所述第二像素电极传输所述数据线信号; 第三薄膜晶体管用于将所述第一像素电极或所述第二像素电极的数据线信号传输给分压电极; 在该像素结构中, 第二像素电极重叠于第一像素电极的条形电极间隔区域, 当第一像素电极的条形电极和设置在彩膜基板上的公共电极之间形成的电场大于条形电极间隔区域和设置在彩膜基板上的公共电极之间形成的电场时, 由于第二像素电极重叠于第一像素电极的条形电极间隔区域, 从而第二像素电极可以与设置在彩膜基板上的公共电极之间也形成电场。即位于第一像素电极条形电极间隔区域的液晶受到第二像素电极和设置在彩膜基板上的公共电极之间形成的电场的作用力, 可以产生足够的偏转, 从而在提高液晶偏转率的同时, 减少了位于第一像素电极条形电极间隔区域产生的暗条纹数量。

[0100] 以上所述仅为本申请的较佳实施例而已, 并不用于限制本申请, 凡在本申请的精神和原则之内, 所作的任何修改、等同替换、改进等, 均应包含在本申请的保护范围之内。

[0101] 尽管已描述了本申请的优选实施例, 但本领域内的技术人员一旦得知了基本创造性概念, 则可对这些实施例作出另外的变更和修改。所以, 所附权利要求意欲解释为包括优选实施例以及落入本申请范围的所有变更和修改。

[0102] 显然, 本领域的技术人员可以对本申请进行各种改动和变型而不脱离本申请的精神和范围。这样, 倘若本申请的这些修改和变型属于本申请权利要求及其等同技术的范围之内, 则本申请也意图包含这些改动和变型在内。

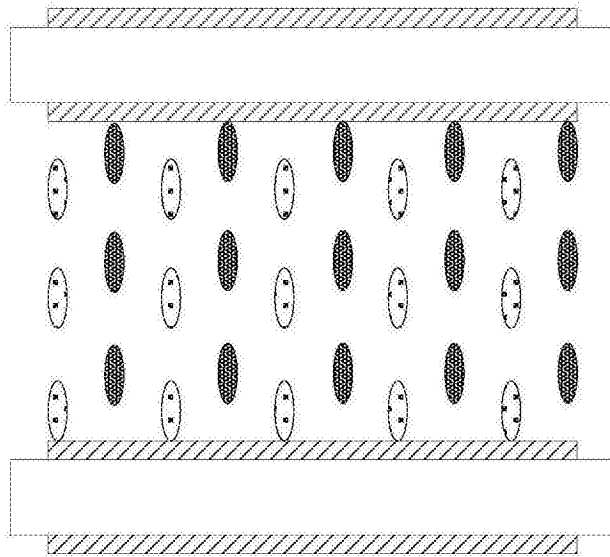


图1a

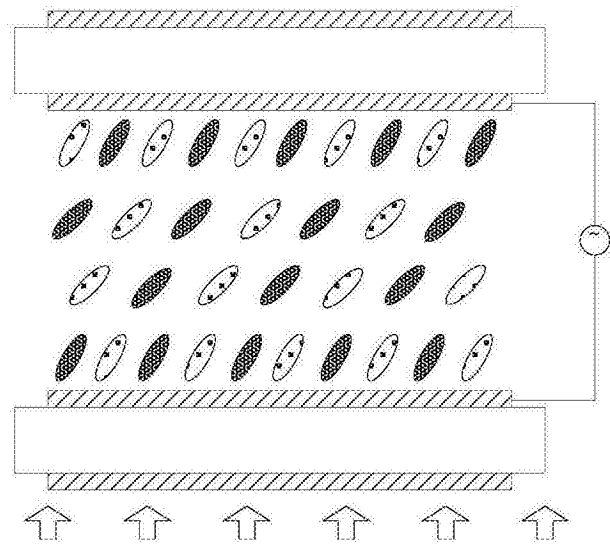


图1b

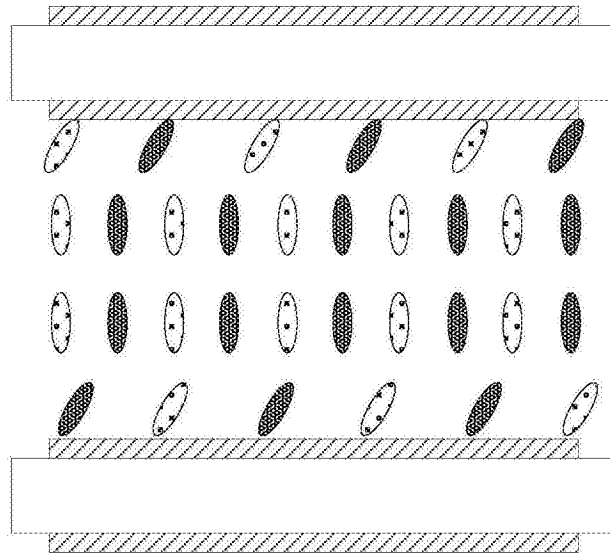


图1c

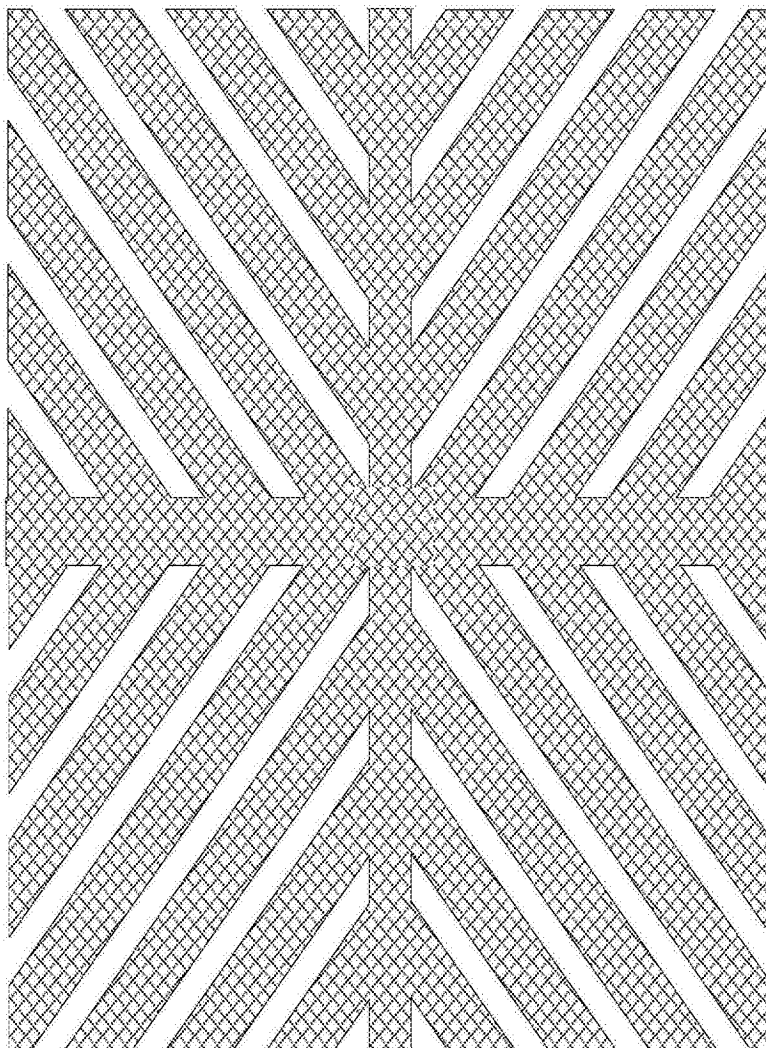


图2

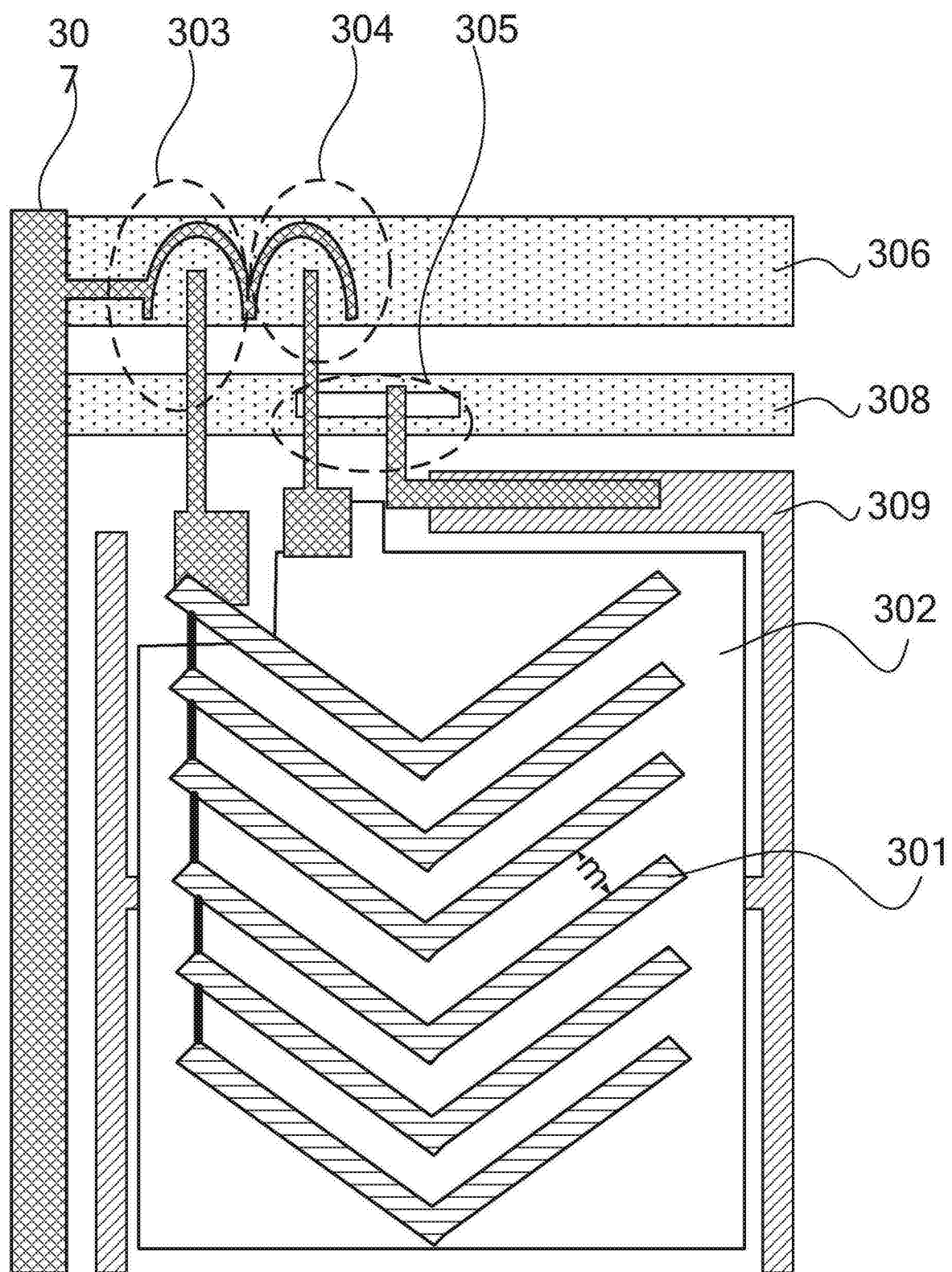


图3

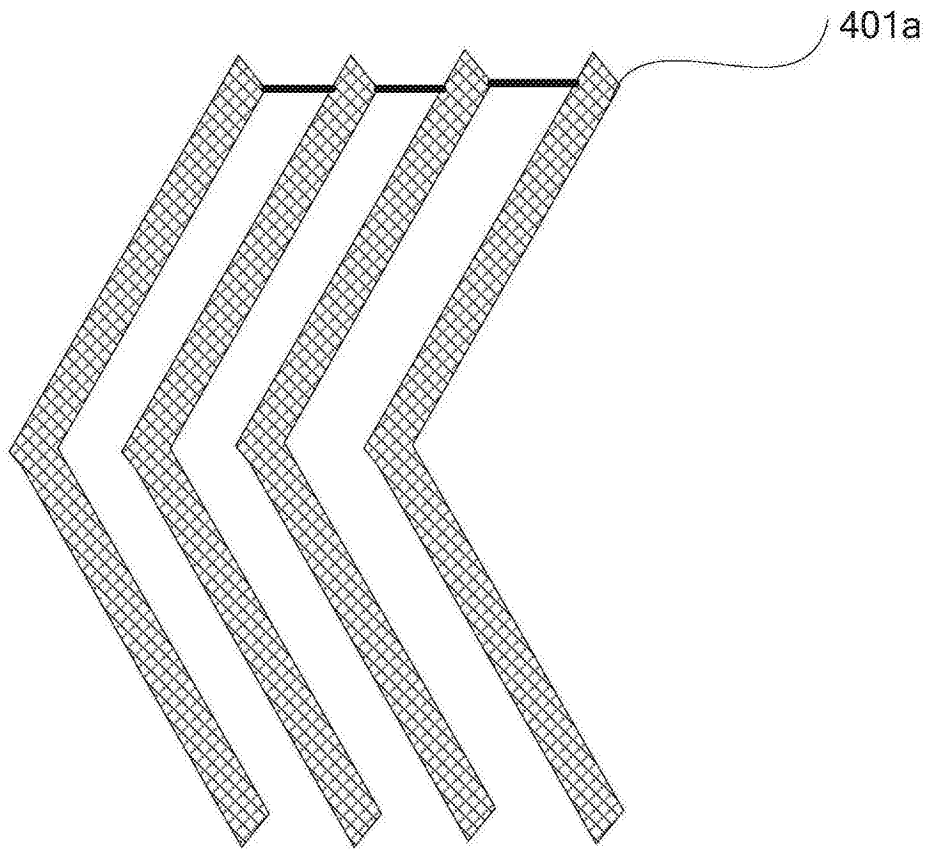


图4a

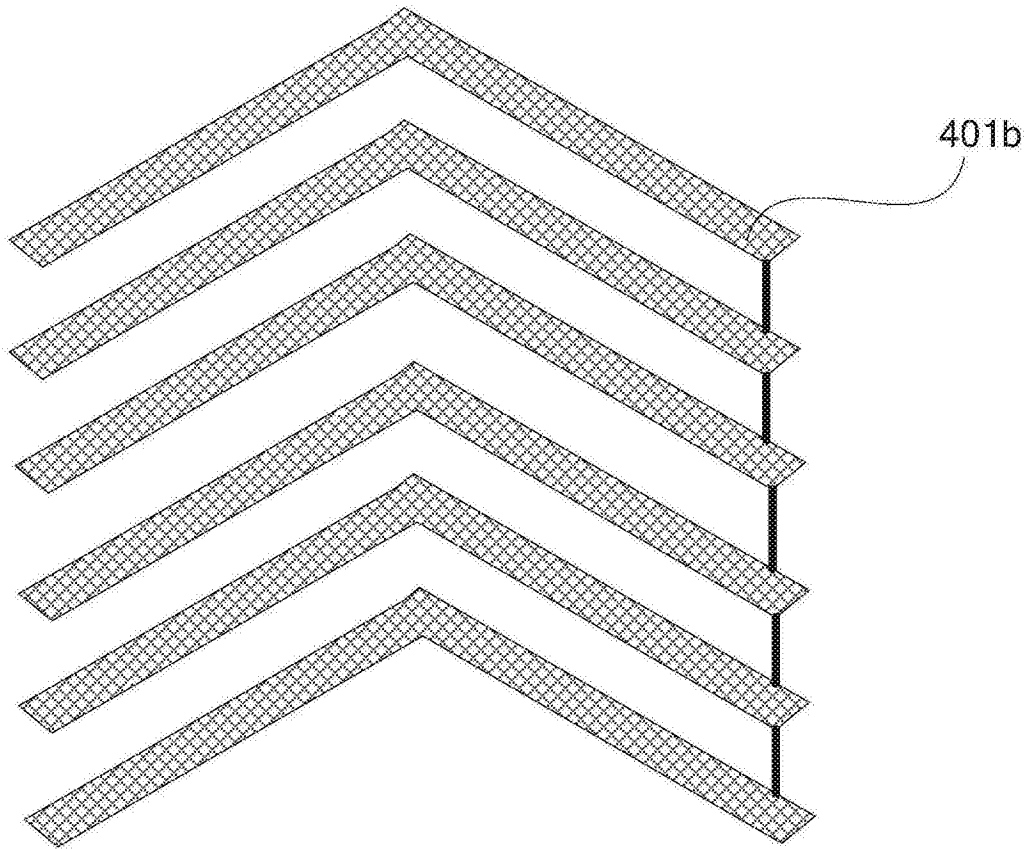


图4b

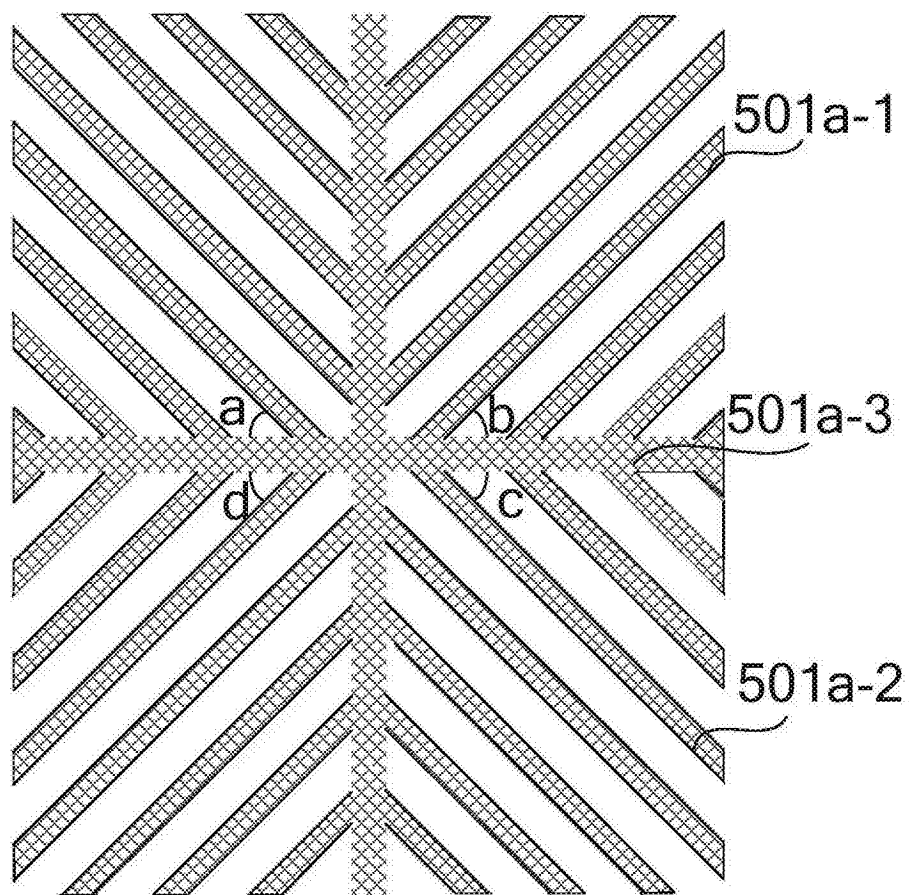


图5a

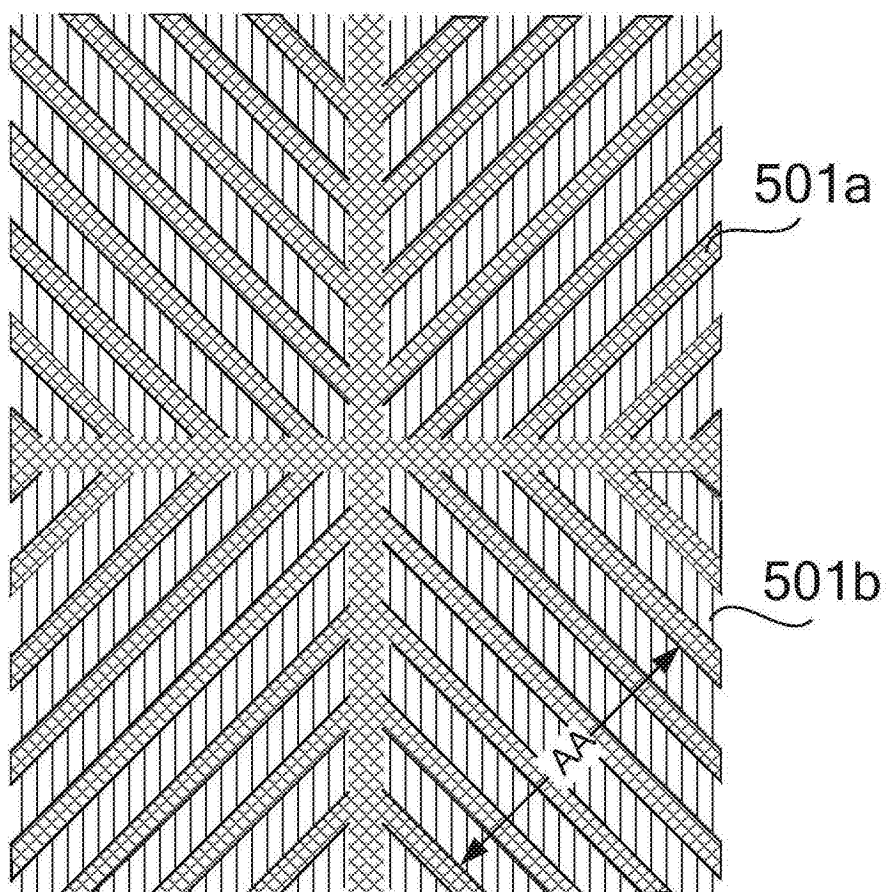


图5b

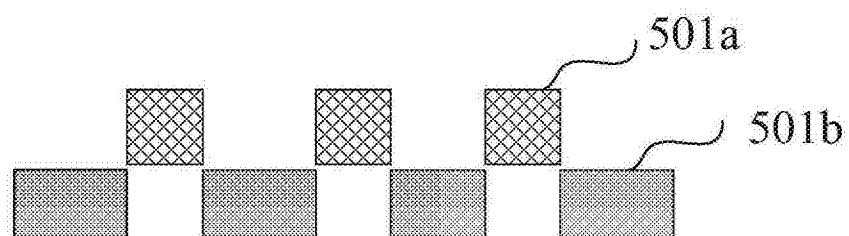


图5c

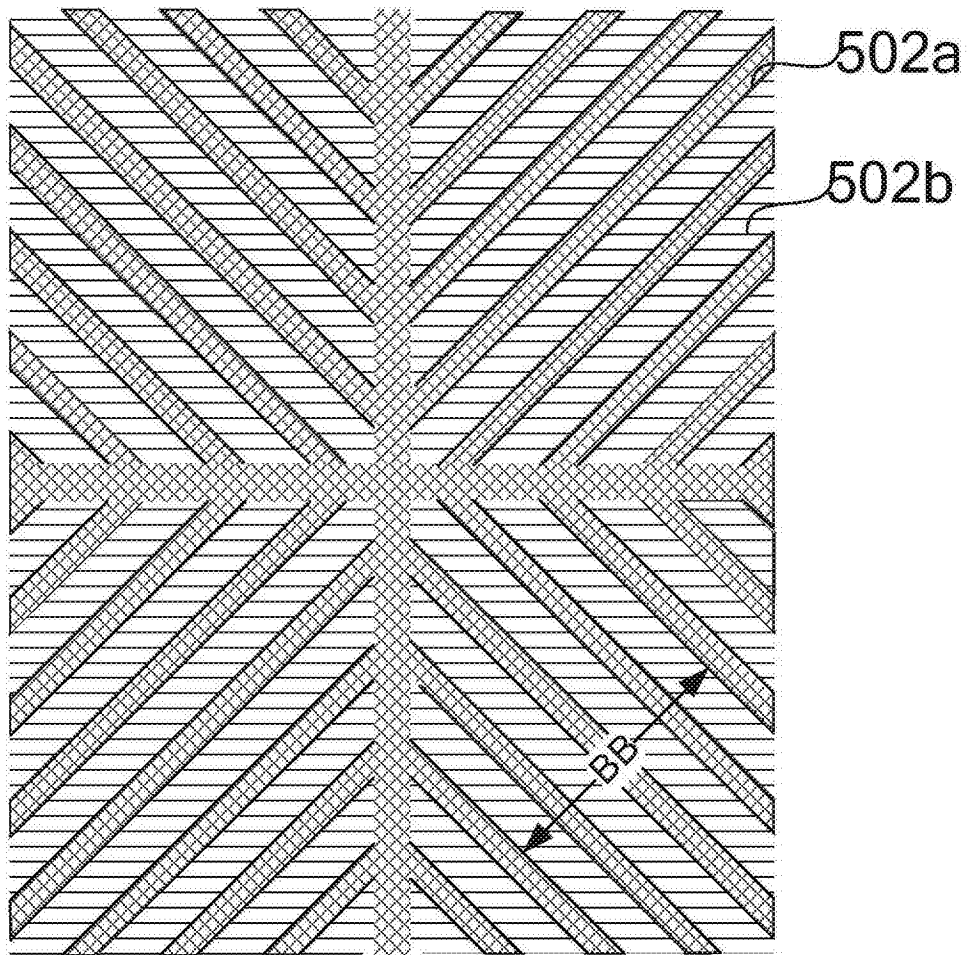


图5d

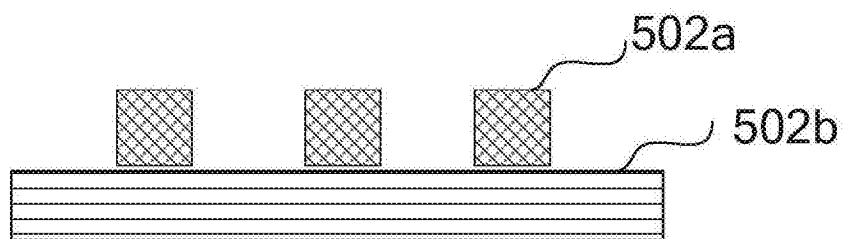


图5e

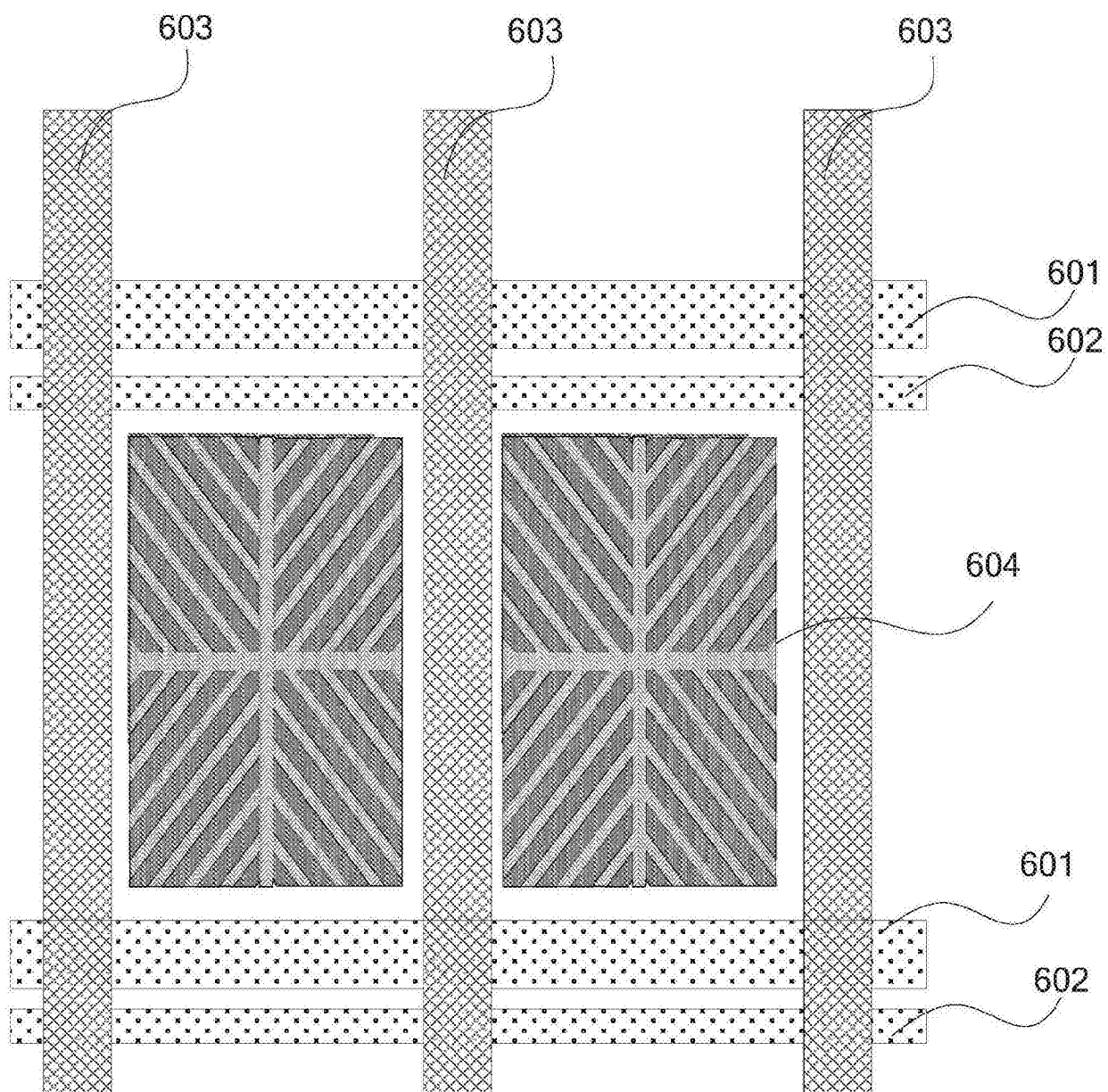


图6

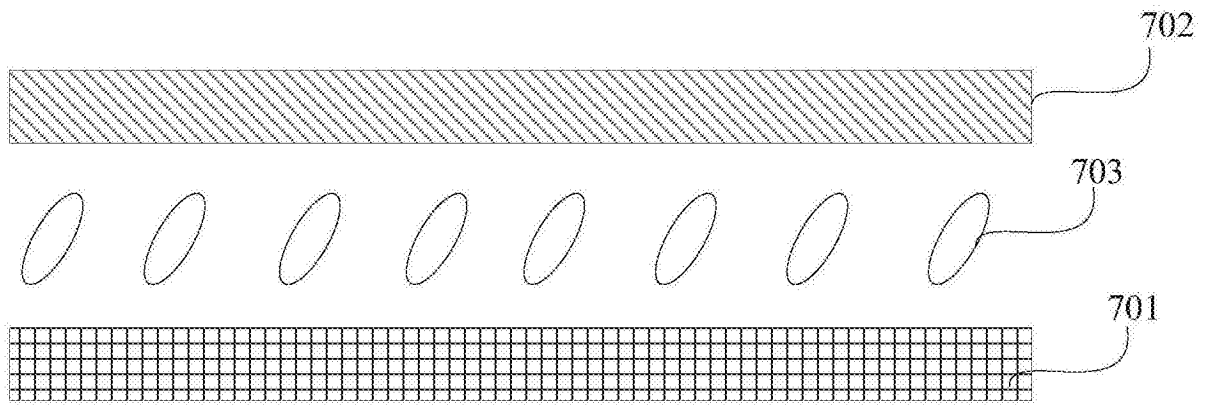


图7

专利名称(译)	一种像素单元、阵列基板及垂直配向型液晶显示装置		
公开(公告)号	CN105137676B	公开(公告)日	2018-04-20
申请号	CN201510648818.9	申请日	2015-10-09
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	林家强		
发明人	林家强		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134309 G02F1/1368		
代理人(译)	申健		
审查员(译)	周明阳		
其他公开文献	CN105137676A		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例涉及显示技术领域，尤其涉及一种像素单元、阵列基板及垂直配向型液晶显示装置，可以在提高液晶的偏转率的同时，减少细暗纹的数量。本发明实施例提供一种像素单元，包括：第一像素电极，所述第一像素电极包括相互连接的至少两个方向的条形电极组，每个所述条形电极组中的电极之间具有狭缝；位于所述第一像素电极下方的第二像素电极，所述第二像素电极至少重叠于所述第一像素电极的狭缝所在区域；第一薄膜晶体管，第二薄膜晶体管和第三薄膜晶体管。用于像素单元、阵列基板及垂直配向型液晶显示装置的制备。

