



(12) 发明专利申请

(10) 申请公布号 CN 105093740 A

(43) 申请公布日 2015. 11. 25

(21) 申请号 201510470368. 9

(22) 申请日 2015. 08. 04

(71) 申请人 深圳市华星光电技术有限公司

地址 518006 广东省深圳市光明新区公明办
事处塘家社区观光路汇业科技园综合
楼 1 第一层 B 区

(72) 发明人 黄世帅 陈政鸿

(74) 专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 何青瓦

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

G02F 1/1345(2006. 01)

H01L 27/12(2006. 01)

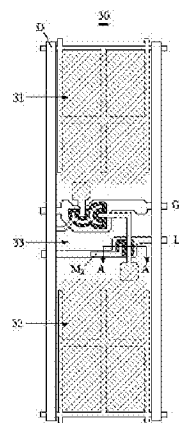
权利要求书1页 说明书4页 附图4页

(54) 发明名称

阵列基板、液晶显示面板及其液晶显示装置

(57) 摘要

本发明提供一种阵列基板,所述阵列基板包括衬底基材以及依次形成于衬底基材上的第一金属层、绝缘层、第二金属层,第一金属层为阵列基板的扫描线或电荷共享线,第二金属层为阵列基板的电荷共享薄膜晶体管的源极或漏极,且第一金属层和第二金属层通过夹持于两者之间的绝缘层绝缘重叠设置以形成阵列基板的电荷共享电容。本发明还提供具有前述阵列基板的液晶显示面板及其液晶显示装置,通过采用所述阵列基板,本发明能够增加像素开口率。



1. 一种阵列基板, 其特征在于, 包括衬底基材以及依次形成于所述衬底基材上的第一金属层、绝缘层、第二金属层, 所述第一金属层为所述阵列基板的扫描线或电荷共享线, 所述第二金属层为所述阵列基板的电荷共享薄膜晶体管的源极和漏极中的一个, 且所述第一金属层和所述第二金属层通过夹持于两者之间的所述绝缘层绝缘重叠设置以形成所述阵列基板的电荷共享电容。

2. 根据权利要求 1 所述的阵列基板, 其特征在于, 所述阵列基板划分为多个像素单元, 每一所述像素单元包括主像素区域、次像素区域以及位于所述两个像素区域之间的走线区域, 每一所述像素单元对应连接一条所述扫描线和一条所述电荷共享线, 且一条所述扫描线和一条所述电荷共享线并排位于所述走线区域, 形成所述电荷共享电容的所述第一金属层为所述阵列基板的所述电荷共享线。

3. 根据权利要求 2 所述的阵列基板, 其特征在于, 所述阵列基板包括沿行方向排列的多条所述扫描线、多条所述电荷共享线, 第 n 行所述像素单元与第 n 行所述扫描线电连接, 所述第 n 行像素单元中的所述第二金属层与第 n 行所述电荷共享线绝缘重叠设置, 其中所述 n 为正整数。

4. 根据权利要求 1 所述的阵列基板, 其特征在于, 所述阵列基板的像素单元的结构为 Tri-gate 架构, 形成所述电荷共享电容的所述第一金属层为所述扫描线。

5. 根据权利要求 4 所述的阵列基板, 其特征在于, 所述阵列基板包括沿行方向排列的多条所述扫描线, 第 m 行所述像素单元与第 m 行所述扫描线电连接, 所述第 m 行像素单元中的所述第二金属层与第 $m+1$ 行所述扫描线绝缘重叠设置以形成所述电荷共享电容, 其中所述 m 为正整数。

6. 根据权利要求 1 所述的阵列基板, 其特征在于, 所述阵列基板还包括沿列方向排布的多条数据线, 第一薄膜晶体管、第一存储电容, 以及第二薄膜晶体管、第二存储电容, 其中, 所述第一薄膜晶体管的栅极电连接于所述扫描线、源极电连接于所述数据线、漏极电连接于所述第一存储电容的一端, 所述第一存储电容的另一端电连接于一公共电极, 所述第二薄膜晶体管的栅极电连接于所述扫描线、源极电连接于所述数据线、漏极电连接于所述第二存储电容的一端, 所述第二存储电容的另一端电连接于所述公共电极, 所述电荷共享薄膜晶体管的栅极电连接于所述电荷共享线, 其源极和漏极中的另一个电连接于所述第二薄膜晶体管的漏极。

7. 根据权利要求 6 所述的阵列基板, 其特征在于, 形成所述电荷共享电容的所述第二金属层通过过孔连接至所述公共电极。

8. 一种液晶显示面板, 其特征在于, 所述液晶显示面板包括权利要求 1-8 任意一项所述的阵列基板。

9. 一种液晶显示装置, 其特征在于, 所述液晶显示装置包括液晶显示面板和为所述液晶显示面板提供光线的光源模组, 其特征在于, 所述液晶显示面板为权利要求 8 所述的液晶显示面板。

阵列基板、液晶显示面板及其液晶显示装置

技术领域

[0001] 本发明涉及液晶显示技术领域，具体而言涉及一种阵列基板、液晶显示面板及其液晶显示装置。

背景技术

[0002] 为了改善液晶显示器 (Liquid Crystal Display, LCD) 在大视角出现的色偏现象，现有技术采用电荷共享 (Charge Sharing) 的像素设计，即将像素分为主像素 (Main Pixel) 区域和次像素 (Sub Pixel) 区域，在显示时，扫描线充电且电荷共享线关闭，主像素区域和次像素区域充电到相同电位，随后扫描线断电且电荷共享线打开，由于电荷共享电容的作用使得次像素区域的电位低于主像素区域的电位，不同的电位使得两个区域的液晶分子的偏向分布不同，从而改善大视角色偏。然而，形成所述电荷共享电容的一金属层为位于显示区域的公共电极信号线，遮光的金属层会占据显示区域的面积，从而降低像素开口率。

发明内容

[0003] 有鉴于此，本发明提供一种阵列基板、液晶显示面板及其液晶显示装置，以增加像素开口率。

[0004] 本发明实施例提供的阵列基板，包括衬底基材以及依次形成于衬底基材上的第一金属层、绝缘层、第二金属层，第一金属层为阵列基板的扫描线或电荷共享线，第二金属层为阵列基板的电荷共享薄膜晶体管的源极和漏极中的一个，且第一金属层和第二金属层通过夹持于两者之间的绝缘层绝缘重叠设置以形成阵列基板的电荷共享电容。

[0005] 其中，阵列基板划分为多个像素单元，每一像素单元包括主像素区域、次像素区域以及位于两个像素区域之间的走线区域，每一像素单元对应连接一条扫描线和一条电荷共享线，且一条扫描线和一条电荷共享线并排位于走线区域，形成电荷共享电容的第一金属层为阵列基板的电荷共享线。

[0006] 其中，阵列基板包括沿行方向排列的多条扫描线、多条电荷共享线，第 n 行像素单元与第 n 行扫描线电连接，第 n 行像素单元中的第二金属层与第 n 行电荷共享线绝缘重叠设置， n 为正整数。

[0007] 其中，阵列基板的像素单元的结构为 Tri-gate 架构，形成电荷共享电容的第一金属层为扫描线。

[0008] 其中，阵列基板包括沿行方向排列的多条扫描线，第 m 行像素单元与第 m 行扫描线电连接，第 m 行像素单元中的第二金属层与第 $m+1$ 行扫描线绝缘重叠设置以形成电荷共享电容， m 为正整数。

[0009] 其中，阵列基板还包括沿列方向排布的多条数据线，第一薄膜晶体管、第一存储电容，以及相互电连接的第二薄膜晶体管、第二存储电容，第一薄膜晶体管的栅极电连接于扫描线、源极电连接于数据线、漏极电连接于第一存储电容的一端，第一存储电容的另一端电连接于一公共电极，第二薄膜晶体管的栅极电连接于扫描线、源极电连接于数据线、漏极电

连接于第二存储电容的一端,第二存储电容的另一端电连接于公共电极,电荷共享薄膜晶体管的栅极电连接于电荷共享线,其源极和漏极中的另一个电连接于第二薄膜晶体管的漏极。

[0010] 其中,形成电荷共享电容的第二金属层通过过孔连接至公共电极。

[0011] 本发明实施例提供的液晶显示面板,包括上述阵列基板。

[0012] 本发明实施例提供的液晶显示装置,包括上述液晶显示面板和为液晶显示面板提供光线的光源模组。

[0013] 本发明实施例的阵列基板、液晶显示面板及其液晶显示装置,将形成电荷共享电容的第二金属层与电荷共享线或扫描线绝缘重叠设置,由于电荷共享线或扫描线原本就位于非显示区域,因此可以避免遮光的第二金属层占据显示区域的面积,从而提高像素开口率。

附图说明

[0014] 图 1 是本发明一实施例的液晶显示面板的剖视图;

[0015] 图 2 是图 1 所示液晶显示面板一实施例的像素结构示意图;

[0016] 图 3 是图 2 所示一个像素单元的结构示意图;

[0017] 图 4 是图 3 所示的像素结构的等效电路图;

[0018] 图 5 是图 1 所示阵列基板沿图 3 所示 A-A 线的结构剖视图;

[0019] 图 6 是本发明的一个 Tri-gate 架构的像素单元的结构示意图;

[0020] 图 7 是沿图 6 所示 B-B 线的结构剖视图;

[0021] 图 8 是本发明一实施例的液晶显示装置的结构示意图。

具体实施方式

[0022] 下面将结合本发明实施例中的附图,对本发明所提供的示例性的实施例的技术方案进行清楚、完整地描述。

[0023] 图 1 是本发明一实施例的液晶显示面板的剖视图,图 2 是图 1 所示液晶显示面板一实施例的像素结构示意图。结合图 1 和图 2,液晶显示面板 10 包括相对间隔设置的彩膜基板(Color Filter Substrate, CF 基板或彩色滤光片基板)11 和阵列基板(Thin Film Transistor Substrate, TFT 基板或薄膜晶体管基板)12 以及填充于两者之间的液晶层 13,阵列基板 12 包括沿列方向设置的数多条数据线 D、沿行方向设置的多条扫描线 G 以及由多条扫描线 G 和多条数据线 D 定义的多个像素单元 P。其中,每一像素单元 P 连接对应的一条数据线 D 和一条扫描线 G,各条扫描线 G 连接于栅极驱动器 21 以对各像素单元 P 提供扫描电压,各条数据线 D 连接于源极驱动器 22 以对各像素单元 P 提供灰阶电压。

[0024] 鉴于阵列排布的多个像素单元 P 的结构完全相同,下文以图 3 所示的位于第 n 行的一个像素单元 30 为代表进行描述,n 为正整数。

[0025] 参阅图 3 所示,像素单元 30 包括主像素区域(main pixel)31、次像素区域(sub pixel)32 以及位于主像素区域 31 和次像素区域 32 之间的走线区域 33,像素单元 30 分别与位于第 n 行的一条扫描线 G_n 和位于第 n 行的一条电荷共享线(share line) L_n 电连接,且所述扫描线 G_n 和所述电荷共享线 L_n 并排位于走线区域 33 内。

[0026] 图 4 是图 3 所示的像素结构的等效电路图。如图 4 所示,阵列基板 12 包括电荷共享薄膜晶体管 T_{cs} 、电荷共享电容 C_{st3} 、第一薄膜晶体管 T_{main} 、第一存储电容 C_{st1} 、第一液晶电容 C_{lc1} 、第二薄膜晶体管 T_{sub} 、第二存储电容 C_{st2} 、第二液晶电容 C_{lc2} , 其中:

[0027] 第一液晶电容 C_{lc1} 由位于主像素区域 31 的像素电极、液晶显示面板 10 的公共电极以及位于两者之间的液晶层 13 形成;

[0028] 第二液晶电容 C_{lc2} 由位于次像素区域 32 的像素电极、液晶显示面板 10 的公共电极以及位于两者之间的液晶层 13 形成;

[0029] 第一存储电容 C_{st1} 由阵列基板 12 的电荷共享薄膜晶体管 T_{cs} 的源极或漏极、位于主像素区域 31 的液晶显示面板 10 的公共电极以及位于两者之间的绝缘层形成;

[0030] 第二存储电容 C_{st2} 由阵列基板 12 的电荷共享薄膜晶体管 T_{cs} 的源极或漏极、位于次像素区域 32 的液晶显示面板 10 的公共电极以及位于两者之间的绝缘层形成;

[0031] 第一薄膜晶体管 T_{main} 的栅极电连接于扫描线 G_n 、源极电连接于数据线 D、漏极电连接于第一存储电容 C_{st1} 的一端,第一存储电容 C_{st1} 的另一端电连接于液晶显示面板 10 的公共电极;

[0032] 第二薄膜晶体管 T_{sub} 的栅极电连接于扫描线 G_n 、源极电连接于数据线 D、漏极电连接于第二存储电容 C_{st2} 的一端,第二存储电容 C_{st2} 的另一端电连接于液晶显示面板 10 的公共电极;

[0033] 电荷共享薄膜晶体管 T_{cs} 的栅极电连接于电荷共享线 L_n 、源极和漏极中的一个电连接于第二薄膜晶体管 T_{sub} 的漏极,源极和漏极中的另一个电连接于电荷共享电容 C_{st3} 的一端,电荷共享电容 C_{st3} 的另一端电连接于液晶显示面板 10 的公共电极。

[0034] 在正常显示时,扫描线 G_n 接收栅极驱动器 21 的扫描电压后打开,同时电荷共享扫描线 L_n 关闭,主像素区域 31 和次像素区域 32 充电到相同电位;随后,栅极驱动器 21 停止提供扫描电压以使扫描线 G_n 关闭,同时共享扫描线 L_n 打开,由于电荷共享电容 C_{st3} 的作用使得次像素区域 32 的电位低于主像素区域 31 的电位,不同的电位使得两个显示区域的液晶分子的偏向分布不同,从而改善大视角色偏。

[0035] 图 5 是图 1 所示阵列基板 12 沿图 3 所示 A-A 线的结构剖视图。如图 5 所示,采用电荷共享技术的阵列基板 12 的电荷共享电容 C_{st3} 由第一金属层 M_1 和第二金属层 M_2 通过夹持于两者之间的绝缘层 123 绝缘重叠设置形成,其中第一金属层 M_1 、绝缘层 123、第二金属层 M_2 依次形成于阵列基板 12 的衬底基材 121 上,第一金属层 M_1 为图 4 所示的阵列基板 12 的电荷共享线 L_n ,第二金属层 M_2 即为图 4 所示的阵列基板 12 的电荷共享薄膜晶体管 T_{cs} 的源极或漏极,形成电荷共享电容 C_{st3} 的第二金属层 M_2 通过过孔连接至液晶显示面板 10 的公共电极。

[0036] 再次参阅图 3 所示,本实施例将形成电荷共享电容 C_{st3} 的第二金属层 M_2 与电荷共享线 L_n 或扫描线 G_n 绝缘重叠设置,由于电荷共享线 L_n 或扫描线 G_n 原本就位于非显示区域,因此可以避免遮光的第二金属层 M_2 占据显示区域的面积,并且每一像素单元 P 均包括第一金属层 M_1 、绝缘层 123、第二金属层 M_2 ,因此可以提高像素开口率。

[0037] 对于阵列基板 12 的像素单元为 Tri-gate 架构的情况,以图 6 所示的位于第 m 行的像素单元 60 为代表进行描述,m 为正整数。

[0038] 参阅图 6 并结合图 7 所示的剖视图,像素单元 60 与位于第 m 行的一条扫描线 G_m 电

连接,在上述实施例的描述基础上但与其不同的是,阵列基板 12 的电荷共享电容 C_{st3} 由第 m 行像素单元 60 中的第二金属层 M_2 与第 $m+1$ 行的扫描线 G_{m+1} 绝缘重叠形成,换言之,形成电荷共享电容 C_{st3} 的第一金属层 M_1 为扫描线 G_{m+1} 而非电荷共享线。

[0039] 本发明实施例还提供一种如图 8 所示的液晶显示装置 80,该液晶显示装置 80 包括上述液晶显示面板 10 以及为液晶显示面板 10 提供光线的光源模组 81,由于该液晶显示装置 80 也具有阵列基板 12 的上述设计,因此亦具有相同的有益效果。

[0040] 在此基础上,以上所述仅为本发明的实施例,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,例如各实施例之间技术特征的相互结合,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

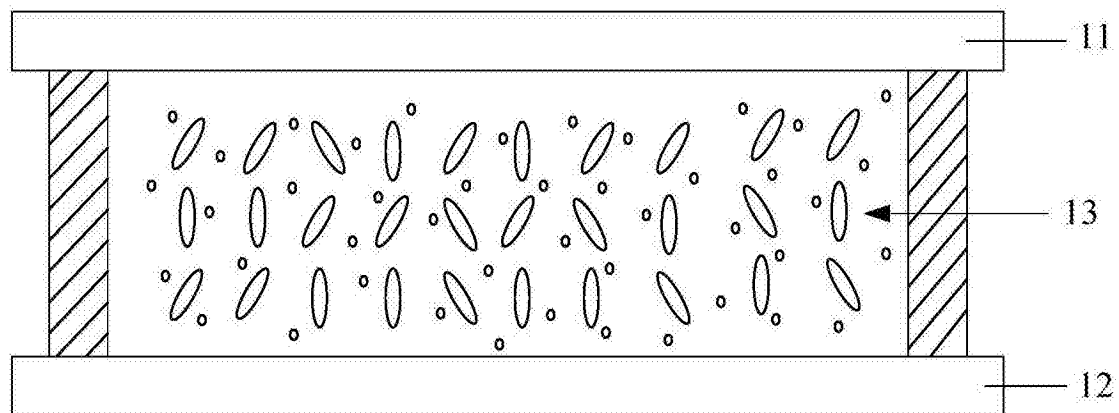
10

图 1

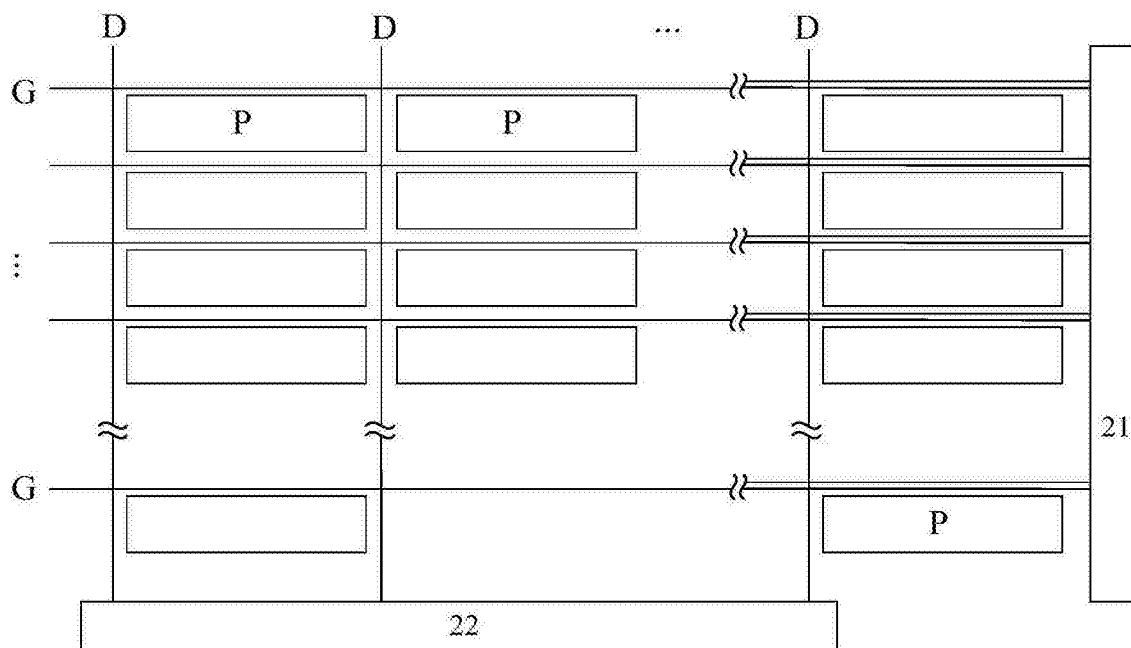


图 2

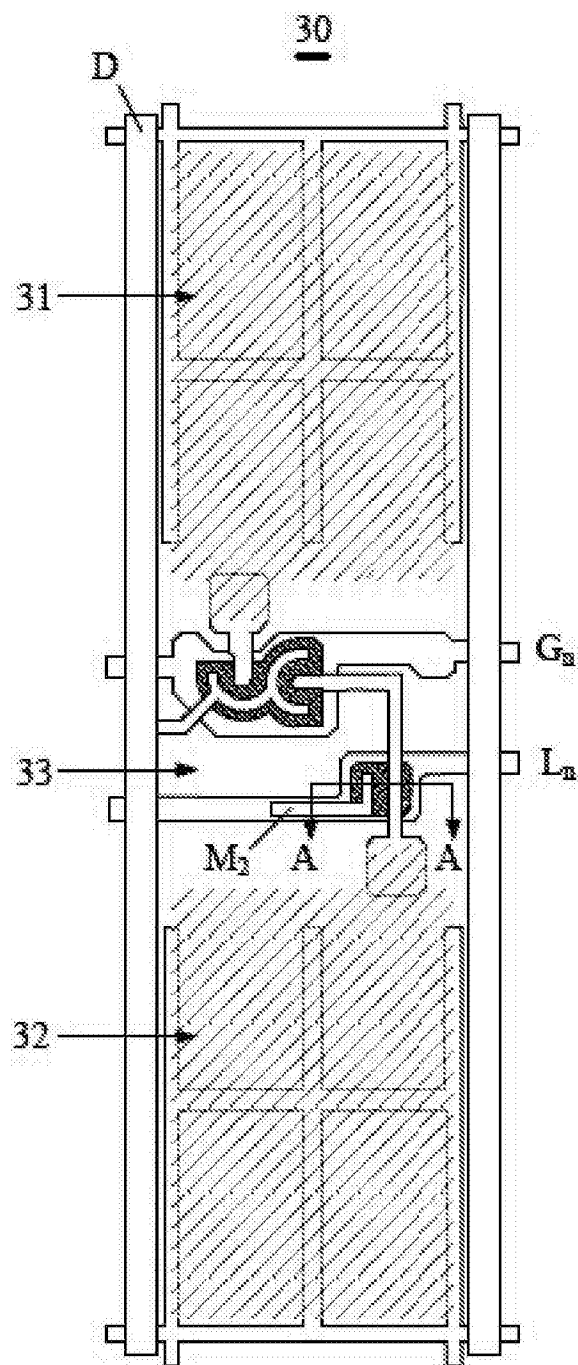


图 3

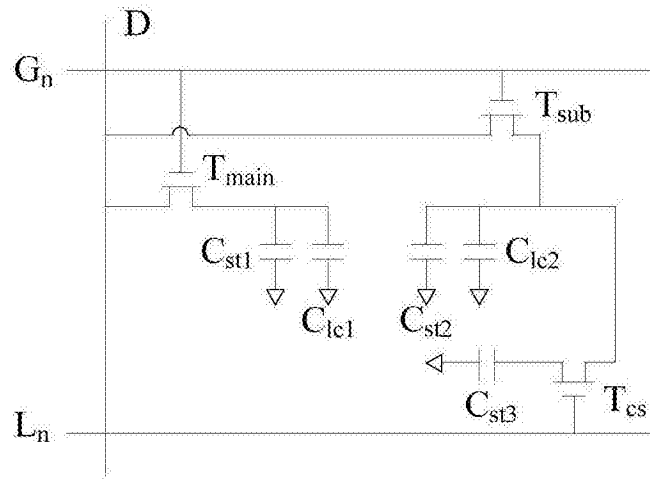


图 4

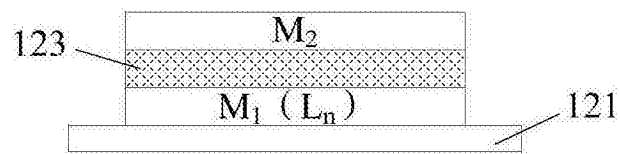


图 5

60

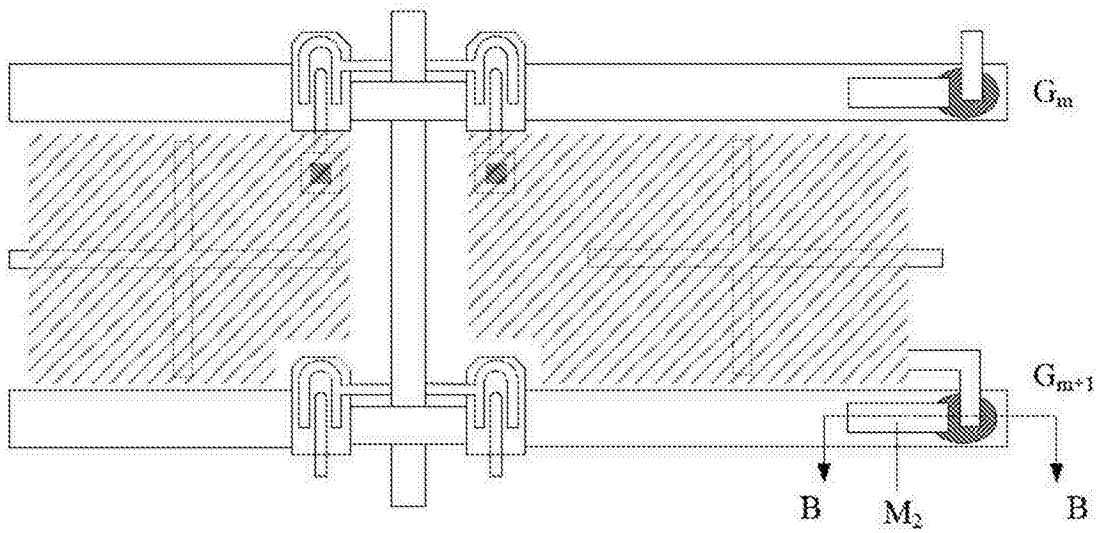


图 6

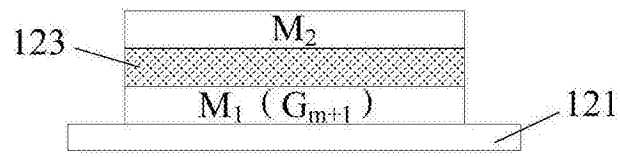


图 7

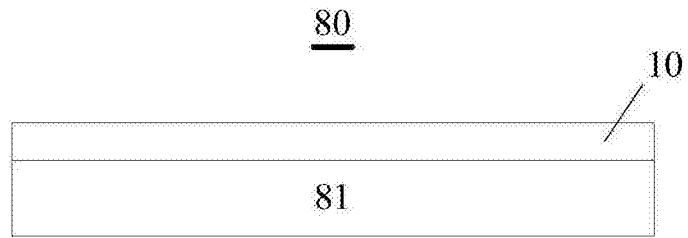


图 8

专利名称(译)	阵列基板、液晶显示面板及其液晶显示装置		
公开(公告)号	CN105093740A	公开(公告)日	2015-11-25
申请号	CN201510470368.9	申请日	2015-08-04
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	黄世帅 陈政鸿		
发明人	黄世帅 陈政鸿		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/1345 H01L27/12		
CPC分类号	G02F1/134309 G02F1/133345 G02F1/133514 G02F1/136213 G02F1/13624 G02F1/136286 G02F1/1368 G02F2001/134345 G02F2001/134354 G02F2201/121 H01L27/1255 G02F1/13452 G02F1/136227 H01L27/1214 H01L27/124		
其他公开文献	CN105093740B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种阵列基板，所述阵列基板包括衬底基材以及依次形成于衬底基材上的第一金属层、绝缘层、第二金属层，第一金属层为阵列基板的扫描线或电荷共享线，第二金属层为阵列基板的电荷共享薄膜晶体管的源极或漏极，且第一金属层和第二金属层通过夹持于两者之间的绝缘层绝缘重叠设置以形成阵列基板的电荷共享电容。本发明还提供具有前述阵列基板的液晶显示面板及其液晶显示装置，通过采用所述阵列基板，本发明能够增加像素开口率。

