



(12) 发明专利申请

(10) 申请公布号 CN 104423110 A

(43) 申请公布日 2015. 03. 18

(21) 申请号 201310407236. 2

(22) 申请日 2013. 09. 10

(30) 优先权数据

102131190 2013. 08. 30 TW

(71) 申请人 业鑫科技顾问股份有限公司

地址 中国台湾新竹县竹北市台元一街1号7楼之1

申请人 新光电科技有限公司

(72) 发明人 蔡五柳 高逸群 林欣桦 施博理
李志隆

(74) 专利代理机构 深圳市鼎言知识产权代理有限公司 44311

代理人 徐丽昕

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1343(2006. 01)

H01L 27/02(2006. 01)

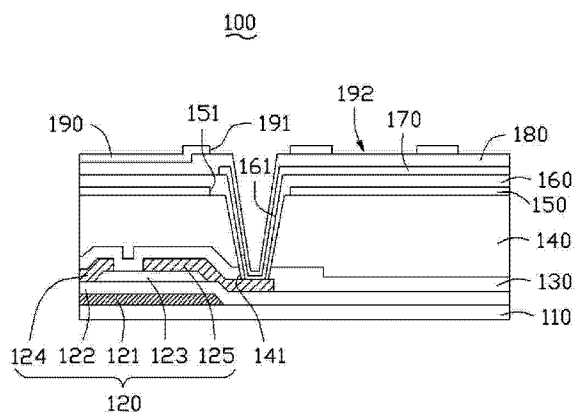
权利要求书1页 说明书5页 附图7页

(54) 发明名称

液晶显示器的阵列基板

(57) 摘要

本发明提供了一种液晶显示器的阵列基板，包括一存储电容，该存储电容包括一第一公共电极、一设置在该第一公共电极上的第一保护层与一设置在第一保护层上的像素电极，一设置在像素电极上的第二保护层与一设置在第二保护层上的第二公共电极。该第二公共电极具有多数个狭缝，且与第一公共电极电连接。本发明提供的阵列基板可提高单位面积的存储电容，适用于高分辨率的液晶显示器。



1. 一种液晶显示器的阵列基板,包括一存储电容,该存储电容包括一第一公共电极、一设置在该第一公共电极上的第一保护层与一设置在第一保护层上的像素电极,其改良在于:该存储电容还包括一设置在像素电极上的第二保护层与一设置在第二保护层上的第二公共电极,该第二公共电极具有多数个狭缝,且与该第一公共电极电连接。

2. 如权利要求 1 所述的液晶显示器的阵列基板,其特征在于:该阵列基板还包括一基板、一薄膜晶体管设置于该基板上、一钝化层覆盖该薄膜晶体管与该基板,以及一平坦层覆盖该钝化层。

3. 如权利要求 2 所述的液晶显示器的阵列基板,其特征在于:该存储电容位于该平坦层上。

4. 如权利要求 2 所述的液晶显示器的阵列基板,其特征在于:该平坦层与该钝化层具有第一开孔以露出部分薄膜晶体管,该第一公共电极具有第二开孔,该第二开孔位于第一开孔上方且大于第一开孔,该第一保护层具有第三开孔,该第三开孔位于该第一开孔与该第二开孔中并露出部分该薄膜晶体管。

5. 如权利要求 4 所述的液晶显示器的阵列基板,其特征在于:该像素电极通过该第三开孔与该薄膜晶体管电连接。

6. 如权利要求 4 所述的液晶显示器的阵列基板,其特征在于:该第二公共电极具有第四开孔,该第四开孔与该第二开孔重迭且大小一致。

7. 如权利要求 1 所述的液晶显示器的阵列基板,其特征在于该第一公共电极与该像素电极之间形成第一存储电容,该第二公共电极与该像素电极之间形成第二存储电容。

8. 如权利要求 1 所述的液晶显示器的阵列基板,其特征在于:该第一公共电极与该第二公共电极电性连接。

9. 如权利要求 1 所述的液晶显示器的阵列基板,其特征在于:该阵列基板还包括多条扫描线、多条数据线与该多条扫描线交叉以限定多个子像素。

10. 如权利要求 9 所述的液晶显示器的阵列基板,其特征在于:其中该像素电极为平板状电极且分别位于每个子像素中。

11. 如权利要求 9 所述的液晶显示器的阵列基板,其特征在于:该第一公共电极为平板状电极且连续覆盖所有子像素。

12. 如权利要求 9 所述的液晶显示器的阵列基板,其特征在于:该第二公共电极与该第一公共电极重迭,且连续覆盖所有子像素。

13. 如权利要求 9 所述的液晶显示器的阵列基板,其特征在于:该第一公共电极包括位于子像素中的平板状公共电极以及位于相邻子像素之间的第一公共电极连接部,位于子像素中的平板状公共电极与数据线相互不重迭。

14. 如权利要求 13 所述的液晶显示器的阵列基板,其特征在于:该第一公共电极连接部重迭覆盖部分该数据线。

液晶显示器的阵列基板

技术领域

[0001] 本发明涉及一种液晶显示器,尤其涉及一种液晶显示器的阵列基板。

背景技术

[0002] 目前,显示器市场上的边缘电场(Fringe Field Switching, FFS)型液晶显示器广受欢迎。该边缘场电场型液晶显示器是在阵列基板上形成像素电极与公共电极,对该像素电极与该公共电极之间施加电压,使之产生边缘电场以在与该阵列基板基本平行的面内驱动液晶分子。这种液晶显示器具有广视角、低色偏及高开口率的特性。

[0003] 近年来,市场对显示器的分辨率的要求越来越高。为了提高分辨率,需提高液晶显示器阵列基板的像素密度。然而,像素密度越大,存储电容值则越小,存储电容的不足将引起液晶显示器的质量下降,例如在显示画面中产生闪烁(flicker)或串扰(cross-talk)等不良现象。

[0004] 现有技术中阵列基板的存储电容由公共电极、像素电极及夹设于两者之间的绝缘层构成,其电容按如下公式计算:

$$C_{ST} = \epsilon A/d$$

上述公式中, C_{ST} 表示存储电容值, ϵ 表示绝缘层的介电常数, A 表示像素电极与公共电极的有效面积, d 表示绝缘层的厚度。因此,该存储电容的电容值 C_{ST} 与有效面积 A 成正比,与厚度 d 成反比。为了实现高分辨率,先前技术的做法是减薄绝缘层的厚度,然而,由于制程能力有限,并不能过度减薄绝缘层的厚度。

发明内容

[0005] 鉴于以上内容,有必要提供一种液晶显示器阵列基板,其可以在提高阵列基板分辨率的情况下,增大存储电容值。

[0006] 本发明提供一种液晶显示器的阵列基板,包括一存储电容,该存储电容包括一第一公共电极、一设置在该第一公共电极上的第一保护层与一设置在第一保护层上的像素电极,其中该存储电容还包括一设置在像素电极上的第二保护层与一设置在第二保护层上的第二公共电极,该第二公共电极具有多数个狭缝,且与第一公共电极电连接。

[0007] 相较于现有技术,根据本发明提供的阵列基板以增加单位面积存储电容的方式,增加了阵列基板设计的灵活度与制程边界(process window),尤其可适用于高分辨率的液晶显示器。对于液晶显示器而言,即使为了提高分辨率而增大像素密度,也不会因存储电容不足而影响显示质量。

附图说明

[0008] 图1为本发明提供的第一实施方式的液晶显示器阵列基板的俯视图。

[0009] 图2为图1中所示的阵列基板沿线II-II的剖示图。

[0010] 图3为图1中所示的部分阵列基板中三层电极结构的示意图。

- [0011] 图 4 为图 1 中所示的阵列基板公共电极接垫区的剖示图。
- [0012] 图 5 为图 1 中所示的阵列基板沿线 IV - IV 的剖示图。
- [0013] 图 6 为本发明提供的第二实施方式中阵列基板的俯视图。
- [0014] 图 7 为图 6 中所示的部分阵列基板中三层电极结构的示意图。
- [0015] 图 8 为本发明提供的第三实施方式中阵列基板的俯视图。
- [0016] 图 9 为本发明提供的第四实施方式中阵列基板的俯视图。
- [0017] 主要元件符号说明

阵列基板	100、200、300、400
存储电容	10
扫描线	GL
数据线	DL
公共电极线	CL
基板	110
TFT	120
栅极	121
栅极绝缘层	122
通道层	123
源极	124
漏极	125
钝化层	130
平坦层	140
第一公共电极	150、250
第一保护层	160
像素电极	170、270
第二保护层	180
第二公共电极	190、290、390、490
狭缝	192、392、492
第一开孔	141
第二开孔	151
第三开孔	161
第四开孔	191
通孔	182
平板状公共电极	252
第一公共电极连接部	253

如下具体实施方式将结合上述附图进一步说明本发明。

具体实施方式

[0018] 将参照附图表述根据本发明的实施例用于液晶显示器的阵列基板。

[0019] 图 1 是本发明第一实施方式的部分液晶显示器阵列基板 100 的俯视图。本实施方式中液晶显示器是 FFS 型液晶显示器。该阵列基板 100 包括多条平行排列的扫描线 GL 与多条平行排列的数据线 DL, 该扫描线 GL 与该数据线 DL 交叉以限定多个子像素。每个子像素中包括一薄膜晶体管 (TFT) 120 与一像素电极 170。其中, 像素电极 170 为平板状电极, 分别位于每个子像素中, 并与 TFT 120 电连接。

[0020] 阵列基板 100 还包括第一公共电极 150 与第二公共电极 190。本实施方式中, 该阵列基板 100 共包括三层电极结构。其中, 第一公共电极 150 与第二公共电极 190 重叠, 且都覆盖所有的子像素。第二公共电极 190 位于第一公共电极 150 上方, 第一公共电极 150 为

平板状电极。第二公共电极 190 具有多个平行排列的狭缝 192, 使得第二公共电极 190 与像素电极 170 之间可形成边缘电场, 以驱动液晶(未绘出)旋转。请参照图 1, 该狭缝 192 为条型, 但并不限于此, 该狭缝 192 还可以是“<”字型或其它弯折形状。在该实施方式中, 狭缝 192 与数据线 DL 均不与扫描线 GL 垂直。

[0021] 图 2 是图 1 中阵列基板 100 沿线 II - II 的剖面图。如图 2 所示, 阵列基板 100 包括基板 110、TFT 120、钝化层 130、平坦层 140、第一公共电极 150、第一保护层 160、像素电极 170 以及第二公共电极 190。其中, TFT 120 设置于基板 110 上。每一 TFT 120 包括栅极 121、栅极绝缘层 122、通道层 123、源极 124 与漏极 125。栅极 121 位于基板 110 上, 栅极绝缘层 122 覆盖栅极 121 与基板 110, 通道层 123 位于该栅极绝缘层 122 上方, 并对应栅极 121 上方设置。源极 124 与漏极 125 分别位于通道层 123 两侧并彼此分离。请同时参照图 1 与图 2。在该实施方式中, TFT 120 的栅极 121 凸出于扫描线 GL 之外。源极 124 包含在数据线 DL 中, 大致呈马蹄形状(C), 并与栅极 121 重迭。漏极 125 与源极 124 相对设置, 并与栅极 121 部分重迭。当然, TFT 120 的形状并不限于此, 也可以为其它形状。在每个子像素中, 数据线 DL 以一定的角度与扫描线倾斜交错设置, 并包括马蹄形状的源极 124。

[0022] 钝化层 130 覆盖 TFT 120 与基板 110, 平坦层 140 覆盖钝化层 130。本实施方式中, 平坦层 140 的材质是有机材料, 与钝化层 130 相比, 其厚度较厚, 起到平坦化的作用。平坦层 140 与钝化层 130 具有第一开孔 141, 露出部分漏极 125。

[0023] 为使漏极 125 与像素电极 170 连接, 第一公共电极 150 开设有第二开孔 151, 该第二开孔 151 位于第一开孔 141 上方且大于第一开孔 141。第一保护层 160 具有第三开孔 161, 第三开孔 161 位于第一开孔 141 与第二开孔 151 中并露出部分漏极 125, 像素电极 170 位于第一保护层上方, 并通过第三开孔 161 与漏极 125 电连接。

[0024] 第二保护层 180 位于像素电极 170 上方, 并覆盖该像素电极 170。第二公共电极 190 位于第二保护层 180 上方, 并具有第四开孔 191, 第四开孔 191 与第二开孔 151 重迭, 且大小一致。由于该第二公共电极 190 具有第四开孔 191, 可避免第二公共电极 190 与像素电极 170 之间发生短路(short)。

[0025] 图 3 是图 1 中部分阵列基板 100 所包含的三层电极结构的示意图。如图 3 所示, 第一公共电极 150 为一整面连续的电极, 连续覆盖所有子像素, 并在每个子像素中均开设有第二开孔 151。多个像素电极 170 为不连续分布的平板状电极, 每个像素电极 170 分别设于每个子像素中。第二公共电极 190 也是连续覆盖所有子像素的一整面电极, 与第一公共电极 150 重迭。第二公共电极 190 对应每个子像素开设有第四开孔 191。第四开孔 191 优选与第二开孔 151 在垂直面板的方向完全重迭。另外, 第二公共电极 190 在每个子像素中还具有多个如图 2 所示的狭缝 192。相邻两行的子像素中, 第二公共电极 190 的狭缝 192 的倾斜方向是对称的, 因此, 相邻两行的子像素所对应的液晶会形成两种不同的配向。

[0026] 请参照图 4, 图 4 是该阵列基板 100 周边区域的公共电极接垫区(pad)的剖视图。该阵列基板 100 包括一公共电极线 CL, 该公共电极线 CL 位于该基板 110 上。该第一公共电极 150 与第二公共电极 190 之间夹有第一保护层 160 与第二保护层 180, 该第一保护层 160 与该第二保护层 180 具有通孔 182, 以露出部分第一公共电极 150, 使该第二公共电极 190 通过该通孔 182 与该第一公共电极 150 电连接。该第一公共电极 150 与该公共电极线 CL 电连接, 以接入公共电极讯号。第一公共电极可通过一位于公共电极线 CL 上方的金属

层 126 与公共电极线 CL 电连接,也可直接与公共电极线 CL 电连接。该金属层 126 与数据线 DL、源极 124 与漏极 125 的材质相同,并位于同一金属层。

[0027] 请参照图 5,图 5 是图 1 中的阵列基板 100 沿线 IV-IV 的剖面图。图 5 示出了该阵列基板 100 的存储电容 10 的结构。该存储电容 10 位于平坦层 140 上,包括第一公共电极 150、设置在该第一公共电极 150 上的第一保护层 160 与设置在第一保护层 160 上的像素电极 170、设置在像素电极 170 上的第二保护层 180 与设置在第二保护层 180 上的第二公共电极 190。像素电极 170、该第一公共电极 150 与该第二公共电极 190 的材质是导电材料,例如氧化铟锡(ITO)或者氧化铟锌(IZO)。该第一保护层与该第二保护层的材质是绝缘材料,例如氧化硅(SiO_x)或者氮化硅(SiN_x)。

[0028] 第一公共电极 150 与像素电极 170 部分重迭,形成第一存储电容;第二公共电极 190 与像素电极 170 部分重迭,形成第二存储电容。第一存储电容与第二存储电容并联,相较于先前技术,公共电极与像素电极之间仅有一种存储电容,因此,该阵列基板 100 单位面积的存储电容值较大。换句话说,在保持像素电极与公共电极有效面积不变的情况下,本发明提供的阵列基板 100 的单位面积的存储电容值较大。

[0029] 该阵列基板 100 藉由增加一层第二公共电极 190,可以增加单位面积的存储电容,并且不需要减薄电极之间绝缘层的厚度,因此,增加了阵列基板 100 的设计灵活度与制程边界,尤其可适用于高分辨率的液晶显示器。对于液晶显示器而言,即使为了提高分辨率,增大像素密度,也不会因存储电容不足而影响显示质量,避免产生闪烁或串扰等不良现象。另外,没有开口的第一公共电极 150 位于像素电极 170 下方,可以有效遮蔽数据线 DL 的电场,减少数据线 DL 与像素电极 170 的电场耦合,从而可避免串扰,提高显示质量。

[0030] 图 6 是本发明提供的第二实施方式中的阵列基板 200。图 7 是图 6 中部分阵列基板 200 所包括的三层电极的示意图。请同时参考图 6 与图 7。阵列基板 200 与阵列基板 100 的结构相似,都包括三层电极结构,分别是第一公共电极 250、像素电极 270 与第二公共电极 290。阵列基板 200 与阵列基板 100 的差异在于:第一公共电极 250 重叠在数据线 DL 上方的部分基本被省略,即第一公共电极 250 仅覆盖部分数据线 DL。本实施方式中,第一公共电极 250 重迭在数据线 DL 上方的部分完全被省略。由于第一公共电极 250 与数据线 DL 重迭的面积较小,如此可以降低第一公共电极 250 与数据线 DL 之间的寄生电容。具体而言,第一公共电极 250 包括位于每个子像素中的平板状公共电极 252 以及每一列相邻子像素之间的第一公共电极连接部 253。该多个平板状公共电极 252 经第一公共电极连接部 253 串接后基本平行扫描线方向延伸。位于子像素中的平板状公共电极 252 与数据线 DL 相互不重迭。每条第一公共电极连接部 253 基本平行扫描线 GL 延伸且与数据线 DL 绝缘交叉,使得每条第一公共电极连接部 253 覆盖数据线 DL 的面积较少。

[0031] 本发明第二实施方式中的阵列基板 200 所包含的第一公共电极连接部 253 位于每一列相邻的子像素之间,但本发明并不限于此,每一行相邻的子像素之间也可设置第一公共电极连接部,使每一行相邻的子像素所对应的第一公共电极连接。

[0032] 以上仅为本发明的两种实施方式,阵列基板 100、200 中的一个子像素对应的液晶层都仅形成一种配向方向,位于相邻两行的两个子像素对应的液晶层则形成不同的配向方向,因此,该液晶显示器的阵列基板 100、200 对应的液晶层均包括两种配向方向,广视角效果更佳。

[0033] 图 8 是本发明第三实施方式的阵列基板 300 的俯视图。阵列基板 300 与阵列基板 100 的结构相似,差异在于:数据线 DL 及第二公共电极 390 的狭缝 392 为“<”字型,因此,一个子像素对应的液晶层包括两种配向方向。该阵列基板 300 同样可以达到广视角效果。

[0034] 图 9 是本发明第四实施方式的阵列基板 400 的俯视图。阵列基板 400 与阵列基板 100 的结构相似,差异在于:该数据线 DL 与第二公共电极 490 的狭缝 492 是都直条状且与扫描线 GL 基本垂直,第二公共电极 490 的狭缝 492 为条型狭缝。因此,一个子像素对应的液晶层仅包括一种配向方向,该阵列基板 400 对应的液晶层也仅包括一种配向方向。

[0035] 本发明阵列基板中的 TFT 可以是非晶硅型 TFT,也可以是金属氧化物半导体薄膜晶体管,或者低温多晶硅型薄膜晶体管。

[0036] 本发明提供的液晶显示器的阵列基板,藉由设置两层公共电极层,可以增加单位面积的存储电容,并且不需要减薄电极之间绝缘层的厚度,因此,增加了阵列基板的设计灵活度与制程边界,尤其可适用于高分辨率的液晶显示器。对于液晶显示器而言,即使为了提高分辨率,增大像素密度,也不会因存储电容不足而影响显示质量,避免产生闪烁或串扰等不良现象。

[0037] 本领域的普通技术人员应当理解,其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

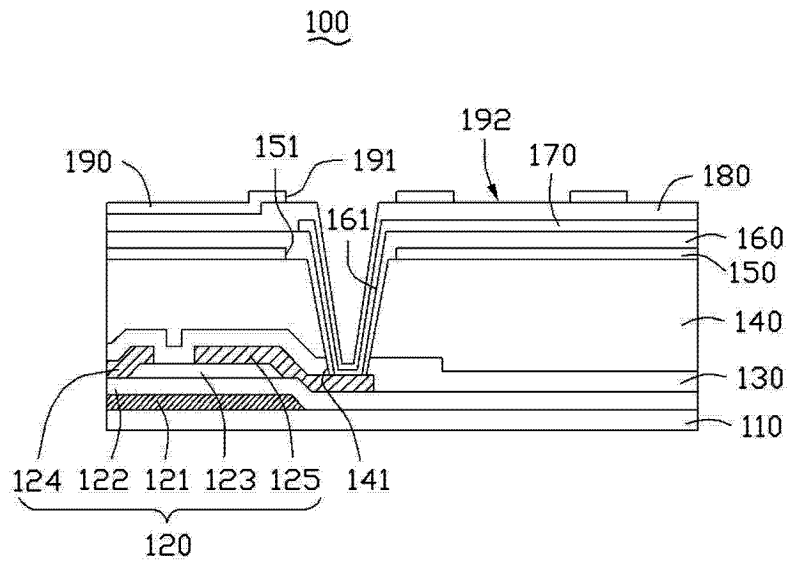


图 2

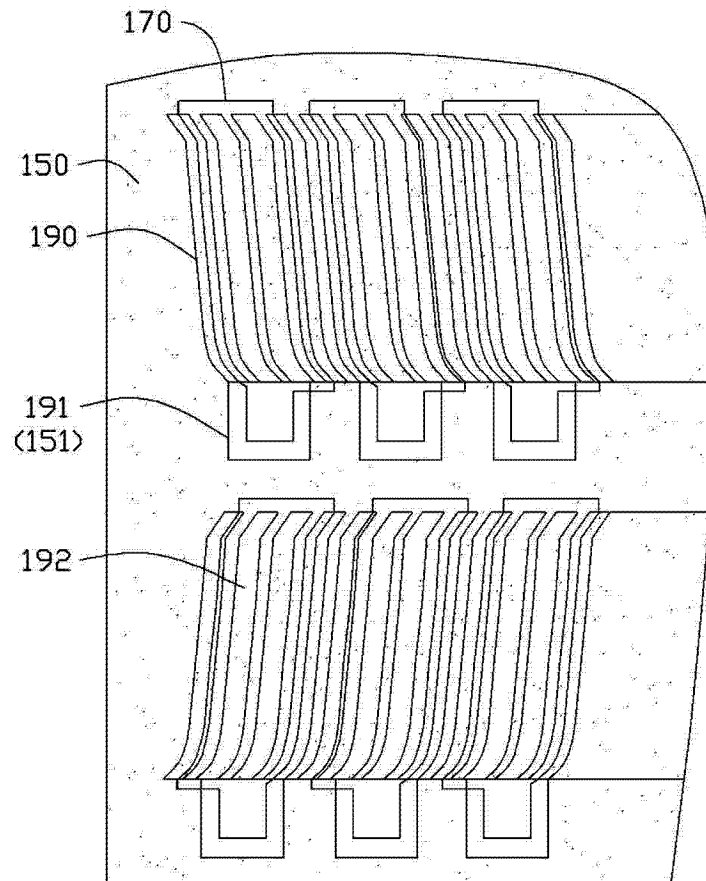


图 3

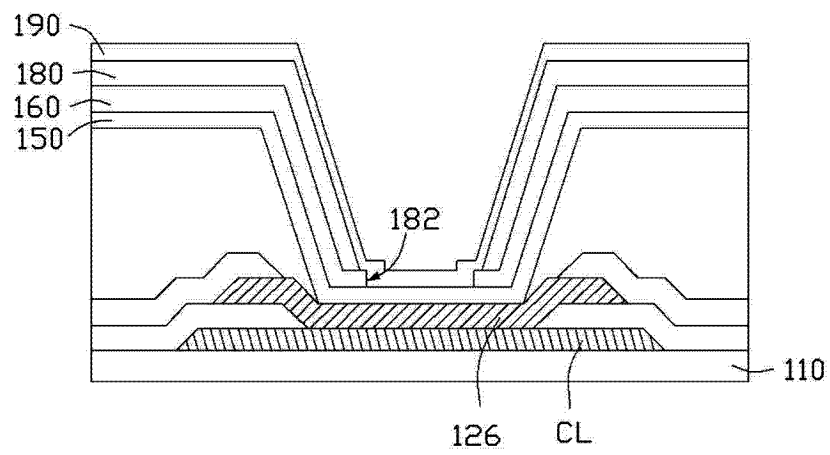


图 4

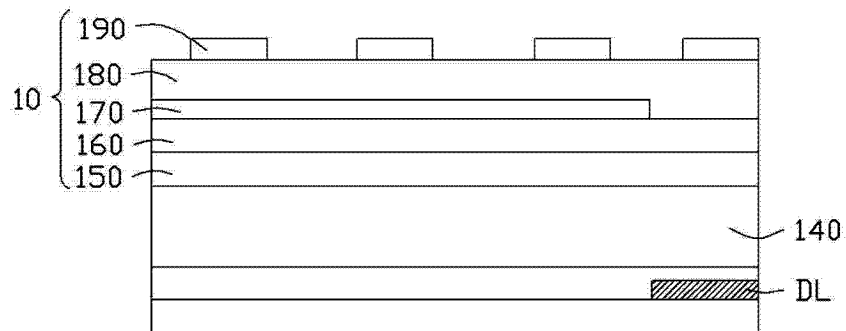


图 5

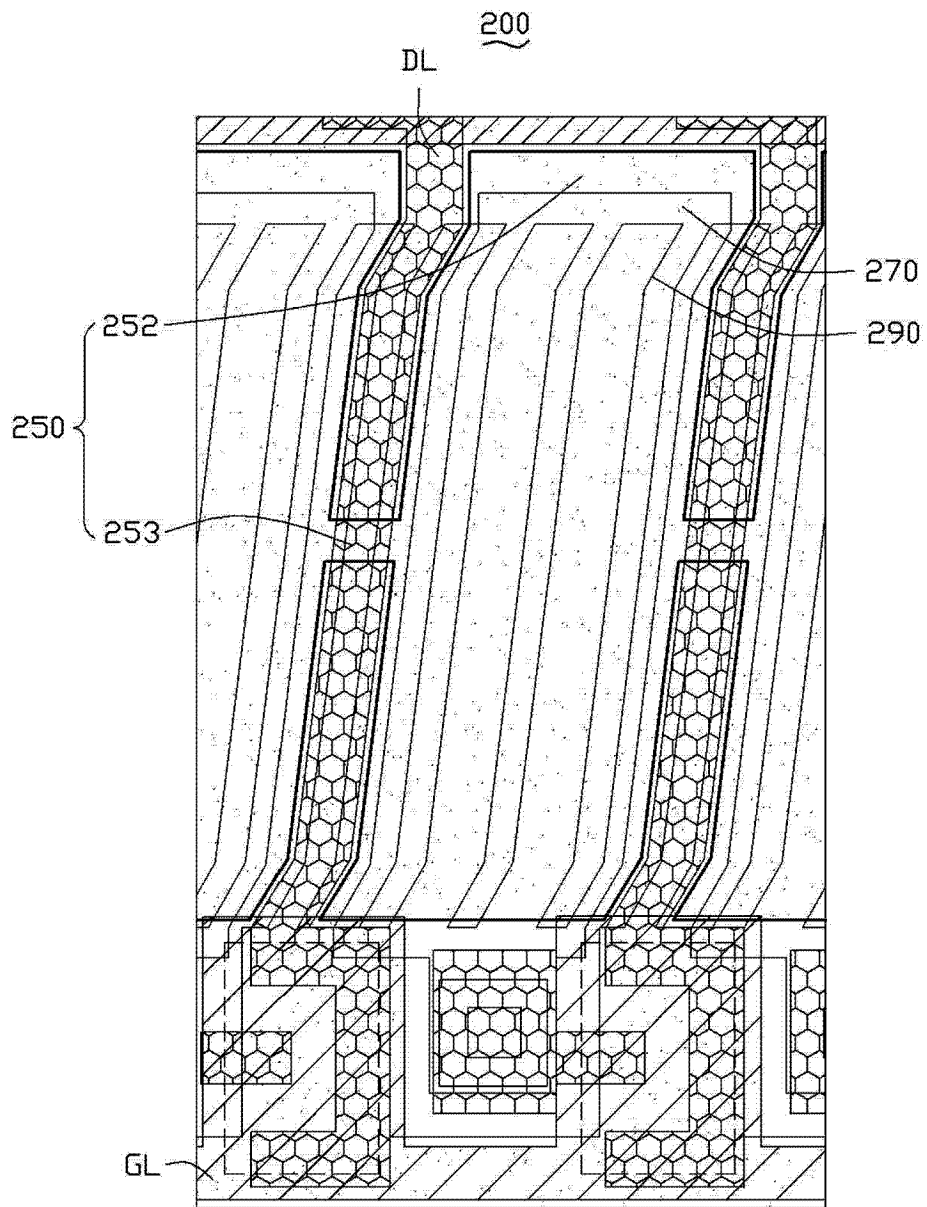


图 6

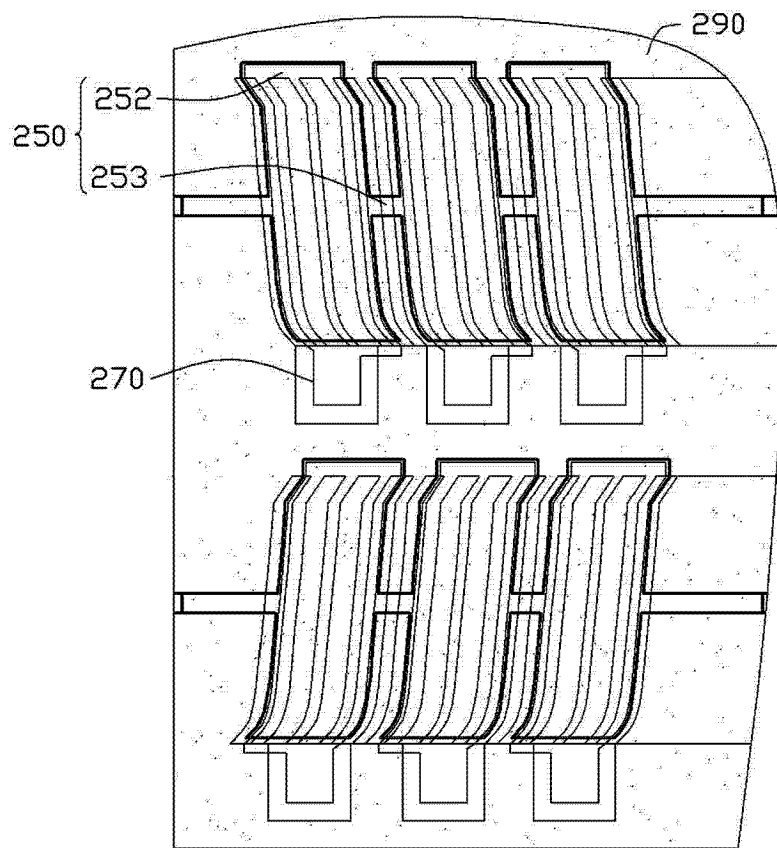


图 7

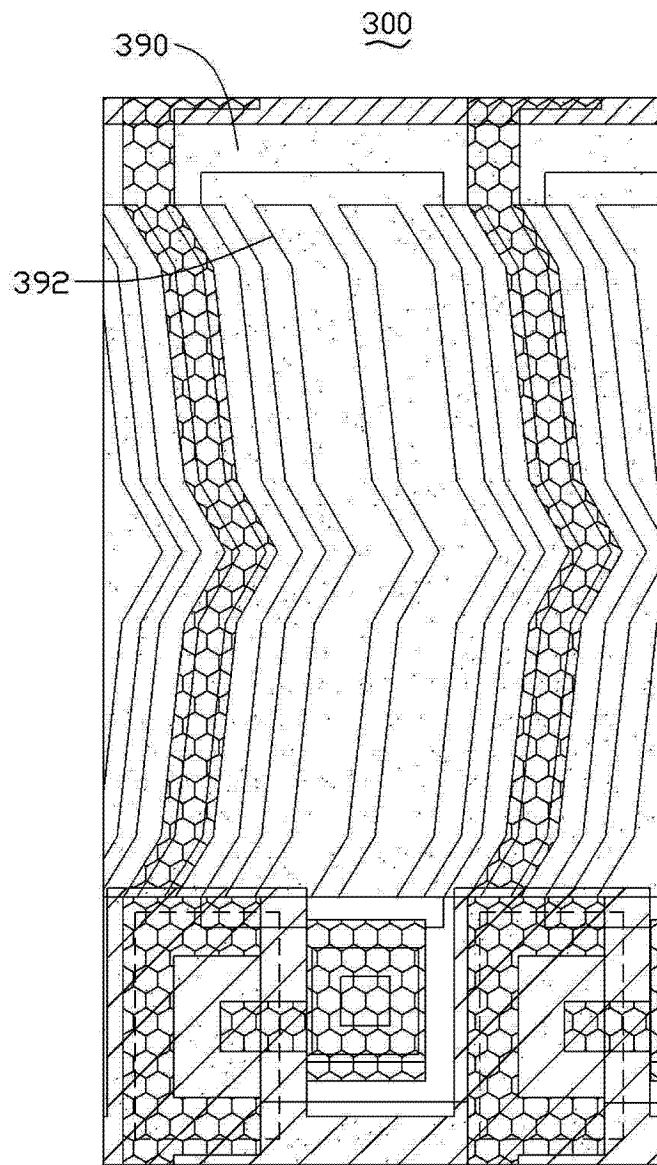


图 8

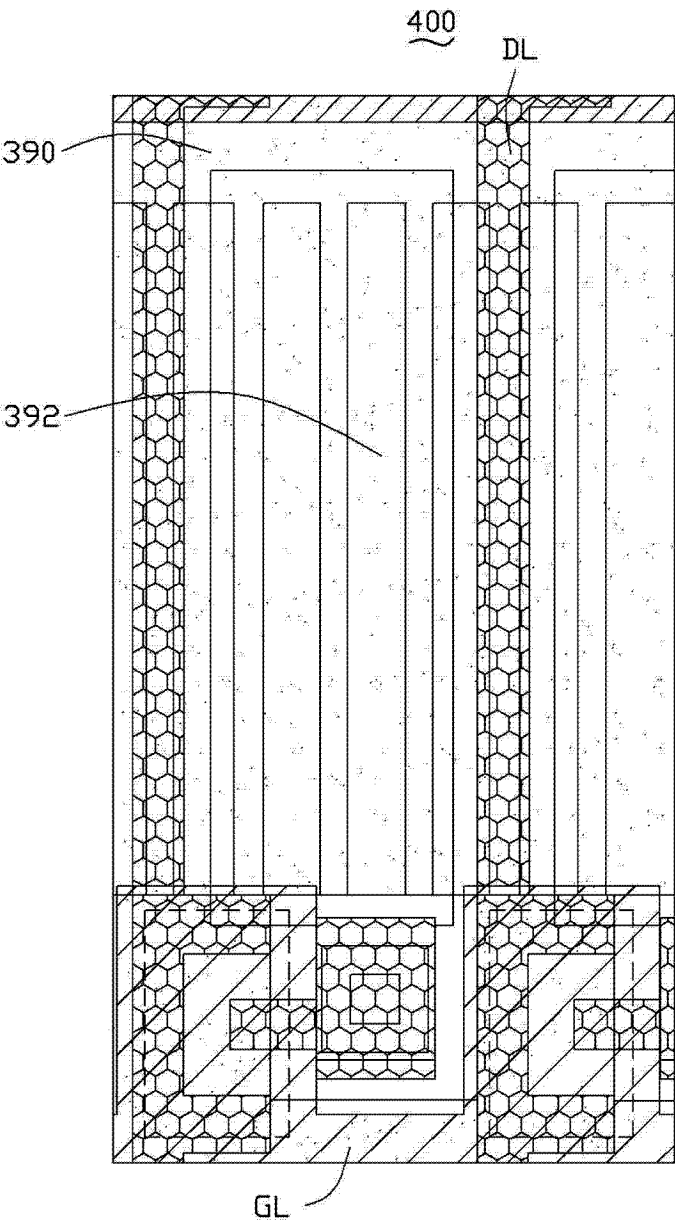


图 9

专利名称(译)	液晶显示器的阵列基板		
公开(公告)号	CN104423110A	公开(公告)日	2015-03-18
申请号	CN201310407236.2	申请日	2013-09-10
[标]申请(专利权)人(译)	业鑫科技顾问股份有限公司 新光电科技有限公司		
申请(专利权)人(译)	业鑫科技顾问股份有限公司 新光电科技有限公司		
当前申请(专利权)人(译)	业鑫科技顾问股份有限公司 新光电科技有限公司		
[标]发明人	蔡五柳 高逸群 林欣桦 施博理 李志隆		
发明人	蔡五柳 高逸群 林欣桦 施博理 李志隆		
IPC分类号	G02F1/1362 G02F1/1343 H01L27/02		
CPC分类号	G02F1/136213 G02F1/134309 G02F2001/134372 H01L27/1255 H01L27/1244 G02F1/133555 G02F1/134363 G02F1/136227 G02F2001/133397		
代理人(译)	徐丽昕		
优先权	102131190 2013-08-30 TW		
其他公开文献	CN104423110B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种液晶显示器的阵列基板，包括一存储电容，该存储电容包括一第一公共电极、一设置在该第一公共电极上的第一保护层与一设置在第一保护层上的像素电极，一设置在像素电极上的第二保护层与一设置在第二保护层上的第二公共电极。该第二公共电极具有多数个狭缝，且与第一公共电极电连接。本发明提供的阵列基板可提高单位面积的存储电容，适用于高分辨率的液晶显示器。

