



(12) 发明专利

(10) 授权公告号 CN 103777423 B

(45) 授权公告日 2016. 02. 24

(21) 申请号 201410036809. X

US 2009/0268113 A1, 2009. 10. 29,

(22) 申请日 2014. 01. 24

CN 103400563 A, 2013. 11. 20,

(73) 专利权人 深圳市华星光电技术有限公司

审查员 辛迪迪

地址 518132 广东省深圳市光明新区塘明大道 9-2 号

(72) 发明人 黄世帅 张天豪

(74) 专利代理机构 广东广和律师事务所 44298

代理人 刘敏

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

G02F 1/133(2006. 01)

(56) 对比文件

US 2011/0267567 A1, 2011. 11. 03,

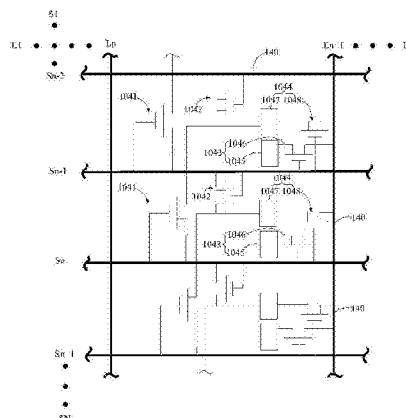
权利要求书1页 说明书4页 附图4页

(54) 发明名称

液晶面板及其像素结构

(57) 摘要

本发明实施例公开了一种像素结构,其包括矩阵排列的多个像素单元。所述像素单元由相交的多条扫描线及数据线所定义。每一像素单元包括第一放电控制开关、第二放电控制开关以及相邻设置的主像素区及副像素区。所述主像素区包括主像素电极及主充电控制开关。所述副像素区包括副像素电极及副充电控制开关。所述主像素电极通过该主充电控制开关接收显示信号。所述副像素电极通过该副充电控制开关接收显示信号。所述第一放电控制开关连接传输本像素单元扫描信号的扫描线与位于上方像素单元的副像素电极。所述第二放电控制开关连接传输上一个像素单元扫描信号的扫描线与本像素单元的副像素电极。本发明实施例还公开了一种包括上述像素结构的液晶显示面板。



1. 一种像素结构,其包括矩阵排列的多个像素单元(104),所述像素单元(104)由相交的多条扫描线(S1~SN)及数据线(L1~LN)所定义,每一像素单元(104)包括第一放电控制开关(1041)、第二放电控制开关(1042)以及相邻设置的主像素区(1043)及副像素区(1044),所述主像素区(1043)包括主像素电极(1045)及主充电控制开关(1046),所述副像素区(1044)包括副像素电极(1047)及副充电控制开关(1048),所述主像素电极(1045)通过该主充电控制开关(1046)接收显示信号,所述副像素电极(1047)通过该副充电控制开关(1048)接收显示信号,所述第一放电控制开关(1041)连接传输本像素单元(104)扫描信号的扫描线(Sn)与位于上方像素单元(104)的副像素电极(1047),所述第二放电控制开关(1042)连接传输上一个像素单元(104)扫描信号的扫描线(Sn-1)与本像素单元(104)的副像素电极(1047)所述第一放电控制开关(1041)的控制端连接至传输本像素单元(104)扫描信号的扫描线(Sn),所述第一放电控制开关(1041)的一端连接至上两个像素单元(104)的副像素电极(1047)。

2. 如权利要求1所述的像素结构,其特征在于,所述每一像素单元(104)还包括一第一驱动线(P1)及一第二驱动线(P2),所述每一像素单元(104)的第一放电控制开关(1041)的控制端连接至所述第一驱动线(P1),所述每一像素单元(104)的第二放电控制开关(1042)的控制端连接所述第二驱动线(P2)。

3. 如权利要求2所述的像素结构,其特征在于,所述第一放电控制开关(1041)的一端连接至相邻的上一个像素单元(104)的副像素电极(1047)。

4. 如权利要求1所述的像素结构,其特征在于,所述第二放电控制开关(1042)的控制端连接至传输本像素单元(104)扫描信号的扫描线(Sn)。

5. 如权利要求1-4中任一项所述的像素结构,其特征在于,所述主充电控制开关(1046)、副充电控制开关(1048)、第一放电控制开关(1041)及第二放电控制开关(1042)为薄膜晶体管,第一放电控制开关(1041)及第二放电控制开关(1042)的控制端为薄膜晶体管的栅极。

6. 一种液晶显示面板(1),其特征在于:所述液晶显示面板包括如权利要求1-5中任一项所述的像素结构。

7. 如权利要求6所述的液晶显示面板(1),其特征在于,进一步包括阵列基板(10)、液晶层(20)以及彩膜基板(30),所述阵列基板(10)与彩膜基板(30)相对设置,所述液晶层(20)夹设在阵列基板(10)与彩膜基板(30)之间。

8. 如权利要求7所述的液晶显示面板(1),其特征在于,所述阵列基板(10)包括绝缘层(100)、存储电容电极(102)及设置在绝缘层(100)上的用于显示不同色彩的像素单元(104),所述存储电容电极(102)对应设置在每个像素单元(104)下,并由所述绝缘层(100)所覆盖,所述彩膜基板(30)包括一公共电极(300),所述公共电极(300)设置在彩膜基板(30)与阵列基板(10)相对的下表面。

液晶面板及其像素结构

技术领域

[0001] 本发明涉及一种液晶面板及其像素结构。

背景技术

[0002] 现有液晶显示面板的低色偏像素结构主要是通过增加扫描线, 分别对同一像素的不同区域进行控制。然此种方法需要多一倍的覆晶薄膜 (Chip On Film, COF) 数量, 导致成本增加。

[0003] 因此, 需要提供能够改善上述问题的液晶面板及其像素结构。

发明内容

[0004] 为了解决上述技术问题, 本发明实施例提供了一种像素结构, 其包括矩阵排列的多个像素单元。所述像素单元由相交的多条扫描线及数据线所定义。每一像素单元包括第一放电控制开关、第二放电控制开关以及相邻设置的主像素区及副像素区。所述主像素区包括主像素电极及主充电控制开关。所述副像素区包括副像素电极及副充电控制开关。所述主像素电极通过该主充电控制开关接收显示信号。所述副像素电极通过该副充电控制开关接收显示信号。所述第一放电控制开关连接传输本像素单元扫描信号的扫描线与位于上方像素单元的副像素电极。所述第二放电控制开关连接传输上一个像素单元扫描信号的扫描线与本像素单元的副像素电极。

[0005] 其中, 所述第一放电控制开关的控制端连接至传输本像素单元扫描信号的扫描线。

[0006] 其中, 所述第一放电控制开关的一端连接至上两个像素单元的副像素电极。

[0007] 其中, 所述每一像素单元还包括一第一驱动线及一第二驱动线。所述每一像素单元的第一放电控制开关的控制端连接至所述第一驱动线。所述每一像素单元的第二放电控制开关的控制端连接所述第二驱动线。

[0008] 其中, 所述第一放电控制开关的一端连接至相邻的上一个像素单元的副像素电极。

[0009] 其中, 所述第二放电控制开关的控制端连接至传输本像素单元扫描信号的扫描线。

[0010] 其中, 所述主充电控制开关、副充电控制开关、第一放电控制开关及第二放电控制开关为薄膜晶体管。第一放电控制开关及第二放电控制开关的控制端为薄膜晶体管的栅极。

[0011] 一种液晶显示面板, 其包括上述的像素结构。

[0012] 其中, 进一步包括阵列基板、液晶层以及彩膜基板。所述阵列基板与彩膜基板相对设置, 所述液晶层夹设在阵列基板与彩膜基板之间。

[0013] 其中, 所述阵列基板包括绝缘层、存储电容电极及设置在绝缘层上的多个具有所述像素结构、用于显示不同色彩的像素单元。所述存储电容电极对应设置在每个像素单元

下,并由所述绝缘层所覆盖。所述彩膜基板包括一公共电极,所述公共电极设置在彩膜基板与阵列基板相对的下表面。

[0014] 本发明所提供的液晶显示面板的像素结构可在不增加扫描线的前提下对副像素电极进行放电而实现低色偏的设计要求,而且所述像素结构可以兼容正向扫描和反向扫描,具有较大的应用领域。

附图说明

[0015] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0016] 图 1 是本发明实施例所提供的液晶显示面板的结构示意图。

[0017] 图 2 是本发明第一实施例所提供的像素单元的结构示意图。

[0018] 图 3 是本发明第二实施例所提供的像素单元的结构示意图。

[0019] 图 4 是本发明第三实施例所提供的像素单元的结构示意图。

具体实施方式

[0020] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0021] 如图 1 所示,本发明第一实施例所提供的液晶显示面板 1 包括阵列基板 10、液晶层 20 以及彩膜基板 30。其中,阵列基板 10 与彩膜基板 30 相对设置,液晶层 20 夹设在阵列基板 10 和彩膜基板 30 之间。

[0022] 所述阵列基板 10 包括绝缘层 100、存储电容电极 102 及设置在绝缘层 100 上的多个结构相同、用于显示不同色彩的像素单元 104。所述存储电容电极 102 对应设置在每个像素单元 104 下,并由所述绝缘层 100 所覆盖。

[0023] 所述彩膜基板 30 包括一公共电极 300。所述公共电极 300 设置在彩膜基板 30 与阵列基板 10 相对的下表面。

[0024] 请一并参阅图 1 及图 2,图 2 是本发明所提供的像素单元 104 的电路结构示意图。所述阵列基板 10 上设置有多条扫描线 S1 ~ SN 以及多条数据线 L1 ~ LN。所述扫描线 S1 ~ SN 横向设置以传输用于选中像素单元 104 的扫描信号。所述数据线 L1 ~ LN 纵向设置以传输所选像素单元 104 的显示信号。所述扫描线 S1 ~ SN 和数据线 L1 ~ LN 彼此垂直相交以定义出呈矩阵排列的像素单元 104。在其他实施例中,扫描线 S1 ~ SN 和数据线 L1 ~ LN 也可以不垂直。

[0025] 所述每一个像素单元 104 包括第一放电控制开关 1041、第二放电控制开关 1042 以及相邻设置的主像素区 1043 和副像素区 1044。所述主像素区 1043 与副像素区 1044 的下方分别对应设置有所述存储电容电极 102。所述主像素区 1043 包括主像素电极 1045 及主充电控制开关 1046。所述副像素区 1044 包括副像素电极 1047 及副充电控制开关 1048。所

述第一放电控制开关 1041 连接构成该像素单元 104 的下列扫描线 S_n 与位于上方的其他像素单元 104 中的副像素电极 1047 以在下列扫描线 S_n 的扫描信号的控制下对上方像素单元 104 的副像素电极 1047 进行放电。所述第二放电控制开关 1042 连接构成该像素单元 104 的上列扫描线 S_{n-1} 与该像素单元 104 的副像素电极 1047 以在上列扫描线 S_{n-1} 的扫描信号的控制下对该像素单元 104 的副像素电极 1047 进行放电。所述副像素电极 1047 在放电后与同一像素单元 104 内的主像素电极 1045 之间形成电位差,达到降低色偏的目的。在本实施例中,所述第一放电控制开关 1041 与相邻的上一个像素单元 104 中的副像素电极 1047 相连接。所述第二放电控制开关 1042 与相邻的下一个像素单元 104 中的副像素电极 1047 相连接。

[0026] 所述主充电控制开关 1046、副充电控制开关 1048、第一放电控制开关 1041 及第二放电控制开关 1042 均优选为薄膜晶体管。所述主充电控制开关 1046 的栅极为控制端且连接至扫描线 $S_1 \sim S_N$ 上。所述主充电控制开关 1046 的源极连接至数据线上。所述主充电控制开关 1046 的漏极连接至主像素电极 1045。所述副充电控制开关 1048 的栅极为控制端且连接至扫描线 $S_1 \sim S_N$ 上。所述副充电控制开关 1048 的源极连接至数据线 $L_1 \sim L_N$ 上。所述副充电控制开关 1048 的漏极连接至副像素电极 1047。

[0027] 所述第一放电控制开关 1041 的栅极为控制端。所述第一放电控制开关 1041 的栅极及源极共同连接至该像素单元 104 的下列扫描线 S_n 上。所述第一放电控制开关 1041 的漏极连接至上一个像素单元 104 的副像素电极 1047。所述第二放电控制开关 1042 的栅极为控制端。所述第二放电控制开关 1042 的栅极及源极共同连接至该像素单元 104 的上列扫描线 S_{n-1} 上。所述第二放电控制开关 1042 的漏极连接至该像素单元 104 的副像素电极 1047。

[0028] 下面以图 2 中所示的第 n 像素单元 104 为例进行说明。

[0029] 采用正向扫描方式,即扫描信号按照从第一条扫描线 S_1 至第 N 条扫描线 S_N 依次加载。当扫描信号沿第 n 条扫描线 S_n 传输时,第 n 像素单元 104 的主充电控制开关 1046 及副充电控制开关 1048 通过各自的栅极被扫描信号导通。第 n 像素单元 104 的显示信号沿第 n 条数据线 L_n 分别通过所述主充电控制开关 1046 及副充电控制开关 1048 对第 n 像素单元 104 的主像素电极 1045 及副像素电极 1047 充电。于此同时,与第 n 条扫描线 S_n 相连的第一放电控制开关 1041 被导通以使得第 $n-1$ 像素单元 104 的副像素电极 1047 放电。因为在此之前扫描信号沿第 $n-1$ 条扫描线 S_{n-1} 传输时,第 $n-1$ 像素单元 104 内的主像素电极 1045 及副像素电极 1047 已被充电。所以,当第 $n-1$ 像素单元 104 的副像素电极 1047 被第 n 像素单元 104 的第一放电控制开关 1041 放电后,所述第 $n-1$ 像素单元 104 的主像素电极 1045 与副像素电极 1047 之间的电位不同,从而达到低色偏的设计要求。同理,当扫描信号沿下一列第 $n+1$ 条扫描线 S_{n+1} 传输时,第 $n+1$ 像素单元 104 的第一放电控制开关 1041 被导通而对第 n 像素单元 104 内的副像素电极 1047 进行放电,使得第 n 像素单元 104 的副像素电极 1047 具有与主像素电极 1045 不同的电位。虽然当扫描信号沿第 n 条扫描线传输时第 $n+1$ 像素单元 104 的第二放电控制开关 1042 会被导通,但因为第 $n+1$ 像素单元 104 的副像素电极 1047 在上一帧扫描周期内已被放电,所以此时不会再次放电。

[0030] 采用反向扫描方式,即扫描信号按照从第 N 条扫描线 S_N 至第一条扫描线 S_1 依次加载。当扫描信号沿第 n 条扫描线 S_n 传输时,第 n 像素单元 104 的主充电控制开关 1046 及

副充电控制开关 1048 通过各自的栅极被扫描信号导通。第 n 像素单元 104 的显示信号沿第 n 条数据线 L_n 分别通过所述主充电控制开关 1046 及副充电控制开关 1048 对第 n 像素单元 104 的主像素电极 1045 及副像素电极 1047 充电。于此同时,与第 n 条扫描线 S_n 相连的第 $n+1$ 像素单元 104 的第二放电控制开关 1042 被导通以使得第 $n+1$ 像素单元 104 的副像素电极 1047 放电。因为在此之前扫描信号沿第 $n+1$ 条扫描线 S_{n+1} 传输时第 $n+1$ 像素单元 104 内的主像素电极 1045 及副像素电极 1047 已被充电,所以当第 $n+1$ 像素单元 104 的副像素电极 1047 被第 n 像素单元 104 的第二放电控制开关 1042 放电后,所述第 $n+1$ 像素单元 104 的主像素电极 1045 与副像素电极 1047 之间的电位不同,从而达到低色偏的设计要求。同理,当扫描信号沿下一列第 $n-1$ 条扫描线 S_{n-1} 传输时,第 n 像素单元 104 的第二放电控制开关 1042 被导通而对第 n 像素单元 104 内的副像素电极 1047 进行放电,使得第 n 像素单元 104 的副像素电极 1047 具有与主像素电极 1045 不同的电位。虽然当扫描信号沿第 n 条扫描线 S_n 传输时第 $n-1$ 像素单元 104 的第一放电控制开关 1041 会被导通,但因为第 $n-1$ 像素单元 104 的副像素在上一帧扫描周期内已被放电,所以此时不会再次放电。

[0031] 因此,本发明所提供的液晶显示面板 1 的像素结构可在不增加扫描线的前提下对副像素电极 1047 进行放电而实现低色偏的设计要求,而且所述像素结构可以兼容正向扫描和反向扫描,具有较大的应用领域。

[0032] 如图 3 所示,本发明第二实施例所提供的像素单元 204 的结构具有与第一实施例的像素单元 104 的结构基本相同的结构,其区别在于:第二实施例的像素单元 204 内的第一放电控制开关 2041 的漏极连接至上两个像素单元 204 的副像素电极 2047。对应地,在采用正向扫描方式时,第 n 像素单元 204 的副像素电极 2047 在完成充电后需要在下两条扫描线 S_{n+2} ,即第 $n+2$ 条扫描线 S_{n+2} 被选中时才会通过该条扫描线 S_{n+2} 上的第一放电控制开关 2041 进行放电,以实现与相同像素单元 204 内的主像素电极 2045 之间的电位差。

[0033] 如图 4 所示,本发明第三实施例所提供的像素单元 304 的结构具有与第一实施例的像素单元 104 的结构基本相同的结构,其区别在于:第三实施例的像素单元 304 的还包括与扫描线垂直相交的第一驱动线 P1 及第二驱动线 P2。每个像素单元 304 的第一放电控制开关 3041 的栅极均连接至该第一驱动线 P1。每个像素单元 304 的第二放电控制开关 3042 的栅极均连接至该第二驱动线 P2。采用正向扫描方式时,向第一驱动线 P1 输出驱动信号则每个像素单元 304 内的第一放电控制开关 3041 都被导通。此时当扫描信号沿第 n 条扫描线 S_n 传输时,扫描信号通过第 n 像素单元 304 内的第一放电控制开关 3041 传输至上一个的第 $n-1$ 像素单元 304 的副像素电极 3047 以对第 $n-1$ 像素单元 304 的副像素电极 3047 进行放电。在扫描信号沿下一列第 $n+1$ 条扫描线 S_{n+1} 传输时,第 n 像素单元 304 的副像素电极 3047 通过导通的第 $n+1$ 像素单元 304 的第一放电控制开关 3041 进行放电。因为在正向扫描时所述第二驱动线 P2 上未施加信号,所以每个像素单元 304 内的第二放电控制开关 3042 均未被导通,从而不会对与第二放电控制开关 3042 连接的副像素电极 3047 进行放电。

[0034] 以上所揭露的仅为本发明一种较佳实施例而已,当然不能以此来限定本发明之权利范围,因此依本发明权利要求所作的等同变化,仍属本发明所涵盖的范围。

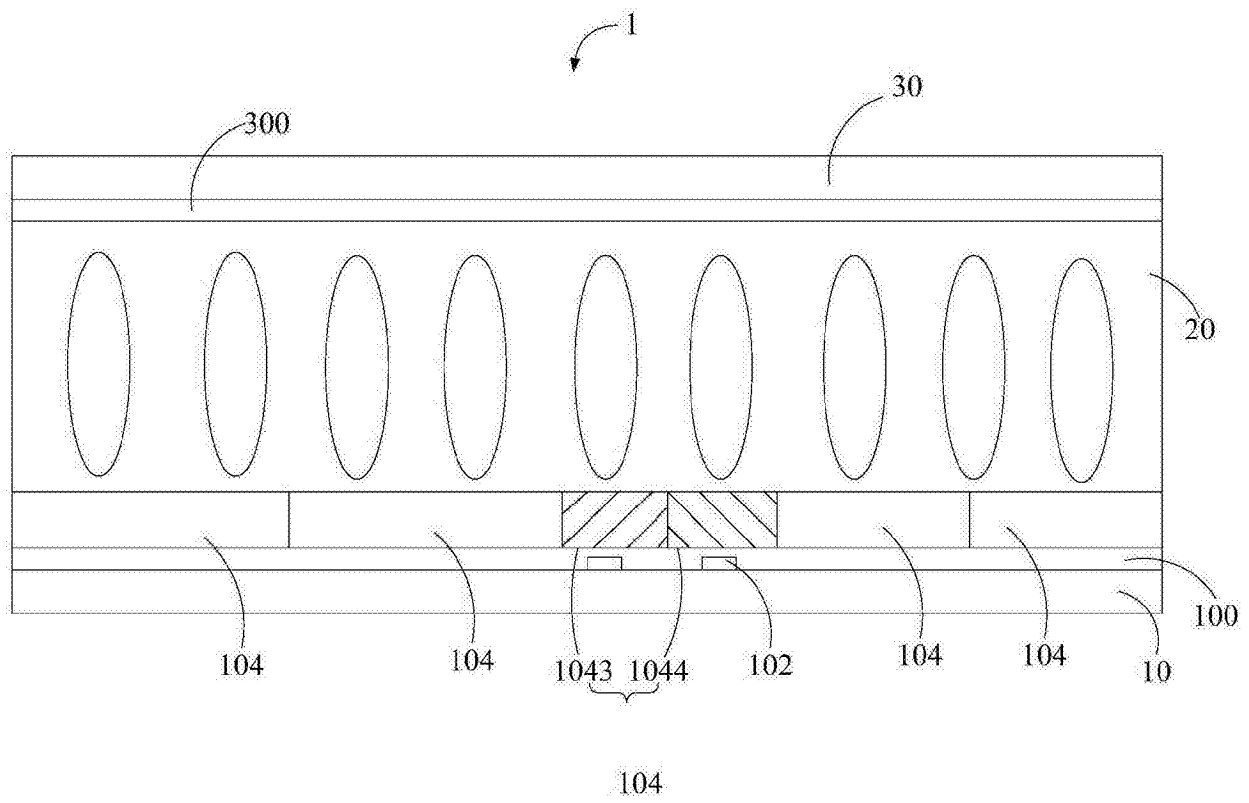


图 1

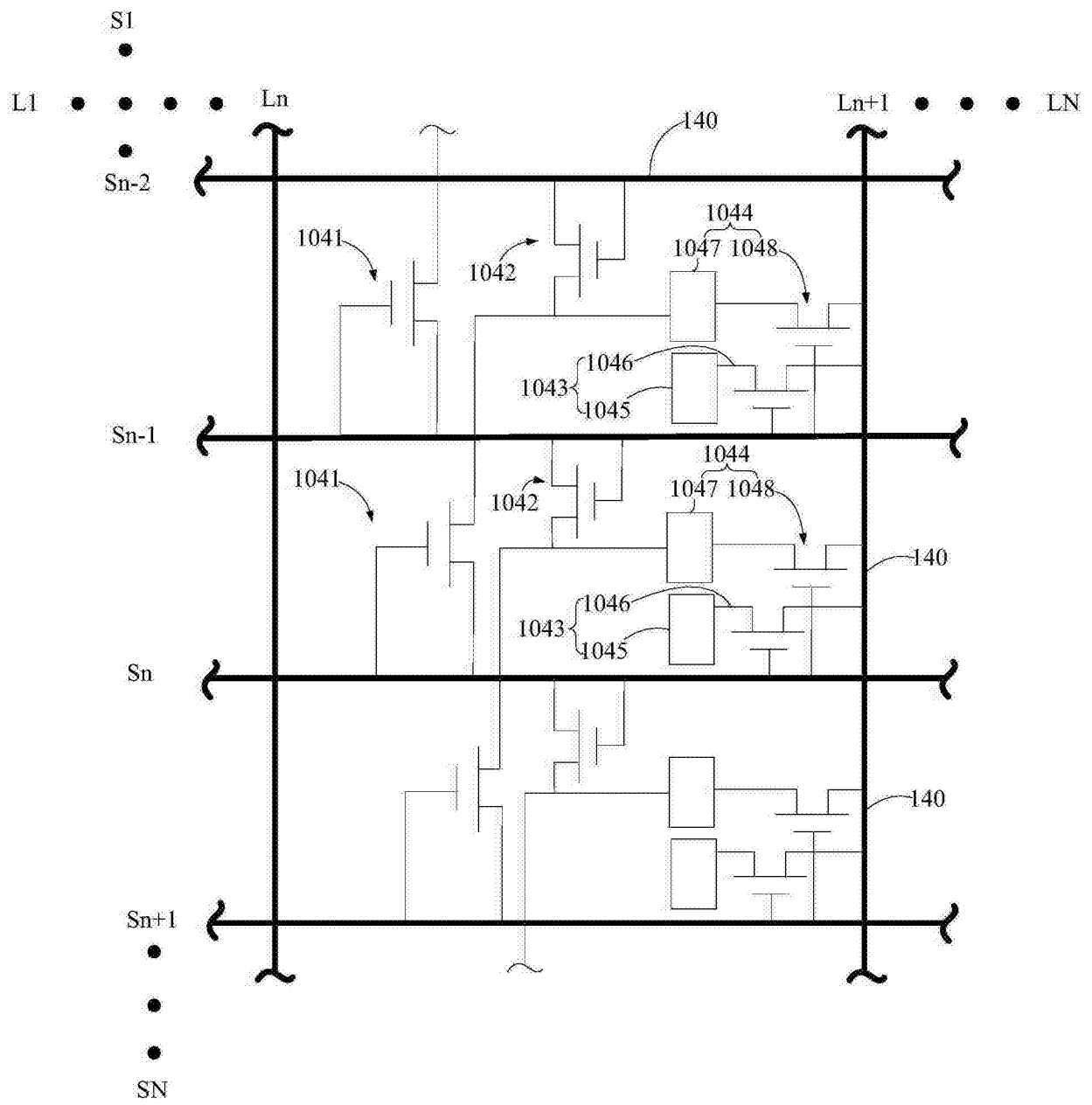


图 2

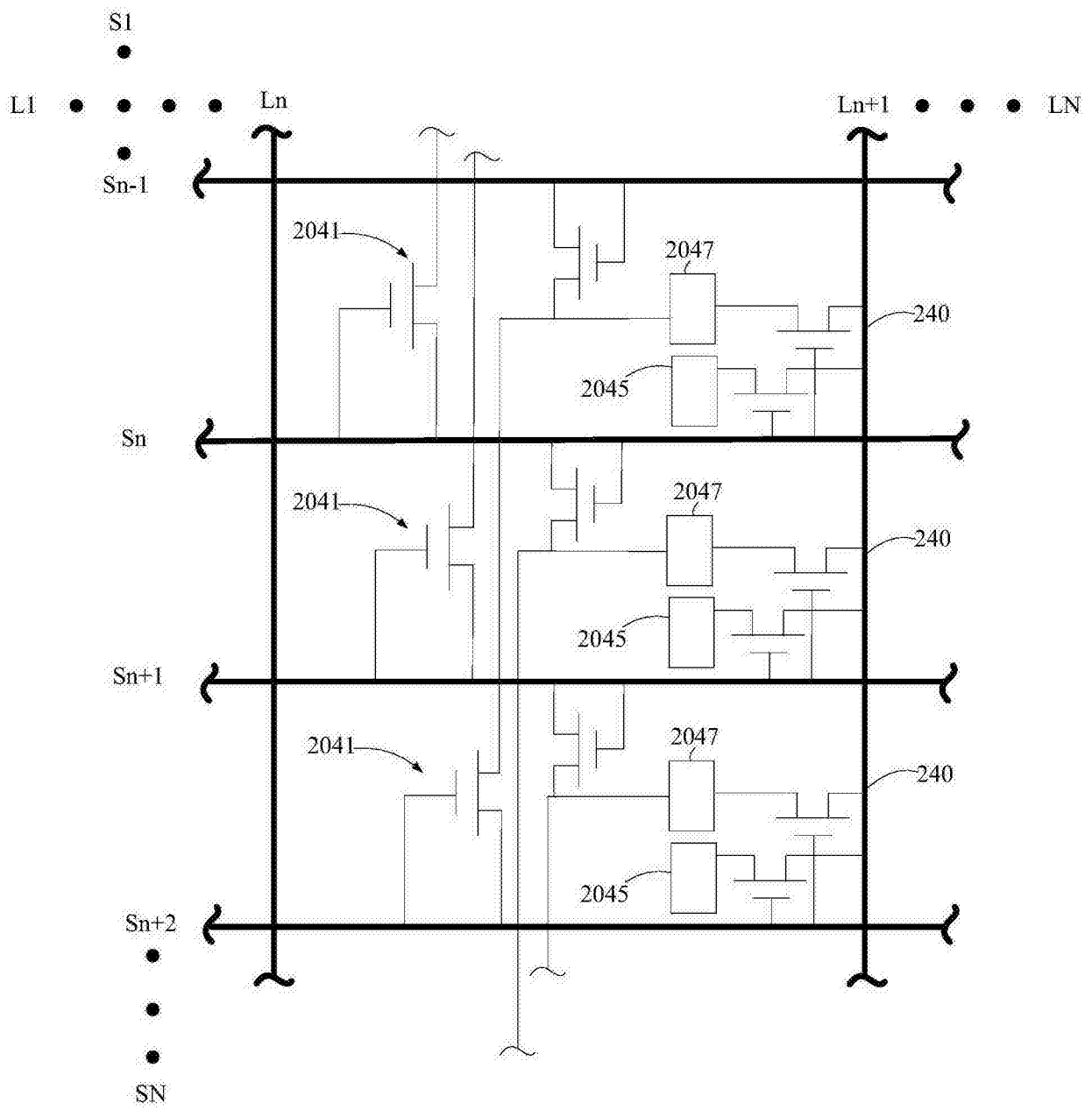


图 3

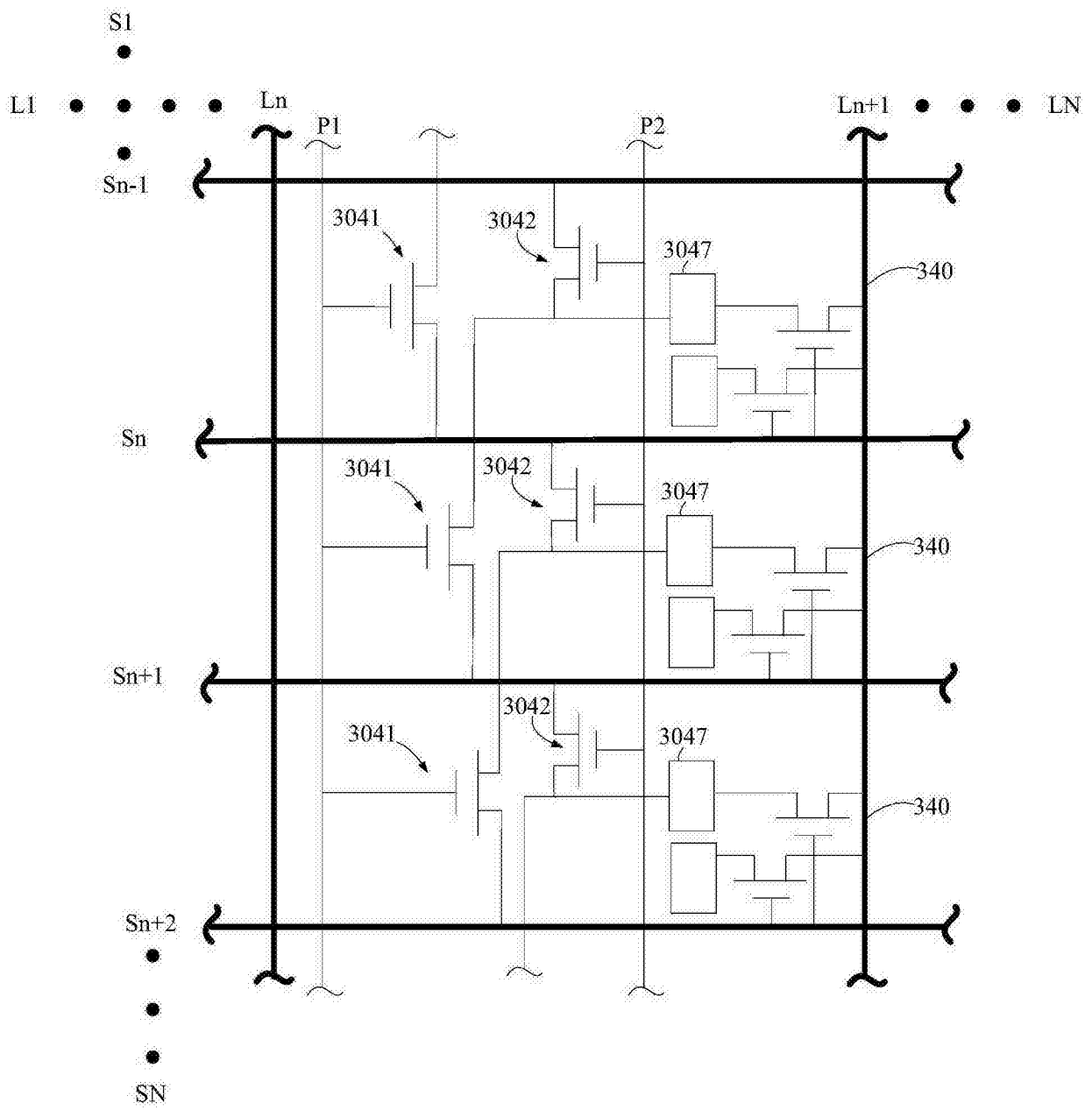


图 4

专利名称(译)	液晶面板及其像素结构		
公开(公告)号	CN103777423B	公开(公告)日	2016-02-24
申请号	CN201410036809.X	申请日	2014-01-24
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	黄世帅 张天豪		
发明人	黄世帅 张天豪		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/133		
CPC分类号	G09G3/3677 G02F1/13306 G02F1/133345 G02F1/133514 G02F1/134336 G02F1/13624 G02F1/136286 G02F1/1368 G02F2001/134345 G02F2201/121 G02F2201/123 G09G3/3688 G09G2300/0426 G09G2300/0814 G09G2310/0251 G09G2320/0242		
代理人(译)	刘敏		
其他公开文献	CN103777423A		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例公开了一种像素结构，其包括矩阵排列的多个像素单元。所述像素单元由相交的多条扫描线及数据线所定义。每一像素单元包括第一放电控制开关、第二放电控制开关以及相邻设置的主像素区及副像素区。所述主像素区包括主像素电极及主充电控制开关。所述副像素区包括副像素电极及副充电控制开关。所述主像素电极通过该主充电控制开关接收显示信号。所述副像素电极通过该副充电控制开关接收显示信号。所述第一放电控制开关连接传输本像素单元扫描信号的扫描线与位于上方像素单元的副像素电极。所述第二放电控制开关连接传输上一个像素单元扫描信号的扫描线与本像素单元的副像素电极。本发明实施例还公开了一种包括上述像素结构的液晶显示面板。

