



(12) 发明专利申请

(10) 申请公布号 CN 103529611 A

(43) 申请公布日 2014. 01. 22

(21) 申请号 201310440073. 8

(22) 申请日 2013. 09. 24

(71) 申请人 深圳市华星光电技术有限公司

地址 518000 广东省深圳市光明新区公明办
事处塘家社区观光路汇业科技园综合
楼 1 第一层 B 区

(72) 发明人 陈政鸿 廖作敏

(74) 专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 何青瓦

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

G02F 1/133(2006. 01)

H01L 27/12(2006. 01)

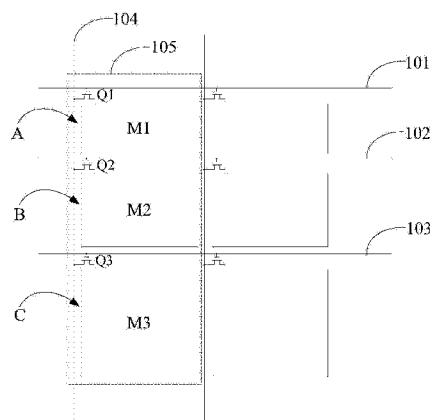
权利要求书2页 说明书4页 附图1页

(54) 发明名称

一种阵列基板及液晶显示面板

(57) 摘要

本发明公开了一种阵列基板及液晶显示面板,所述阵列基板中,每个像素单元包括第一像素区、第二像素区以及第三像素区,对第一像素区施加的电压 V_a 、对第二像素区施加的电压 V_b 以及对第三像素区施加的电压 V_c 具有如下关系: $V_a > V_b > V_c$,其中,所述第一像素区、第二像素区以及第三像素区在像素单元区域中所占的面积的比例范围分别为 5%–25%、20%–45% 和 35%–75%。通过上述方式,本发明能够减小大视角下的颜色差异,提高显示质量。



1. 一种阵列基板,其特征在于,包括多个像素单元,每个所述像素单元包括第一像素区、第二像素区以及第三像素区;

对所述第一像素区、第二像素区以及第三像素区所施加的电压分别为 V_a 、 V_b 以及 V_c ,所述 V_a 、 V_b 以及 V_c 具有如下关系: $V_a > V_b > V_c$,其中,所述第一像素区、第二像素区以及第三像素区在所述像素单元区域中所占的面积的比例范围分别为 5%-25%、20%-45% 以及 35%-75%。

2. 根据权利要求 1 所述的阵列基板,其特征在于,

所述第一像素区在所述像素单元区域中所占的面积的比例范围为 7%-15%,所述第二像素区在所述像素单元区域中所占的面积的比例范围为 23%-30%,所述第三像素区在所述像素单元区域中所占的面积的比例范围为 60%-70%。

3. 根据权利要求 1 所述的阵列基板,其特征在于,

所述第一像素区在所述像素单元区域中所占的面积的比例范围为 17%-22%,所述第二像素区在所述像素单元区域中所占的面积的比例范围为 33%-40%,所述第三像素区在所述像素单元区域中所占的面积的比例范围为 40%-50%。

4. 根据权利要求 1 所述的阵列基板,其特征在于,

所述第一像素区在所述像素单元区域中所占的面积的比例范围为 10%-20%,所述第二像素区在所述像素单元区域中所占的面积的比例范围为 25%-40%,所述第三像素区在所述像素单元区域中所占的面积的比例范围为 45%-65%。

5. 根据权利要求 1 所述的阵列基板,其特征在于,

每个所述像素单元为 R 像素单元、G 像素单元或 B 像素单元中的一种。

6. 根据权利要求 1 所述的阵列基板,其特征在于,

所述阵列基板还包括多条第一扫描线、多条第二扫描线、多条第三扫描线以及多条数据线,每个所述像素单元对应一条第一扫描线、一条第二扫描线、一条第三扫描线以及一条数据线,所述第一像素区包括第一像素电极和第一开关,所述第二像素区包括第二像素电极和第二开关,所述第三像素区包括第三像素电极和第三开关,所述第一像素电极通过第一开关与对应本像素单元的所述第一扫描线和数据线连接,所述第二像素电极通过第二开关与对应本像素单元的所述第二扫描线和数据线连接,所述第三像素电极通过第三开关与对应本像素单元的所述第三扫描线和数据线连接,在所述第一扫描线输入扫描信号以控制第一开关导通时,所述数据线通过所述第一开关对所述第一像素电极输入 V_a 电压,在所述第二扫描线输入扫描信号以控制第二开关导通时,所述数据线通过所述第二开关对所述第二像素电极输入 V_b 电压,在所述第三扫描线输入扫描信号以控制第三开关导通时,所述数据线通过所述第三开关对所述第三像素电极输入 V_c 电压。

7. 根据权利要求 5 所述的阵列基板,其特征在于,

所述多条第一扫描线、多条第二扫描线以及多条第三扫描线分行排列,所述数据线分行排列,所述第一像素电极、第二像素电极以及第三像素电极沿列方向排列。

8. 根据权利要求 5 所述的阵列基板,其特征在于,

所述第一开关为第一薄膜晶体管,所述第一像素电极通过所述第一薄膜晶体管与对应本像素单元的所述第一扫描线和数据线连接,所述第二开关为第二薄膜晶体管,所述第二像素电极通过所述第二薄膜晶体管与对应本像素单元的所述第二扫描线和数据线连接,所

述第三开关为第三薄膜晶体管,所述第三像素电极通过所述第三薄膜晶体管与对应本像素单元的所述第三扫描线和数据线连接。

9. 一种液晶显示面板,其特征在于,包括阵列基板、彩色滤光基板以及位于所述阵列基板和彩色滤光基板之间的液晶层;

所述阵列基板包括多个像素单元,每个所述像素单元包括第一像素区、第二像素区以及第三像素区;

对所述第一像素区、第二像素区以及第三像素区所施加的电压分别为 V_a 、 V_b 以及 V_c , 所述 V_a 、 V_b 以及 V_c 具有如下关系: $V_a > V_b > V_c$, 其中, 所述第一像素区、第二像素区以及第三像素区在所述像素单元区域中所占的面积的比例范围分别为 5%-25%、20%-45% 以及 35%-75%。

10. 根据权利要求 8 所述的液晶显示面板, 其特征在于,

所述第一像素区在所述像素单元区域中所占的面积的比例范围为 7%-15%, 所述第二像素区在所述像素单元区域中所占的面积的比例范围为 23%-30%, 所述第三像素区在所述像素单元区域中所占的面积的比例范围为 60%-70%。

11. 根据权利要求 8 所述的液晶显示面板, 其特征在于,

所述第一像素区在所述像素单元区域中所占的面积的比例范围为 17%-22%, 所述第二像素区在所述像素单元区域中所占的面积的比例范围为 33%-40%, 所述第三像素区在所述像素单元区域中所占的面积的比例范围为 40%-50%。

12. 根据权利要求 8 所述的液晶显示面板, 其特征在于,

所述第一像素区在所述像素单元区域中所占的面积的比例范围为 10%-20%, 所述第二像素区在所述像素单元区域中所占的面积的比例范围为 25%-40%, 所述第三像素区在所述像素单元区域中所占的面积的比例范围为 45%-65%。

一种阵列基板及液晶显示面板

技术领域

[0001] 本发明涉及液晶显示技术领域,特别是涉及一种阵列基板及液晶显示面板。

背景技术

[0002] 相较于传统的 CRT 显示器,液晶显示器具有轻巧超薄、低功耗、画面逼真无闪烁等诸多优点,已逐渐成为显示市场的主流发展方向。液晶显示器主要是利用液晶的光电效应,通过对液晶施加电压以控制液晶分子的偏转,使背光源发出的光线穿过液晶层或不穿过液晶层来实现有选择性的明暗效果,进而产生不同的颜色和图案,达到显示图像的目的。

[0003] 然而,液晶显示器却存在色偏问题。由于液晶显示器是利用液晶实现显示,在不同的视角下,液晶分子的有效折射率也不相同,由此会引起透射光强的变化,具体表现为斜视角下透光能力降低,斜视角方向和正视角方向所表现的颜色不一致,即在正视角下观察到正常的图像但在大视角下却显示不正常,存在色偏。

发明内容

[0004] 本发明主要解决的技术问题是提供一种阵列基板及液晶显示面板,能够有效减小大视角下的颜色差异,提高显示质量。

[0005] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种阵列基板,包括多个像素单元,每个像素单元包括第一像素区、第二像素区以及第三像素区;对第一像素区、第二像素区以及第三像素区所施加的电压分别为 V_a 、 V_b 以及 V_c , V_a 、 V_b 以及 V_c 具有如下关系: $V_a > V_b > V_c$,其中,第一像素区、第二像素区以及第三像素区在像素单元区域中所占的面积的比例范围分别为 5%-25%、20%-45% 以及 35%-75%。

[0006] 其中,第一像素区在像素单元区域中所占的面积的比例范围为 7%-15%,第二像素区在像素单元区域中所占的面积的比例范围为 23%-30%,第三像素区在像素单元区域中所占的面积的比例范围为 60%-70%。

[0007] 其中,第一像素区在像素单元区域中所占的面积的比例范围为 17%-22%,第二像素区在像素单元区域中所占的面积的比例范围为 33%-40%,第三像素区在像素单元区域中所占的面积的比例范围为 40%-50%。

[0008] 其中,第一像素区在像素单元区域中所占的面积的比例范围为 10%-20%,第二像素区在像素单元区域中所占的面积的比例范围为 25%-40%,第三像素区在像素单元区域中所占的面积的比例范围为 45%-65%。

[0009] 其中,每个像素单元为 R 像素单元、G 像素单元或 B 像素单元中的一种。

[0010] 其中,阵列基板还包括多条第一扫描线、多条第二扫描线、多条第三扫描线以及多条数据线,每个像素单元对应一条第一扫描线、一条第二扫描线、一条第三扫描线以及一条数据线,第一像素区包括第一像素电极和第一开关,第二像素区包括第二像素电极和第二开关,第三像素区包括第三像素电极和第三开关,第一像素电极通过第一开关与对应本像素单元的第一扫描线和数据线连接,第二像素电极通过第二开关与对应本像素单元的第二

扫描线和数据线连接,第三像素电极通过第三开关与对应本像素单元的第三扫描线和数据线连接,在第一扫描线输入扫描信号以控制第一开关导通时,数据线通过第一开关对第一像素电极输入 V_a 电压,在第二扫描线输入扫描信号以控制第二开关导通时,数据线通过第二开关对第二像素电极输入 V_b 电压,在第三扫描线输入扫描信号以控制第三开关导通时,数据线通过第三开关对第三像素电极输入 V_c 电压。

[0011] 其中,多条第一扫描线、多条第二扫描线以及多条第三扫描线分行排列,数据线分列排列,第一像素电极、第二像素电极以及第三像素电极沿列方向排列。

[0012] 其中,第一开关为第一薄膜晶体管,第一像素电极通过第一薄膜晶体管与对应本像素单元的第一扫描线和数据线连接,第二开关为第二薄膜晶体管,第二像素电极通过第二薄膜晶体管与对应本像素单元的第二扫描线和数据线连接,第三开关为第三薄膜晶体管,第三像素电极通过第三薄膜晶体管与对应本像素单元的第三扫描线和数据线连接。

[0013] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种液晶显示面板,包括阵列基板、彩色滤光基板以及位于阵列基板和彩色滤光基板之间的液晶层;阵列基板包括多个像素单元,每个像素单元包括第一像素区、第二像素区以及第三像素区;对第一像素区、第二像素区以及第三像素区所施加的电压分别为 V_a 、 V_b 以及 V_c , V_a 、 V_b 以及 V_c 具有如下关系: $V_a > V_b > V_c$,其中,第一像素区、第二像素区以及第三像素区在像素单元区域中所占的面积的比例范围分别为 5%-25%、20%-45% 以及 35%-75%。

[0014] 其中,第一像素区在像素单元区域中所占的面积的比例范围为 7%-15%,第二像素区在像素单元区域中所占的面积的比例范围为 23%-30%,第三像素区在像素单元区域中所占的面积的比例范围为 60%-70%。

[0015] 其中,第一像素区在像素单元区域中所占的面积的比例范围为 17%-22%,第二像素区在像素单元区域中所占的面积的比例范围为 33%-40%,第三像素区在像素单元区域中所占的面积的比例范围为 40%-50%。

[0016] 其中,第一像素区在像素单元区域中所占的面积的比例范围为 10%-20%,第二像素区在像素单元区域中所占的面积的比例范围为 25%-40%,第三像素区在像素单元区域中所占的面积的比例范围为 45%-65%。

[0017] 本发明的有益效果是:区别于现有技术的情况,本发明的阵列基板中,每个像素单元包括第一像素区、第二像素区以及第三像素区,对第一像素区施加的电压 V_a 、对第二像素区施加的电压 V_b 以及对第三像素区施加的电压 V_c 具有如下关系: $V_a > V_b > V_c$,其中,第一像素区、第二像素区以及第三像素区在像素单元区域中所占的面积的比例范围分别为 5%-25%、20%-45% 和 35%-75%,由此能够使得在大视角和正视角下所观察到的差异减小,达到大视角下的低色偏效果。

附图说明

[0018] 图 1 是本发明阵列基板一实施方式的结构示意图;

[0019] 图 2 是本发明液晶显示面板一实施方式的结构示意图。

具体实施方式

[0020] 下面将结合附图和实施方式对本发明进行详细说明。

[0021] 参阅图 1, 本发明阵列基板的一实施方式中, 阵列基板包括多条第一扫描线 101、多条第二扫描线 102、多条第三扫描线 103、多条数据线 104 以及多个像素单元 105, 每个像素单元 105 对应一条第一扫描线 101、一条第二扫描线 102、一条第三扫描线 103 以及数据线 104。每个像素单元 105 对应为 R 像素单元、G 像素单元或 B 像素单元中的一种。

[0022] 每个像素单元 105 包括第一像素区 A、第二像素区 B 以及第三像素区 C。其中, 第一像素区 A 包括第一开关 Q1 和第一像素电极 M1, 第二像素区 B 包括第二开关 Q2 和第二像素电极 M2, 第三像素区 C 包括第三开关 Q3 和第三像素电极 M3。第一开关 Q1、第二开关 Q2 以及第三开关 Q3 均包括控制端、输入端以及输出端。第一开关 Q1 的控制端与对应本像素单元 105 的第一扫描线 101 电性连接, 第一开关 Q1 的输入端与对应本像素单元 105 的数据线 104 电性连接, 第一开关 Q1 的输出端与对应本像素单元 105 的第一像素电极 M1 电性连接。第二开关 Q2 的控制端与对应本像素单元 105 的第二扫描线 102 电性连接, 第二开关 Q2 的输入端与对应本像素单元 105 的数据线 104 电性连接, 第二开关 Q2 的输出端与对应本像素单元 105 的第二像素电极 M2 电性连接。第三开关 Q3 的控制端与对应本像素单元 105 的第三扫描线 103 电性连接, 第三开关 Q3 的输入端与对应本像素单元 105 的数据线 104 电性连接, 第三开关 Q3 的输出端与对应本像素单元 105 的第三像素电极 M3 电性连接。本实施方式中, 第一开关 Q1、第二开关 Q2 以及第三开关 Q3 均为薄膜晶体管, 分别是第一薄膜晶体管、第二薄膜晶体管以及第三薄膜晶体管, 其中, 开关的控制端对应为薄膜晶体管的栅极, 开关的输入端对应为薄膜晶体管的源极, 开关的输出端对应为薄膜晶体管的漏极。在其他实施方式中, 三个开关也可以是三极管、达林顿管等, 在此不做限定。

[0023] 第一扫描线 101、第二扫描线 102 以及第三扫描线 103 分行排列, 数据线 104 分列排列, 第一像素区 A、第二像素区 B 以及第三像素区 C 沿列方向依次排列, 也即三个像素电极 M1、M2 以及 M3 沿列方向依次排列。在其他实施方式中, 第一扫描线、第二扫描线以及第三扫描线也可以分列排列, 数据线也可以分行排列, 此处不做限定。当然, 三个像素区也可以沿列方向任意排列, 例如第一像素区位于第二像素区和第三像素区之间, 或者第三像素区位于第一像素区和第二像素区之间, 对此不做具体限制。

[0024] 对扫描第一扫描线 101、第二扫描线 102 以及第三扫描线 103 依次输入扫描信号, 在第一扫描线 101 输入扫描信号以控制第一开关 Q1 导通时, 数据线 104 通过第一开关 Q1 对第一像素电极 M1 输入 V_a 电压, 从而使得第一像素区 A 的电压为 V_a ; 在第二扫描线 102 输入扫描信号以控制第二开关 Q2 导通时, 数据线 104 通过第二开关 Q2 对第二像素电极 M2 输入 V_b 电压, 从而使得第二像素区 B 的电压为 V_b ; 在第三扫描线 103 输入扫描信号以控制第三开关 Q3 导通时, 数据线 104 通过第三开关 Q3 对第三像素电极 M3 输入 V_c 电压, 从而使得第三像素区 C 的电压为 V_c 。其中, 第一像素电极 M1、第二像素电极 M2 以及第三像素电极 M3 所输入的电压各不相同, 电压 V_a 、 V_b 以及 V_c 具有如下关系: $V_a > V_b > V_c$, 也即三个像素区 A、B 和 C 之间的电压的关系为: $V_a > V_b > V_c$ 。根据第一像素区 A、第二像素区 B 以及第三像素区 C 之间的电压关系, 控制第一像素区 A、第二像素区 B 以及第三像素区 C 在像素单元 105 区域中所占的面积比例, 以获得更好的低色偏效果。其中, 在通过大量实验模拟和仿真之后, 经过总结归纳得出: 在一个像素单元 105 中, 第一像素区 A 在像素单元 105 区域中所占的面积的比例范围为 5%-25%, 第二像素区 B 在像素单元 105 区域中所占的面积的比例范围为 20%-45%, 第三像素区 C 在像素单元 105 区域中所占的面积的比例范围为 35%-75%, 三个

像素区 A、B、C 所占的面积总和即为像素单元 105 的面积。

[0025] 进一步地,第一像素区 A 在像素单元 105 中所占的面积的比例范围可以为 7%-15%,第二像素区 B 在像素单元 105 中所占的面积的比例范围可以为 23%-30%,第三像素区 C 在像素单元 105 中所占的面积的比例范围可以为 60%-70%,且三个像素区 A、B、C 所占的面积总和即为像素单元 105 的面积。例如,本实施方式中,第一像素区 A 在像素单元 105 区域中所占的面积的比例为 9%,第二像素区 B 在像素单元 105 区域中所占的面积的比例为 26%,第三像素区 C 在像素单元 105 区域中所占的面积的比例为 65%。当然,在其他实施方式中,第一像素区、第二像素区以及第三像素区在像素单元区域中分别所占的面积的比例还可以是 12%、28%、60%,或者也可以是 15%、23%、62% 等,此处不进行限定,满足上述条件的均可。

[0026] 本实施方式中,将一个像素单元 105 分为三个像素区 A、B 和 C,对三个像素区 A、B 和 C 分别施加不同的电压,第一像素区 A 所施加的电压为 V_a ,第二像素区 B 所施加的电压为 V_b ,第三像素区 C 所施加的电压为 V_c ,使 $V_a > V_b > V_c$,在此基础上,通过大量的实验模拟后归纳总结得出:使第一像素区 A、第二像素区 B 和第三像素区 C 在像素单元 105 中所占的面积的比例范围分别为 5%-25%、20%-45% 和 35%-75%,由此能够更好地减小大视角大视角下的颜色差异,以获得更好的低色偏效果,提高显示品质。

[0027] 在备选实施方式中,在满足本发明三个像素区在像素单元中所占的面积的比例范围分别为 5%-25%、20%-45% 和 35%-75% 的条件下,进一步地,第一像素区在像素单元区域中所占的面积的比例范围还可以为 17%-22%,第二像素区在像素单元中所占的面积的比例范围还可以为 33%-40%,第三像素区在像素单元区域中所占的面积的比例范围还可以为 40%-50%。当然,在其他实施方式中,第一像素区、第二像素区以及第三像素区在像素单元区域中所占的面积的比例范围还可以是其他范围,例如可以分别是 9%-16%、28%-38%、48%-55%,例如还可以分别是 10%-20%、25%-40%、45%-65%。

[0028] 此外,阵列基板也可以使用三条数据线分别对三个像素区施加相应的电压,例如,每个像素单元对应第一数据线、第二数据线、第三数据线以及一条扫描线,第一像素区中的第一像素电极通过第一开关与第一数据线和扫描线连接,第二像素区中的第二像素电极通过第二开关与第二数据线和扫描线连接,第三像素区中的第三像素区电极通过第三开关与第三数据线和扫描线连接。在扫描线输入扫描信号时,第一数据线对第一像素电极输入 V_a 电压,第二数据线对第二像素电极输入 V_b 电压,第三数据线对第三像素电极输入 V_c 电压,电压 V_a 、 V_b 以及 V_c 具有如下关系: $V_a > V_b > V_c$ 。通过此种方式,同样能够对三个像素区分别施加不同的电压。其中,三个像素区在像素单元中所占的面积的比例范围分别为 5%-25%、20%-45% 和 35%-75%,由此能够有效减小大视角下的颜色差异,提高显示品质。

[0029] 参阅图 2,本发明液晶显示面板的一实施方式中,液晶显示面板包括阵列基板 201、彩色滤光基板 202 以及位于阵列基板 201、彩色滤光基板 202 之间的液晶层 203。其中,阵列基板 201 为上述任一实施方式中的阵列基板。

[0030] 以上所述仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

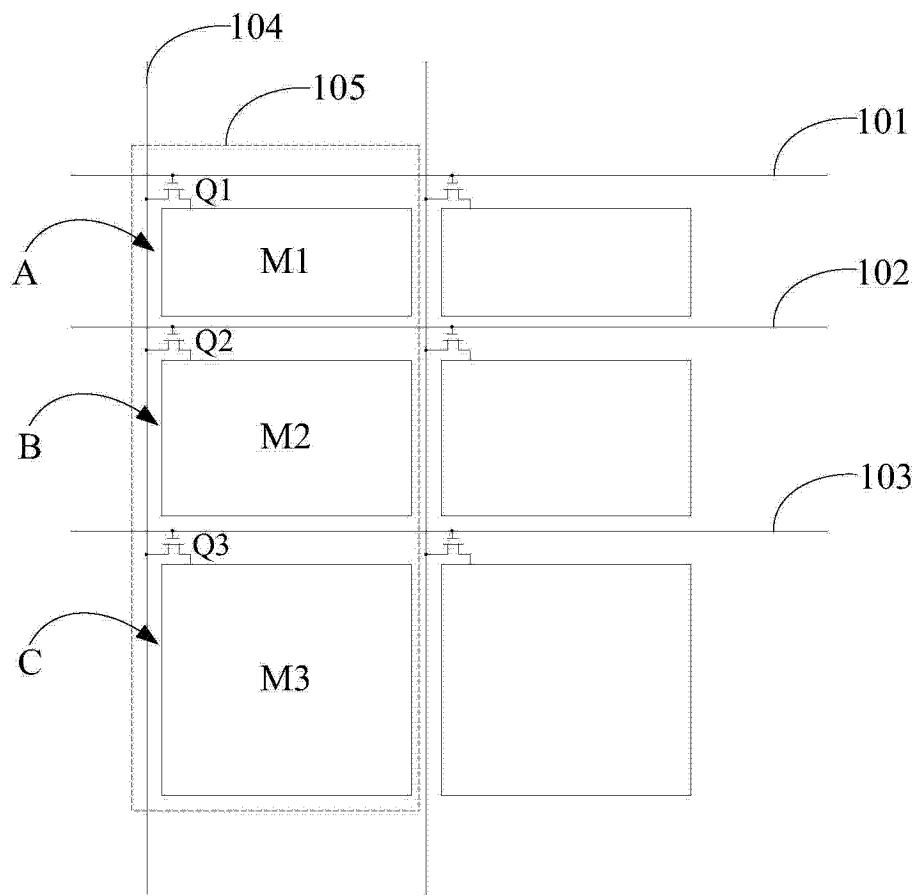


图 1

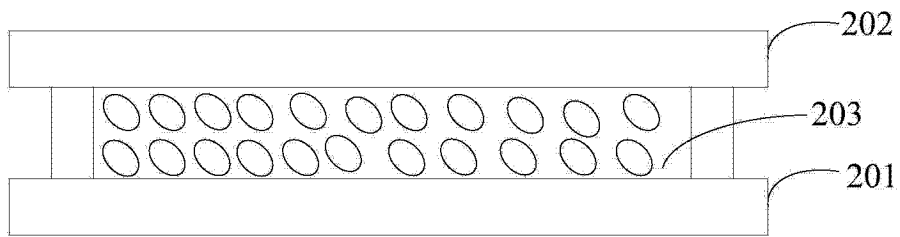


图 2

专利名称(译)	一种阵列基板及液晶显示面板		
公开(公告)号	CN103529611A	公开(公告)日	2014-01-22
申请号	CN201310440073.8	申请日	2013-09-24
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	陈政鸿 廖作敏		
发明人	陈政鸿 廖作敏		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/133 H01L27/12		
CPC分类号	G02F1/134336 G02F2201/123 G02F1/1362 G09G2300/0439 G09G3/2003 G09G3/36 G09G2300/0452 G09G2300/0495 G09G2320/0242		
其他公开文献	CN103529611B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板及液晶显示面板，所述阵列基板中，每个像素单元包括第一像素区、第二像素区以及第三像素区，对第一像素区施加的电压 V_a 、对第二像素区施加的电压 V_b 以及对第三像素区施加的电压 V_c 具有如下关系： $V_a > V_b > V_c$ ，其中，所述第一像素区、第二像素区以及第三像素区在像素单元区域中所占的面积的比例范围分别为5%-25%、20%-45%和35%-75%。通过上述方式，本发明能够减小大视角下的颜色差异，提高显示质量。

