



(12) 发明专利申请

(10) 申请公布号 CN 103488013 A

(43) 申请公布日 2014. 01. 01

(21) 申请号 201210193317. 2

(22) 申请日 2012. 06. 12

(71) 申请人 瀚宇彩晶股份有限公司

地址 中国台湾新北市五股区五权路 48 号 4 楼

(72) 发明人 游家华 林松君 刘轩辰

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 梁挥 常大军

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

H01L 27/02 (2006. 01)

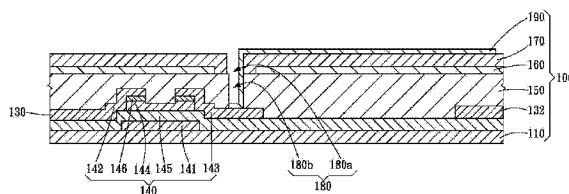
权利要求书2页 说明书10页 附图14页

(54) 发明名称

液晶显示面板及其像素阵列基板

(57) 摘要

一种液晶显示面板及其像素阵列基板,其中像素阵列基板包括第一基板、多条栅极线、多条数据线、多个薄膜晶体管、第一绝缘层、透明导电层、第二绝缘层、多个接触孔及多个像素电极。栅极线、数据线和薄膜晶体管位于第一基板上,而第一绝缘层覆盖在其上。透明导电层位在第一绝缘层上且具有一共通电压电位。第二绝缘层位在透明导电层和像素电极的间,并隔离透明导电层和像素电极。像素电极经由对应的接触孔电性耦接对应的薄膜晶体管的第三端。



1. 一种像素阵列基板,其特征在于,包括:

一第一基板;

多条栅极线,位于该第一基板上;

多条数据线,位于该第一基板上,与这些栅极线交错,其中这些数据线与该些栅极线之间定义有多个像素区域;

多个薄膜晶体管,分别对应该些像素区域,每一该薄膜晶体管具有一第一端、一第二端和一第三端、该第一端耦接该些栅极线其中之一,以及该第二端耦接该些数据线其中之一;

一第一绝缘层,覆盖在这些数据线、这些栅极线、这些像素区域和这些薄膜晶体管上;

一透明导电层,覆盖在该第一绝缘层上,以提供一共通电压电位;

一第二绝缘层;

多个接触孔,分别对应该些薄膜晶体管,贯穿该第二绝缘层、该透明导电层和该第一绝缘层,各该接触孔的一端耦接对应的该薄膜晶体管的该第三端;以及

多个像素电极,分别对应该些像素区域设置在该第二绝缘层上,各该像素电极经由对应的该接触孔电性耦接对应的该薄膜晶体管的该第三端,其中该第二绝缘层位在该透明导电层和这些像素电极之间并隔离该透明导电层和这些像素电极。

2. 根据权利要求1所述的像素阵列基板,其特征在于,该透明导电层位在该第一绝缘层和该第二绝缘层之间。

3. 根据权利要求1所述的像素阵列基板,其特征在于,该透明导电层为仅具有这些接触孔的一层透明导电材料。

4. 根据权利要求1所述的像素阵列基板,其特征在于,还包括:至少一开口,位在该第一绝缘层和该第二绝缘层之间并贯穿该透明导电层。

5. 根据权利要求4所述的像素阵列基板,其特征在于,各该像素区域设置有这些开口中的至少一者。

6. 根据权利要求5所述的像素阵列基板,其特征在于,这些开口中的至少一者分别位在那些薄膜晶体管的上方。

7. 根据权利要求5所述的像素阵列基板,其特征在于,这些开口中的多个分别位在那些栅极线的上方。

8. 根据权利要求5所述的像素阵列基板,其特征在于,位在各该像素区域上的该至少一开口是呈现S形图案、E形图案、锯齿形图案、梳子形图案或多条纹图案。

9. 根据权利要求4所述的像素阵列基板,其特征在于,该透明导电层与每一该像素电极的重叠区域不大于重叠的该像素电极的三分之二。

10. 根据权利要求4所述的像素阵列基板,其特征在于,这些开口中的多个分别位在那些薄膜晶体管的上方。

11. 根据权利要求4所述的像素阵列基板,其特征在于,这些开口中的多个分别位在那些栅极线的上方。

12. 根据权利要求1所述的像素阵列基板,其特征在于,该透明导电层包括多个材料区块,这些材料区块彼此间隔,且各该材料区块延伸覆盖这些像素区域中的至少二相邻像素区域。

13. 根据权利要求 12 所述的像素阵列基板,其特征在于,该透明导电层还包括多个电性连接件,各电性连接件电性连接该些材料区块中的二者。

14. 根据权利要求 12 所述的像素阵列基板,其特征在于,各该材料区块延伸覆盖该些像素区域中的位在同一直线上的所有像素区域。

15. 根据权利要求 1 所述的像素阵列基板,其特征在于,各该接触孔包括一第一贯孔和一第二贯孔、该第一贯孔贯穿该透明导电层、该第二贯孔贯穿该第一绝缘层,且该第二绝缘层覆盖该第一贯孔中的该透明导电层的侧壁。

16. 根据权利要求 15 所述的像素阵列基板,其特征在于,该透明导电层全面覆盖在该些数据线、该些栅极线及该第一贯孔以外的该些像素区域和该些薄膜晶体管上。

17. 一种液晶显示面板,其特征在于,包括:

一如根据权利要求 1 至 16 中任意一项所述的像素阵列基板;

一彩色滤光基板,相对该像素阵列基板设置且与该像素阵列基板间隔开,该彩色滤光基板包括;

一第二基板;

一共同电极层,位在該些像素电极与该第二基板之间,且与該些像素电极间隔开;以及

一彩色滤光层,位在該第二基板和該共同电极层之间;以及

一液晶层,位在該像素阵列基板与該彩色滤光基板之间。

液晶显示面板及其像素阵列基板

技术领域

[0001] 本发明涉及一种液晶显示技术,特别涉及一种液晶显示面板及其像素阵列基板。

背景技术

[0002] 近年来,平面显示器的发展越来越迅速,已经逐渐取代传统的阴极射线管显示器。现今的平面显示器主要有列几种:有机发光二极管显示器(organic light-emitting diodes display;OLED)、等离子体显示器(plasma display panel;PDP)、液晶显示器(liquid crystal display;LCD)、以及场发射显示器(field emission display;FED)等。其中,液晶显示技术可依据液晶分子材料的扭转方式而区分成为两种型式。一种为扭转向列式液晶显示器(twisted nematic LCD;TN-LCD),另一种为横向电场驱动液晶显示器(in-plane switching liquid crystal display;IPS-LCD)。在TN-LCD中液晶显示面板的液晶分子会随着两个玻璃基板之间的纵向电场变化而扭转。在TN-LCD中,共用电极与像素电极是分别设置在彩色滤光基板和像素阵列基板上。相较之下,在IPS-LCD中是将共用电极与像素电极同时制作于像素阵列基板上,藉以提供一横向电场,使得液晶分子可随着此横向电场的变化而转动。

[0003] 随着高亮度及高分辨率产品的开发,高开口率(high aperture ratio;HAR)与彩色滤光层形成于阵列上(color filter on array;COA)等技术已普遍应用于LCD上。然而,在智能型手机(smart phone)的各种操作系统(operation system;OS),例如:苹果系统(Mac OS)、Android(安卓)系统、微软芒果(Window Mango)系统等,的带动下,显示器的分辨率需求越来越高。一旦使用小尺寸面板(如,5.3英寸、5英寸、4.7英寸、4.3英寸等)的可携式产品要搭配高分辨率时,在分辨率拉高的同时会迫使像素的开口率有相对程度的牺牲。因此,在液晶显示技术上仍需不断追求高开口率的设计。

发明内容

[0004] 在一些实施例中,像素阵列基板包括第一基板、多条栅极线、多条数据线、多个薄膜晶体管、一第一绝缘层、一透明导电层、一第二绝缘层、多个接触孔及多个像素电极。栅极线和数据线位于第一基板上。栅极线和数据线交错,并且在栅极线和数据线之间定义有多个像素区域。薄膜晶体管分别对应像素区域而设置。各薄膜晶体管的第一端耦接此些栅极线中之一,而各薄膜晶体管的第二端耦接此些数据线中之一。第一绝缘层覆盖在数据线、栅极线、像素区域和薄膜晶体管上。透明导电层覆盖在第一绝缘层上,并且透明导电层具有一共通电压电位。接触孔分别对应薄膜晶体管贯穿第二绝缘层、透明导电层和第一绝缘层,并且各接触孔的一端耦接对应的薄膜晶体管的第三端。像素电极分别对应像素区域设置在第二绝缘层上,并且各像素电极经由对应的接触孔电性耦接对应的薄膜晶体管的第三端。第二绝缘层位在透明导电层和像素电极之间,并且隔离透明导电层和像素电极。

[0005] 在一些实施例中,透明导电层是位在第二绝缘层和第一绝缘层之间。

[0006] 在一些实施例中,透明导电层可为仅具有接触孔的一层透明导电材料。

[0007] 在一些实施例中,像素阵列基板还可包括至少一开口。开口位在第一绝缘层和第二绝缘层之间,并且贯穿透明导电层。

[0008] 在一些实施例中,开口可对应像素区域、薄膜晶体管、栅极线或其组合而配置。

[0009] 在一些实施例中,位在各像素区域上的开口可呈现 S 形图案、类 S 形图案、E 形图案、类 E 形图案、蛇形图案、锯齿形图案、类锯齿形图案、梳子形图案、类梳子形图案或多条纹图案。

[0010] 在一些实施例中,透明导电层与每一像素电极的重叠区域不大于重叠的像素电极的三分之二。

[0011] 在一些实施例中,透明导电层可包括多个材料区块。这些材料区块彼此间隔,且各材料区块延伸覆盖至少二像素区域。

[0012] 其中,透明导电层可还包括多个电性连接件,且各个电性连接件电性连接相邻二材料区块。

[0013] 在一些实施例中,各材料区块是延伸覆盖位在同一直线上的所有像素区域。

[0014] 在一些实施例中,各接触孔可包括一第一贯孔和一第二贯孔。第一贯孔贯穿透明导电层、第二贯孔贯穿第一绝缘层,且第二绝缘层覆盖第一贯孔中透明导电层的侧壁。

[0015] 在一些实施例中,透明导电层可全面覆盖在数据线、栅极线及接触孔的第一贯孔以外的像素区域和薄膜晶体管上。

[0016] 在一些实施例中,液晶显示面板包括前述的像素阵列基板、彩色滤光基板和液晶层。彩色滤光基板对应于像素阵列基板且与像素阵列基板间隔开。液晶层位在像素阵列基板与彩色滤光基板之间。彩色滤光基板包括第二基板、共同电极层和彩色滤光层。共同电极层位在像素电极与第二基板之间,且与像素电极间隔开。彩色滤光层位在第二基板和共同电极层之间。

[0017] 综上所述,根据本发明的液晶显示面板及其像素阵列基板利用透明导电层与像素电极形成储存电容,以提升高分辨率的液晶显示面板的开口率。再者,还可通过透明导电层来避免透明导电层下方的元件(数据线、栅极线、薄膜晶体管或其组合)对像素电极所产生的电容耦合效应。

[0018] 以下结合附图和具体实施例对本发明进行详细描述,但不作为对本发明的限定。

附图说明

[0019] 图 1A 为根据本发明第一实施例的像素阵列基板的俯视图;

[0020] 图 1B 为图 1A 所示的像素阵列基板的分解示意图;

[0021] 图 1C 为图 1A 所示的像素阵列基板沿切线 I-I 的截面图;

[0022] 图 2A 为根据本发明第二实施例的像素阵列基板的分解示意图;

[0023] 图 2B 为根据本发明第三实施例的像素阵列基板的分解示意图;

[0024] 图 2C 为根据本发明第四实施例的像素阵列基板的分解示意图;

[0025] 图 2D 为根据本发明第五实施例的像素阵列基板的分解示意图;

[0026] 图 3 为根据本发明第六实施例的像素阵列基板的俯视图;

[0027] 图 4 为图 3 所示的像素阵列基板沿切线 II-II 的截面图;

[0028] 图 5 分别为根据本发明第七实施例的像素阵列基板的俯视图;

- [0029] 图 6 分别为根据本发明第八实施例的像素阵列基板的俯视图；
- [0030] 图 7 分别为根据本发明第九实施例的像素阵列基板的俯视图；
- [0031] 图 8 分别为根据本发明第十实施例的像素阵列基板的俯视图；
- [0032] 图 9 是为根据本发明第一实施例的液晶显示面板的局部截面图；
- [0033] 图 10 是为根据本发明第二实施例的液晶显示面板的局部截面图。
- [0034] 其中，附图标记
- [0035] 100 像素阵列基板
- [0036] 110 第一基板
- [0037] 120 栅极线
- [0038] 122 栅极线
- [0039] 130 数据线
- [0040] 132 数据线
- [0041] 140 薄膜晶体管
- [0042] 141 第一端
- [0043] 142 第二端
- [0044] 143 第三端
- [0045] 144 通道层
- [0046] 145 栅极绝缘层
- [0047] 146 欧姆接触层
- [0048] 150 第一绝缘层
- [0049] 160 透明导电层
- [0050] 160a 间隙
- [0051] 160b 间隙
- [0052] 160c 间隙
- [0053] 160d 间隙
- [0054] 160e 间隙
- [0055] 161 材料区块
- [0056] 162 材料区块
- [0057] 163 材料区块
- [0058] 164 材料区块
- [0059] 165 材料区块
- [0060] 166 材料区块
- [0061] 167 材料区块
- [0062] 169 电性连接件
- [0063] 170 第二绝缘层
- [0064] 180 接触孔
- [0065] 180a 第一贯孔
- [0066] 180b 第二贯孔
- [0067] 182 开口

- [0068] 183 开口
- [0069] 184 开口
- [0070] 190 像素电极
- [0071] 200 液晶层
- [0072] 210 液晶分子
- [0073] 220 分隔墙
- [0074] 230 球状支撑物
- [0075] 300 彩色滤光基板
- [0076] 310 第二基板
- [0077] 320 共同电极层
- [0078] 330 彩色滤光层
- [0079] 340 黑色矩阵层
- [0080] P 像素区域
- [0081] I-I 切线
- [0082] II-II 切线

具体实施方式

[0083] 下面结合附图对本发明的结构原理和工作原理作具体的描述：

[0084] 图 1A 为根据本发明第一实施例的像素阵列基板的俯视图。图 1B 为图 1A 所示的像素阵列基板的分解示意图。图 1C 为图 1A 所示的像素阵列基板沿切线 I-I 的截面图。为方便说明，图 1A 中所示的像素阵列基板省略绘制各个绝缘层。

[0085] 参照图 1A、图 1B 及图 1C，像素阵列基板 100 包括：第一基板 110、多条栅极线 120、122、多条数据线 130、132、多个薄膜晶体管 140、一第一绝缘层 150、一透明导电层 160、一第二绝缘层 170、多个接触孔 180 及多个像素电极 190。

[0086] 栅极线 120、122 和数据线 130、132 位在第一基板 110 上。于此，数据线 130、132 会与栅极线 120、122 交错，并且在栅极线 120、122 和数据线 130、132 之间定义有像素区域 P。换言之，由栅极线 120、栅极线 122、数据线 130 和数据线 132 围成一像素区域 P。

[0087] 薄膜晶体管 140 分别对应像素区域 P 而设置在第一基板 110 上。换言之，在每一个像素区域 P 上可设置有一个薄膜晶体管 140。每一薄膜晶体管 140 具有一第一端 141、一第二端 142 和一第三端 143。薄膜晶体管 140 的第一端 141 耦接栅极线 120，而薄膜晶体管 140 的第二端 142 耦接数据线 130。其中，第一端 141、第二端 142 和第三端 143 可分别为栅极、漏极和源极。

[0088] 第一绝缘层 150 覆盖在栅极线 120、122、数据线 130、132、薄膜晶体管 140 和像素区域 P 上，而透明导电层 160 覆盖在第一绝缘层 150 上。于此，透明导电层 160 用以提供一共通电压电位。换言之，一共通电压(common voltage)施加至透明导电层 160，以使透明导电层 160 具有共通电压电位。

[0089] 第二绝缘层 170 覆盖在透明导电层 160 上，并且像素电极 190 对应像素区域 P 而设置在第二绝缘层 170 上。换言之，第二绝缘层 170 位在透明导电层 160 和像素电极 190 之间，并且隔离透明导电层 160 和像素电极 190。

[0090] 接触孔 180 对应薄膜晶体管 140 的第三端 143 贯穿第二绝缘层 170、透明导电层 160 和第一绝缘层 150, 以暴露出薄膜晶体管 140 的第三端 143。像素电极 190 沿着接触孔 180 的内壁延伸, 并且直接接触薄膜晶体管 140 的第三端 143。换言之, 像素电极 190 经由对应的接触孔 180 而电性耦接对应的薄膜晶体管 140 的第三端 143 (如, 源极)。

[0091] 其中, 第一基板 110 可为一透明基板。第一绝缘层 150 可为透明材料或半透明材料。第二绝缘层 170 可为透明材料或半透明材料。透明材料的透光率可为 60% 至 99%。半透明材料的透光率可为 10% 至 60%。此外, 半透明材料可使用有色材料, 例如, 红色、蓝色或绿色等材料。

[0092] 在一些实施例中, 这些栅极线 130、132 横向排列在第一基板 110 上, 且这些数据线 120、122 纵向排列在第一基板 110 上。

[0093] 举例来说, 栅极线 120、122 可沿着第一方向相互平行且间隔配置在第一基板 110 上。数据线 130、132 则可沿着第二方向相互平行且间隔配置在第一基板 110 上。其中, 第一方向约略与第二方向垂直。

[0094] 薄膜晶体管 140 分别对应像素区域 P。换言之, 在每一个像素区域 P 上可设置有一个薄膜晶体管 140。每一薄膜晶体管 140 具有一第一端 141、一第二端 142 和一第三端 143。其中, 第一端 141、第二端 142 和第三端 143 可分别为栅极、源极和漏极。

[0095] 在一些实施例中, 薄膜晶体管 140 的第一端 141 与栅极线 120、122 一般可通过相同的光刻工艺所形成。一般来说, 薄膜晶体管 140 的第一端 141 与栅极线 120、122 意指第 1 金属层 (M1)。

[0096] 在一些实施例中, 薄膜晶体管 140 的第一端 141 可直接为栅极线 120 的一部分。换言之, 第 1 金属层 (M1) 可包括作为栅极线的多条金属线, 而薄膜晶体管的第一端为金属线的局部区块。

[0097] 在另一些实施例中, 薄膜晶体管 140 的第一端 141 也可为由栅极线 120 延伸出的一金属区块。换言之, 第 1 金属层 (M1) 可包括作为栅极线的多条金属线及作为薄膜晶体管的第一端的多个金属区块, 并且每一金属区块是从一条金属线所延伸出。

[0098] 在一些实施例中, 薄膜晶体管 140 的第二端 142、薄膜晶体管 140 的第三端 143 与数据线 130、132 一般可通过相同的光刻工艺所形成。一般来说, 薄膜晶体管 140 的第二端 142、薄膜晶体管 140 的第三端 143 与栅极线数据线 130、132 意指第 2 金属层 (M2)。

[0099] 在一些实施例中, 薄膜晶体管 140 的第二端 142 可直接为数据线 130 的一部分。换言之, 第 2 金属层 (M2) 可包括作为数据线 130、132 的多条金属线及作为薄膜晶体管 140 的第三端 143 的多个第一区块。此时, 薄膜晶体管的第二端为金属线的局部区块。在另一些实施例中, 薄膜晶体管 140 的第二端 142 也可为由数据线 130 延伸出的一金属区块。换言之, 第 2 金属层 (M2) 可包括作为数据线 130、132 的多条金属线、作为薄膜晶体管 140 的第三端 143 的多个第一区块以及作为薄膜晶体管 140 的第二端 142 的多个第二区块, 并且每一第二区块是从一条金属线所延伸出。

[0100] 此外, 每一薄膜晶体管 140 还具有一通道层 144。通道层 144 设置在第一端 141 和第二端 142 之间及第一端 141 和第三端 143 之间。在一些实施例中, 薄膜晶体管 140 的通道层 144 可为通过光刻工艺所形成的岛状图案层。其中, 通道层 144 的材质可为非晶硅、多晶硅、金属氧化物半导体材料或是其他合适的半导体材料, 但不限于此。

[0101] 再者,通道层 144 与第一端 141 (栅极) 之间夹设有一栅极绝缘层 145。此栅极绝缘层 145 是覆盖在第一端 141 的表面上,并间隔通道层 144 与第一端 141。再者,栅极绝缘层 145 还可覆盖设置第一端 141 的第一基板 110 的表面上。换言之,栅极绝缘层 145 可覆盖第一基板 110 与其表面上第 1 金属层(M1)所呈现的结构。其中,栅极绝缘层 145 的材质可为无机材料,例如:氧化硅(SiO_x)、氮化硅(SiN_x)、氮氧化硅、其它合适的介电材料、或其组合等,但不限于此。

[0102] 在通道层 144 与第二端 142 之间以及在通道层 144 和第三端 143 之间可夹设有欧姆接触层 146,藉以提升通道层 144 与第二端 142 之间的电性接触以及提升通道层 144 与第三端 143 之间的电性接触。其中,欧姆接触层 146 的材质可为经掺杂的非晶硅、多晶硅、金属氧化物半导体材料或其他合适的半导体材料,或者为其他可增进金属与硅材质之间的电性接触的材质。

[0103] 在一些实施例中,欧姆接触层 146 可为覆盖在通道层 144 的整个上表面上的岛状图案层。在另一些实施例中,欧姆接触层 146 也可是为覆盖在第二端 142 和第三端 143 下方的通道层 144 表面的图案层。换言之,欧姆接触层 146 是由分别位在第二端 142 和第三端 143 下方的二材料区块所构成。并且,二材料区块相应第二端 142 和第三端 143 间隔开以曝露出通道层 144。

[0104] 在一些实施例中,第一绝缘层 150 形成在栅极绝缘层 145 或第一基板 110 的表面上,以及形成在栅极绝缘层 145 或第一基板 110 表面上第 2 金属层(M2)所呈现的结构的表面上。

[0105] 其中,第一绝缘层 150 用以作为平坦层。第一绝缘层 150 的材质可为有机材料、无机材料或其组合。

[0106] 各接触孔 180 可包括相互连通的一第一贯孔 180a 和一第二贯孔 180b。第一贯孔 180a 贯穿透明导电层 160。第二贯孔 180b 贯穿第一绝缘层 150 直达薄膜晶体管 140 的第三端 143 的表面。于此,第一贯孔 180a 的直径大于第二贯孔 180b 的直径。

[0107] 并且,第二绝缘层 170 从透明导电层 160 的表面延伸并覆盖位在第一贯孔 180a 中的透明导电层 160 的侧壁,以避免透明导电层 160 曝露在第一贯孔 180a 中。

[0108] 其中,第二绝缘层 170 用以作为保护层。第二绝缘层 170 的材质可为有机材料、无机材料或其组合。

[0109] 有机绝缘材料例如苯丙环丁烯(BCB)或光丙烯(photo acryl)等,但不限于此。有机绝缘材料例如二氧化硅(SiO_2)、氮化硅(SiN_x)或其他类似物的无机材料,但不限于此。

[0110] 透明导电层 160 和像素电极 190 的材质均为透明导电材料。但透明导电层 160 和像素电极 190 可为相同材质,也可为不同材质。于此,透明导电材料例如氧化铟锡(ITO)、氧化铟锌(IZO)等,但不限于此。

[0111] 其中,像素电极 190 可彼此间隔。在一些实施例中,像素电极 190 可与邻近的栅极线 120、122 和邻近的数据线 130、132 中至少一者部分重叠。在另一些实施例中,像素电极 190 也可完全不与栅极线 120、122 和数据线 130、132 重叠。

[0112] 在一些实施例中,透明导电层 160 可以全面覆盖式形成在第一绝缘层 150 的表面,如图 1A 及图 1B 所示。。换言之,透明导电层 160 为一层透明导电材料,且此层透明导电材料上仅具有接触孔 180 的第一贯孔 180a,而无其他开孔。意即,透明导电层 160 是全面覆盖

在栅极线 120、122、数据线 130、132、以及与接触孔 180 的第一贯孔 180a 重叠区域以外的像素区域 P 和薄膜晶体管 140 上。如此一来,可通过透明导电层 160 作为屏蔽(shield),以避免栅极线 120、122、数据线 130、132 和薄膜晶体管 140 对像素电极 190 产生电容耦合效应。

[0113] 图 2A 为根据本发明第二实施例的像素阵列基板的分解示意图。图 2B 为根据本发明第三实施例的像素阵列基板的分解示意图。图 2C 为根据本发明第四实施例的像素阵列基板的分解示意图。图 2D 为根据本发明第五实施例的像素阵列基板的分解示意图。

[0114] 参照图 2A、图 2B、图 2C 及图 2D,在一些实施例中,透明导电层 160 可包括多个材料区块 161-163/164-167。

[0115] 参照图 2A 及图 2C,材料区块 161-163 彼此间隔,并且各材料区块 161/162/163 延伸覆盖至少二像素区域 P。换言之,各材料区块 161/162/163 延伸覆盖相邻排列的至少二像素区域 P 及覆盖此些像素区域 P 之间的数据线 130、132。

[0116] 在一些实施例中,任二材料区块之间具有一间隙,以使材料区块彼此分离。换言之,在材料区块 161、162 之间以间隙 160a 分隔,而在材料区块 162、163 之间以间隙 160b 分隔。

[0117] 并且,每一间隙 160a/160b 是与一栅极线 120/122 重叠。其中,间隙 160a/160b 的宽度可大于或等于所重叠的栅极线 120/122。

[0118] 参照图 2B 及图 2D,材料区块 164-167 彼此间隔,并且各材料区块 164/165/166/167 延伸覆盖至少二像素区域 P。换言之,各材料区块 164/165/166/167 延伸覆盖相邻排列的至少二像素区域 P 及覆盖此些像素区域 P 之间的栅极线 120、122。

[0119] 在一些实施例中,任二材料区块之间具有一间隙,以使材料区块彼此分离。换言之,在材料区块 164、165 之间以间隙 160c 分隔、在材料区块 165、166 之间以间隙 160d 分隔,而在材料区块 166、167 之间以间隙 160e 分隔。

[0120] 并且,每一间隙 160c/160d/160e 是与一数据线 130/132 重叠。其中,间隙 160c/160d/160e 的宽度可大于或等于所重叠的数据线 130/132。

[0121] 在一些实施例中,一个材料区块是延伸覆盖位在同一直线上的所有像素区域。换言之,各材料区块可延伸覆盖一整行或一整列的像素区域 P 及覆盖此些像素区域 P 之间的数据线或栅极线。

[0122] 参照图 2A 及图 2C,材料区块 161、162、163 延伸覆盖位在同一直线上的所有像素区域 P 及覆盖此些像素区域 P 之间的数据线 130、132。

[0123] 参照图 2B 及图 2D,材料区块 164、165、166、167 延伸覆盖位在同一直线上的所有像素区域 P 及覆盖此些像素区域 P 之间的栅极线 120、122。

[0124] 在一些实施例中,透明导电层 160 可还包括多个电性连接件 169。各电性连接件电性连接此些材料区块中的任二者。

[0125] 参照图 2A 及图 2C,材料区块 161、162 之间和材料区块 162、163 之间分别耦接有电性连接件 169,以使材料区块 161、162/162、163 之间电性相通。

[0126] 参照图 2B 及图 2D,材料区块 164、165 之间、材料区块 165、166 之间和材料区块 166、167 之间分别耦接有电性连接件 169,以使材料区块 164、165/165、166/166、167 之间电性相通。

[0127] 其中,电性连接件 169 是跨过间隙 160a/160b/160c/160d/160e,以将间隙

160a/160b/160c/160d/160e 所分隔的材料区块 161、162/162、163/164、165/165、166/166、167 相互耦接并使其电性相通。

[0128] 于此,电性连接件 169 可与材料区块 161-163/164-167 使用相同的透明导电材料形成。

[0129] 在一些实施例中,可由透明导电层 160 与像素电极 190 形成一储存电容(C_{st})。并且,此储存电容(C_{st})具有一极大的电容值,以降低薄膜晶体管 140 的第一端 141 对所属的像素所造成的回踢电压(V_p)效果,进而避免共通电压的回踢值过大而无法供应适当的共通电压。

[0130] 于此,回踢电压(V_p)具有下列关系式。

$$V_p = (C_{gd}) / (C_{st} + C_{LC} + C_{gd}) * (V_{gh} - V_{gl})$$

[0132] 其中, C_{gd} 是指薄膜晶体管 140 的第一端 141 与薄膜晶体管 140 的第二端 142 所形成的电容、 C_{LC} 为像素电极 190 与 LC 所形成的电容、 V_{gh} 为薄膜晶体管 140 的第一端 141 导通时的电压,以及 V_{gl} 为薄膜晶体管 140 的第一端 141 不导通时的电压。

[0133] 在一些实施例中,还可利用透明导电层 160 取代一般设置在像素阵列基板中的共通电极(如,与数据线设置在同一层的共通电极)。换言之,通过透明导电层 160 的设置,像素阵列基板中无需设置共通电极线。

[0134] 图 3 为根据本发明第六实施例的像素阵列基板的俯视图。图 4 为图 3 所示的像素阵列基板沿切线 II-II 的截面图。图 5 至图 8 分别为根据本发明图 7、图 8、图 9 及第十实施例的像素阵列基板的俯视图。为方便说明,图 3 及图 5 至图 8 中所示的像素阵列基板省略绘制各个绝缘层。其中,在图 3 及图 5 至图 8 中,绘制在像素区域 P 上的虚线是表示开口 182、183、184 的垂直投影位置,即组合后开口 182、183、184 的重叠位置。

[0135] 参照图 3 至 8 图,在一些实施例中,透明导电层 160 上可设计有一个或多个开口 182、183、184。开口 182、183、184 位在第一绝缘层 150 和第二绝缘层 160 之间并贯穿透明导电层 160。于此,开口 182、183、184 可用以适当地调整透明导电层 160 与像素电极 190 所形成的储存电容(C_{st})的电容量。再者,适当地配置开口 182、183、184 还可调整相对于透明导电层 160 的 RC (电阻 - 电容) 负载。

[0136] 参照图 3 至图 8,开口 182 可对应设置在像素区域 P。意即,开口 182 是位在栅极线 120、122 和数据线 130、132 所围起的区域内,且不与薄膜晶体管 140 重叠。

[0137] 其中,开口 182 可为单一个或多个,并且开口 182 的配置成任意图案形状,例如呈现 S 形图案、类 S 形图案、E 形图案、类 E 形图案、蛇形图案、锯齿形图案、类锯齿形图案、梳子形图案、类梳子形图案或多条纹图案等,但不限于此。

[0138] 参照图 3 及图 4,开口 182 可呈现开口位在邻近耦接有对应的薄膜晶体管 140 的栅极线 120 的一侧的 E 形图案或类 E 形图案。参照图 5,开口 182 可呈现开口位在远离耦接有对应的薄膜晶体管 140 的栅极线 120 的一侧的 E 形图案或类 E 形图案。

[0139] 换言之,E 形图案或类 E 形图案的开口 182 是由一个横向贯孔及三个纵向贯孔所构成。于此,横向贯孔的延伸方向与纵向贯孔的延伸方向交错。举例来说,横向贯孔是约略平行栅极线 120、122 而延伸,而纵向贯孔是约略平行数据线 130、132 而延伸。其中,二个纵向贯孔的第一端分别连通横向贯孔的二端,而剩余的一个纵向贯孔的第一端则连通横向贯孔的二端之间。于此,三个纵向贯孔可具有相同延伸长度,也可具有不同的延伸长度。横向贯

孔可以直线延伸(如图 3 所示),也可以折线延伸(如图 5 所示)。当横向贯孔以折线延伸(如图 5 所示)时,位于中间的纵向贯孔可连通至横向贯孔的弯折处。图 3 和图 5 虽以具有三个纵向开口的 E 形图案做说明,在一些实施例中,开口 182 也可具有三个以上的纵向贯孔,此时开口 182 将成梳子形图案。

[0140] 参照图 6,开口 182 可呈现开口朝向栅极线 120、122 的 S 形图案或类 S 形图案。然而,也可配合实际需求,使 S 形图案或类 S 形图案的开口 182 的开口朝向数据线 130、132,或者朝向数据线 130、132 与栅极线 120、122 的交界处。使 S 形图案或类 S 形图案的开口 182 可具有夹角式的多个转折,或是具有弧状弯曲。

[0141] 参照图 7 及图 8,可由多个开口 182 呈现条纹图案。条纹图案的开口 182 彼此间可约略平行。再者,相对于栅极线 120、122 及数据线 130、132 的延伸方向,条纹图案的开口 182 可为倾斜延伸,如图 7 所示。条纹图案的开口 182 的延伸方向也可约略垂直于栅极线 120、122 的延伸方向,如图 8 所示。然而,条纹图案的开口 182 的延伸方向还可设计成约略平行于栅极线 120、122 的延伸方向(图式未显示)。

[0142] 参照图 8,开口 183 还可对应设置在栅极线 120、122 上。意即,开口 183 是与栅极线 120、122 重叠。在一些实施例中,各开口 183 可完全覆盖位在二数据线 130、132 之间的栅极线 120/122。在一些实施例中,各开口 183 也可部分覆盖位在二数据线 130、132 之间的栅极线 120/122。

[0143] 开口 184 还可对应设置在薄膜晶体管 140 上,如图 2A、图 2B、图 2C、图 2D 及图 8 所示。在一些实施例中,开口 184 可完全覆盖薄膜晶体管 140。换言之,开口 184 的尺寸是大于或等于薄膜晶体管 140 的尺寸。

[0144] 在一些实施例中,开口 184 可仅与整个薄膜晶体管 140 重叠,如图 2A 及图 2C 所示。

[0145] 在一些实施例中,除了与整个薄膜晶体管 140 重叠,开口 184 还可延伸与接触孔 180 的第一贯孔 180a 重叠,如图 8 所示。意即,开口 184 涵盖整个薄膜晶体管 140 及接触孔 180 的第一贯孔 180a。并且,开口 184 中可具有第二绝缘层 170,以致使接触孔 180 中呈现平坦内壁。换言之,第二绝缘层 170 会填充部分的开口 184。

[0146] 在一些实施例中,除了与整个薄膜晶体管 140 重叠,开口 184 还可同时覆盖部分的栅极线 120/122,如图 2B 及图 2D 所示。

[0147] 于此,开口 182、183、184 的尺寸及数量可相应于所需的储存电容的电容量。

[0148] 在一些实施例中,可通过控制开口 182、183、184 的尺寸及数量致使透明导电层 160 与每一像素电极 190 的重叠区域不大于重叠的像素电极 190 的三分之二。

[0149] 图 9 是为根据本发明一实施例的液晶显示面板的局部截面图。

[0150] 参照图 9,液晶显示面板包括一像素阵列基板 100、一液晶层 200 及一彩色滤光基板 300。其中,像素阵列基板 100 可采用前述结构设计的任意组合,故于此不再赘述。

[0151] 彩色滤光基板 300 对应于像素阵列基板 100,并且与像素阵列基板 100 间隔开。而液晶层 200 则夹设在像素阵列基板 100 与彩色滤光基板 300 之间。并且,在液晶层 200 中悬浮有多个液晶分子 210。

[0152] 在一些实施例中,可通过设置分隔墙 220 将彩色滤光基板 300 支撑于像素阵列基板 100 上,以致在分隔墙 220、像素阵列基板 100 与彩色滤光基板 300 之间形成容置空间。再将液晶分子 210 填充至容置空间中来形成液晶层 200。

[0153] 于此,分隔墙 220 沿着以矩阵形式配置的像素区域 P 的边界区域形成,以限定出液晶显示面板的多个像素。分隔墙 220 的材质可为绝缘材料。分隔墙 220 一般可通过光刻工艺、印刷工艺、压印(imprint)工艺或模具等方式形成。然上述提到的特定工艺非本发明的限制。另外,参照图 10,在一些实施例中,也可以球状支撑物(spacer ball) 230 取代分隔墙 220,用以支撑像素阵列基板 100 与彩色滤光基板 300,但不限于此。

[0154] 彩色滤光基板 300 包括第二基板 310、共同电极层 320 和彩色滤光层 330。

[0155] 共同电极层 320 位在像素电极 190 与第二基板 310 之间,并且与像素电极 190 间隔开。也就是说,液晶层 200 位在共同电极层 320 与像素电极 190 之间。

[0156] 彩色滤光层 330 位在第二基板 310 和共同电极层 320 之间。于此,共同电极层 320 可形成在彩色滤光层 330 相对于第二基板 310 的另一侧的表面上。彩色滤光层 330 可包括多个彩色滤光区块,并且这些彩色滤光区块分别对应于像素区域 P 而设置。

[0157] 彩色滤光基板 300 可还包括黑色矩阵层 340。黑色矩阵层 340 对应栅极线 120、122 和数据线 130、132 而设置,并用以避免漏光。

[0158] 综上所述,根据本发明的液晶显示面板及其像素阵列基板利用透明导电层 160 与像素电极 190 形成储存电容,以提升高分辨率的液晶显示面板的开口率。也就是说,在应用在小尺寸屏幕(如,10 英寸以下)上,在提升分辨率的同时仍可兼顾开口率。再者,还可通过透明导电层 160 来避免透明导电层 160 下方的元件(数据线 130、132、栅极线 120、122、薄膜晶体管 140 或其组合)对像素电极 190 所产生的电容耦合效应。

[0159] 当然,本发明还可有其他多种实施例,在不背离本发明精神及其实质的情况下,熟悉本领域的技术人员当可根据本发明作出各种相应的改变和变形,但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

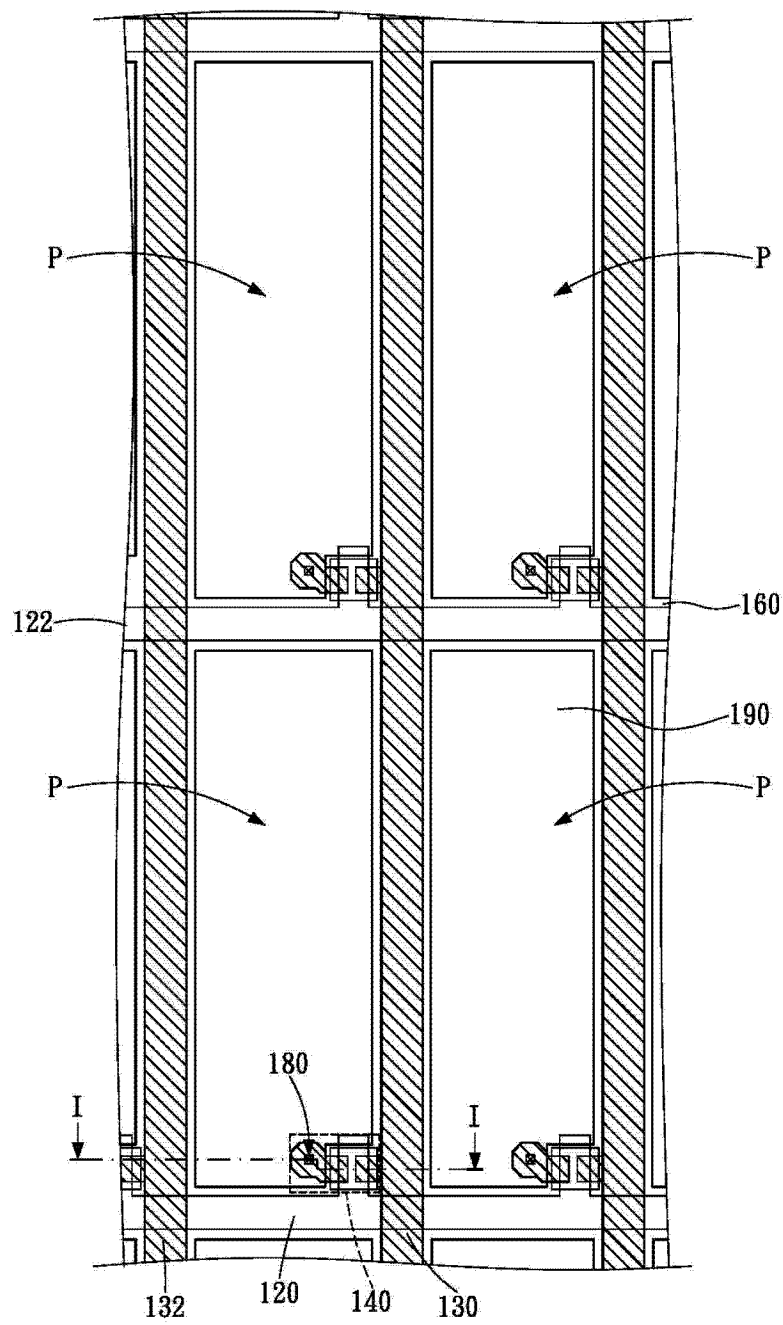


图 1A

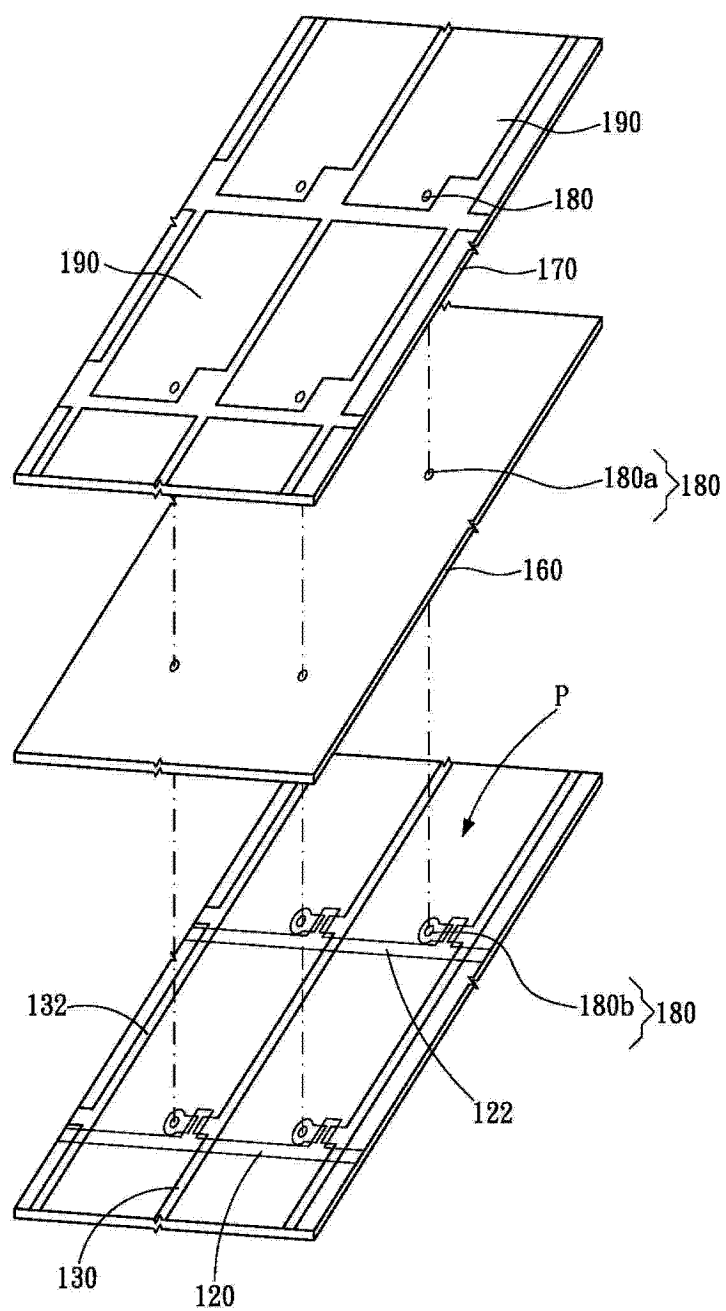


图 1B

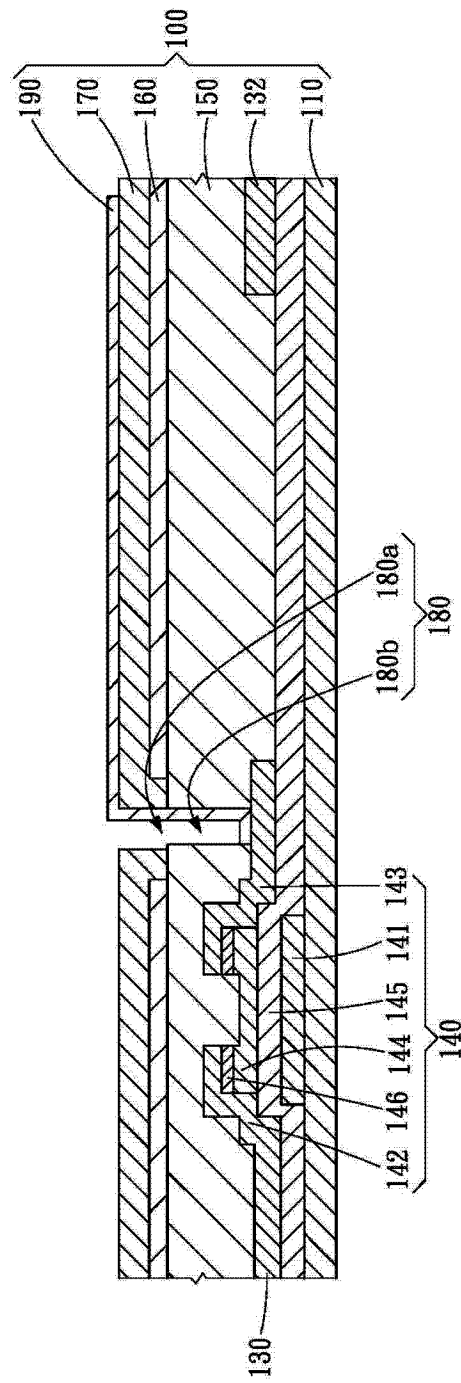


图 1C

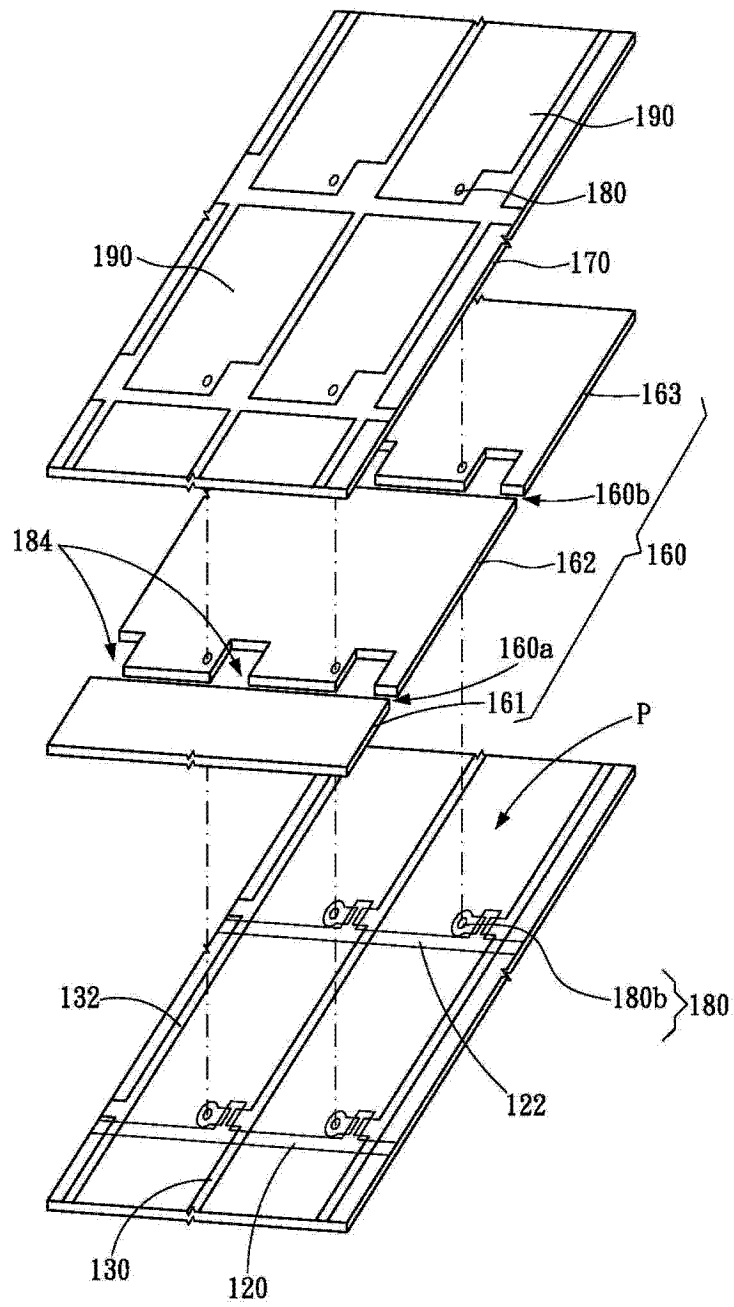


图 2A

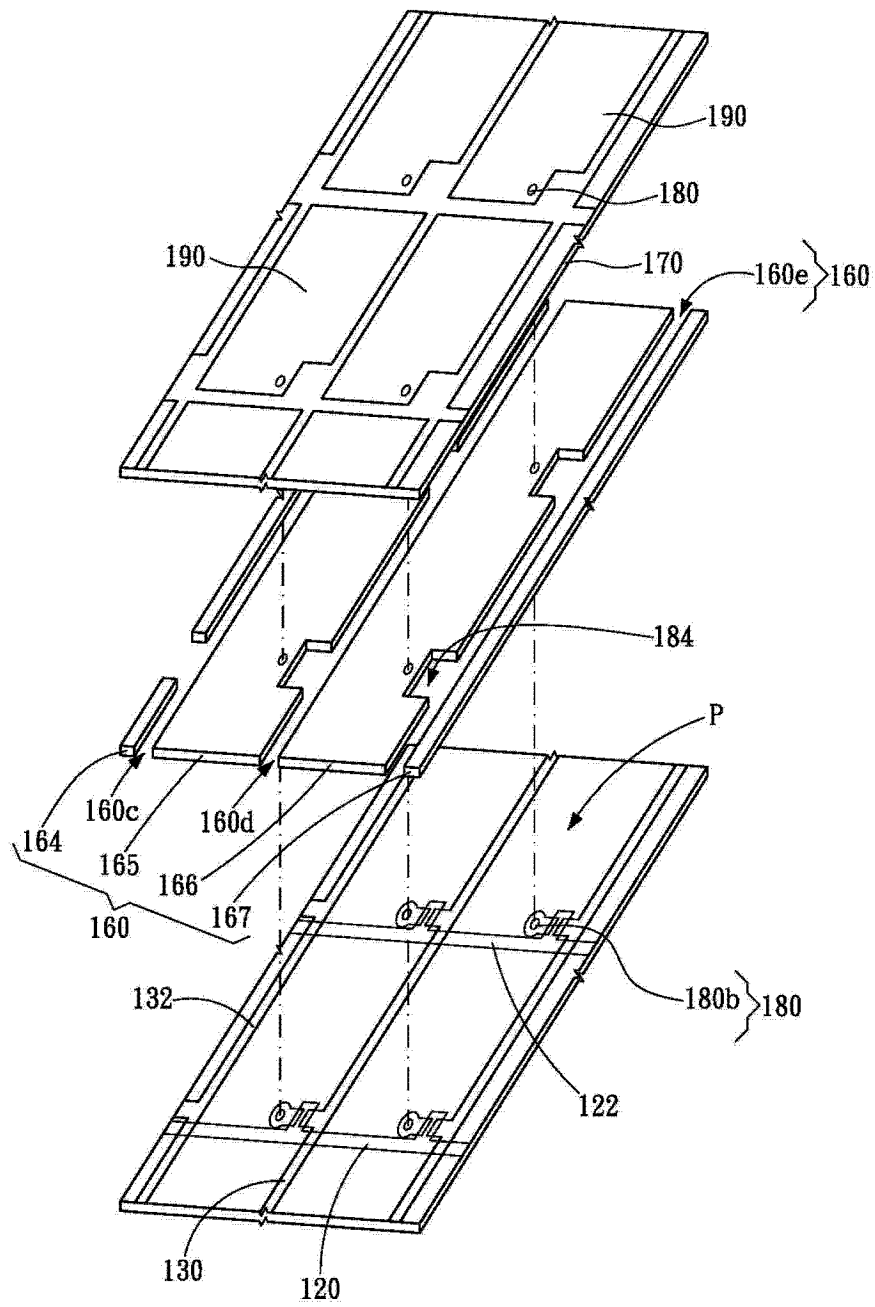


图 2B

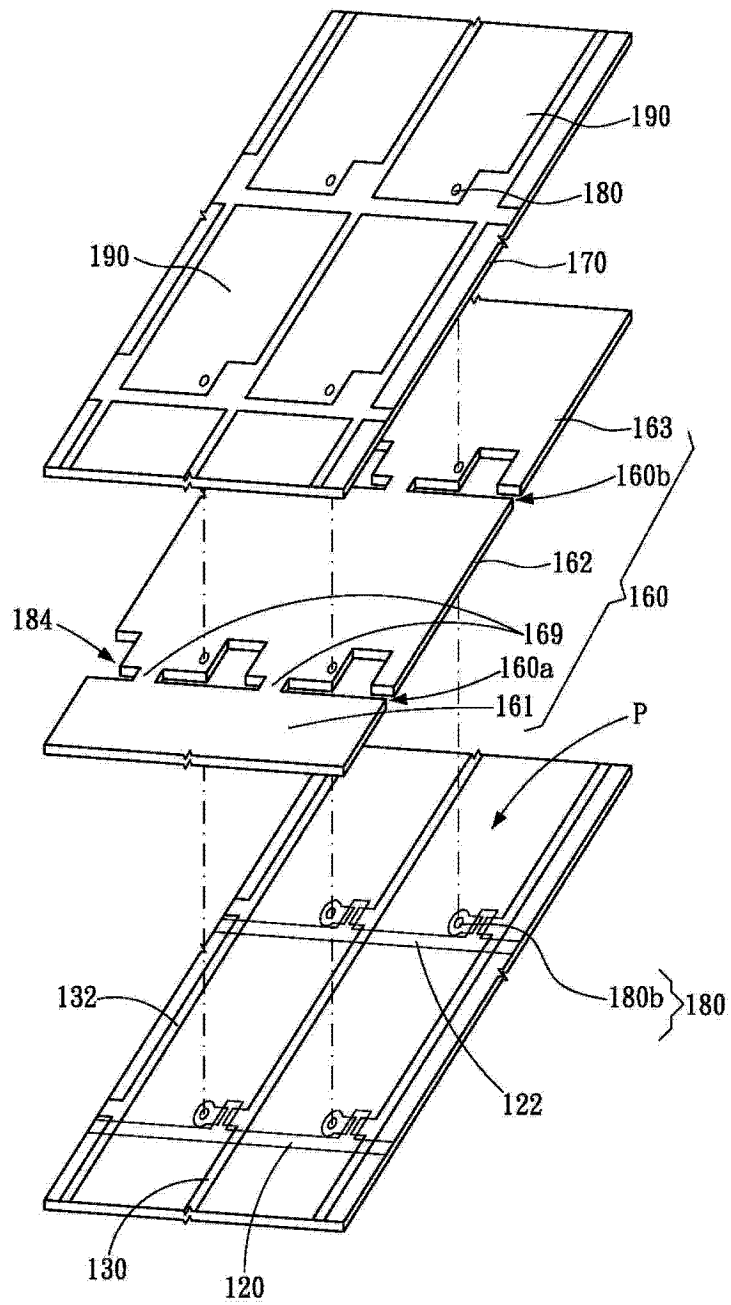


图 2C

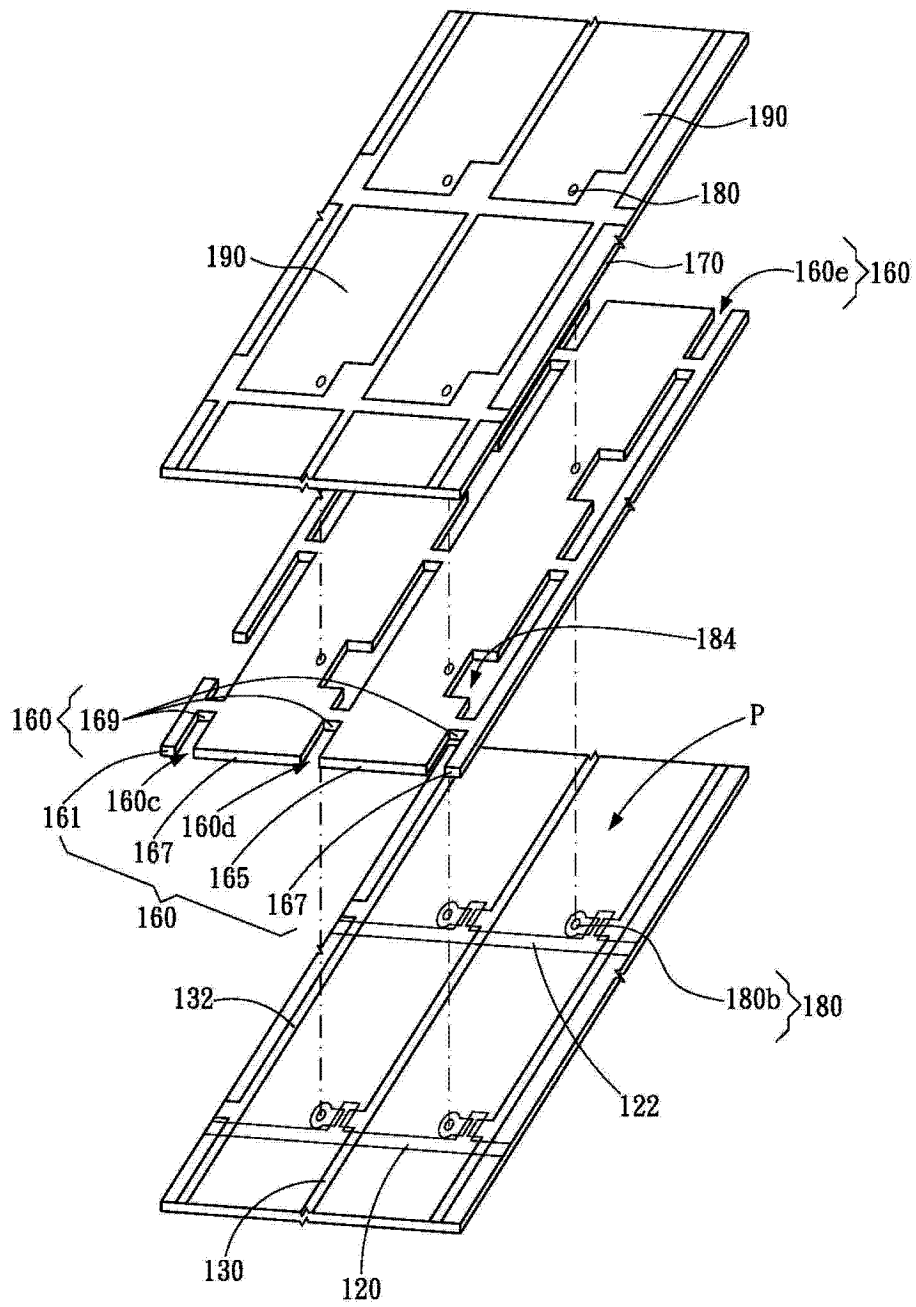


图 2D

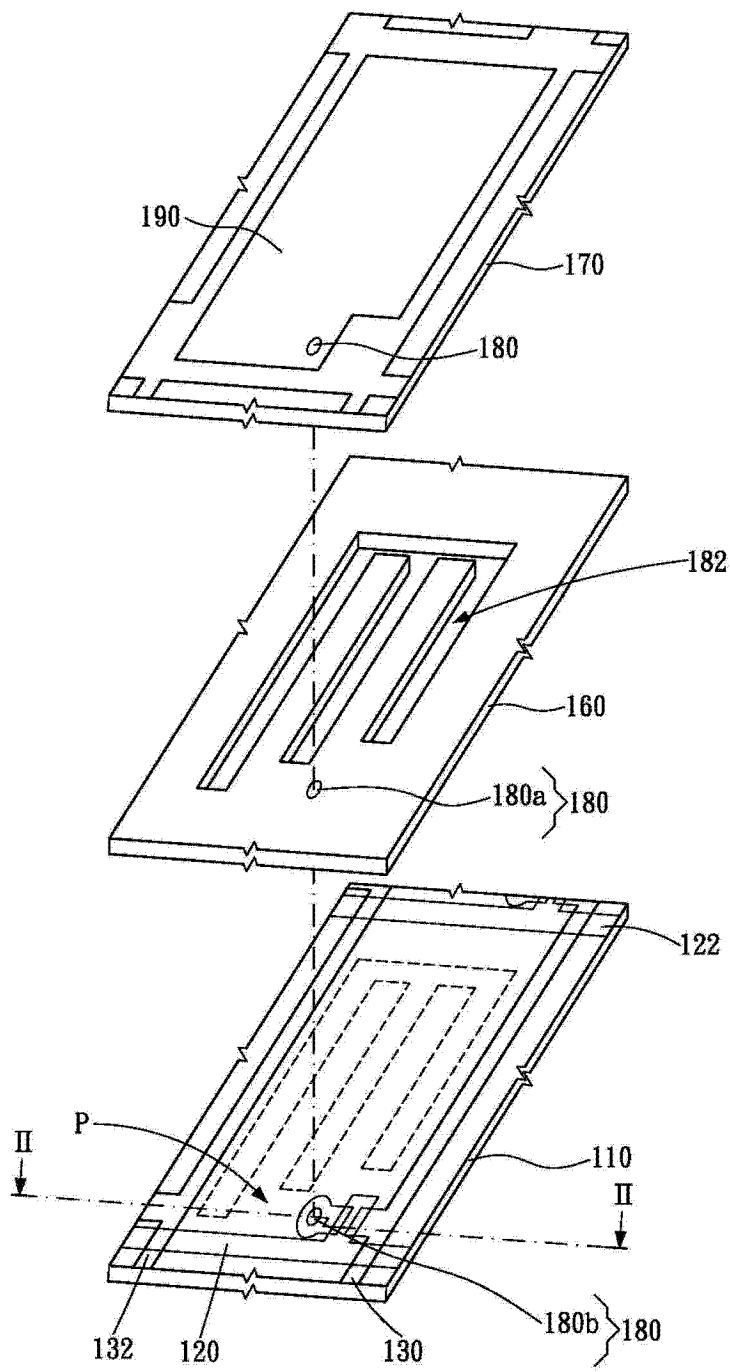


图 3

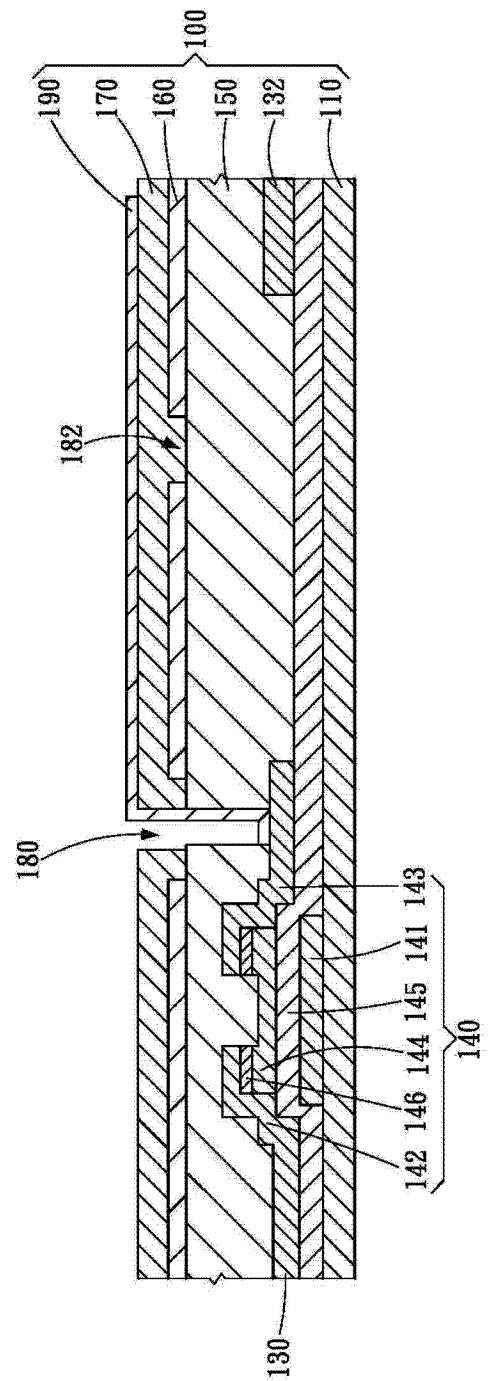


图 4

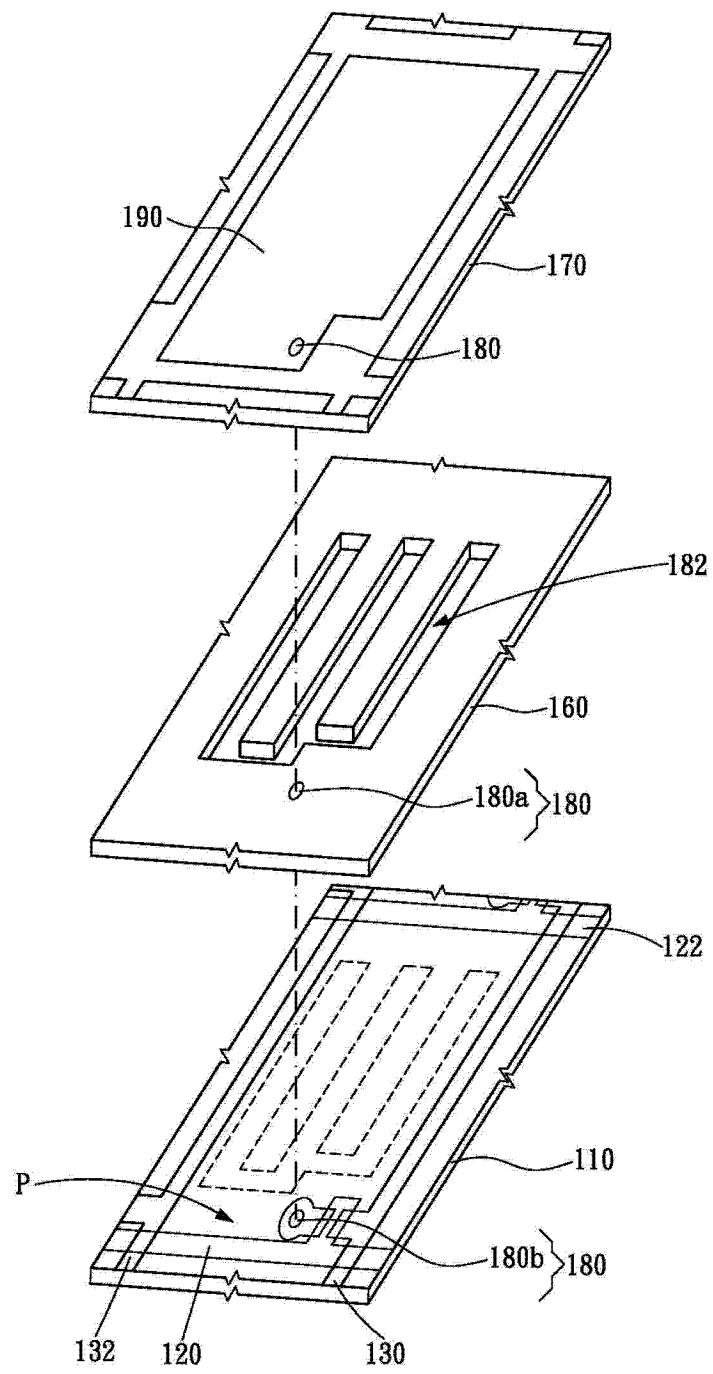


图 5

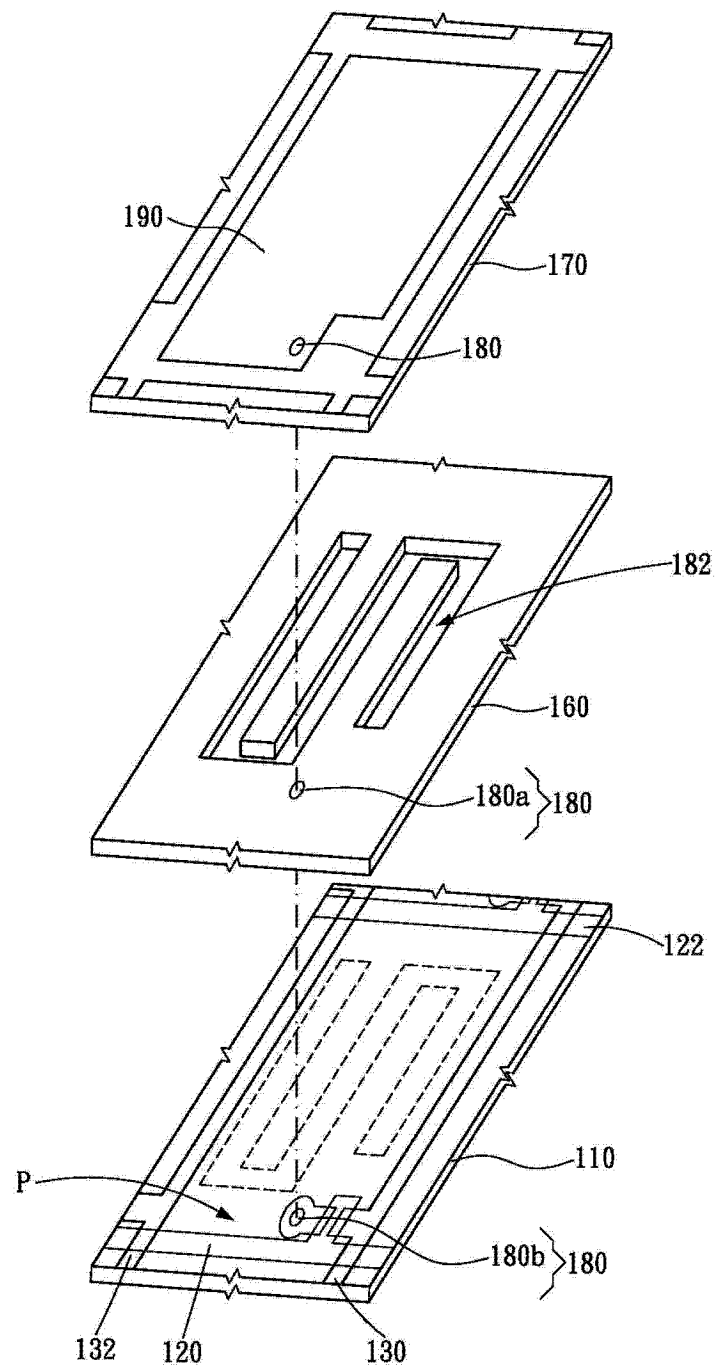


图 6

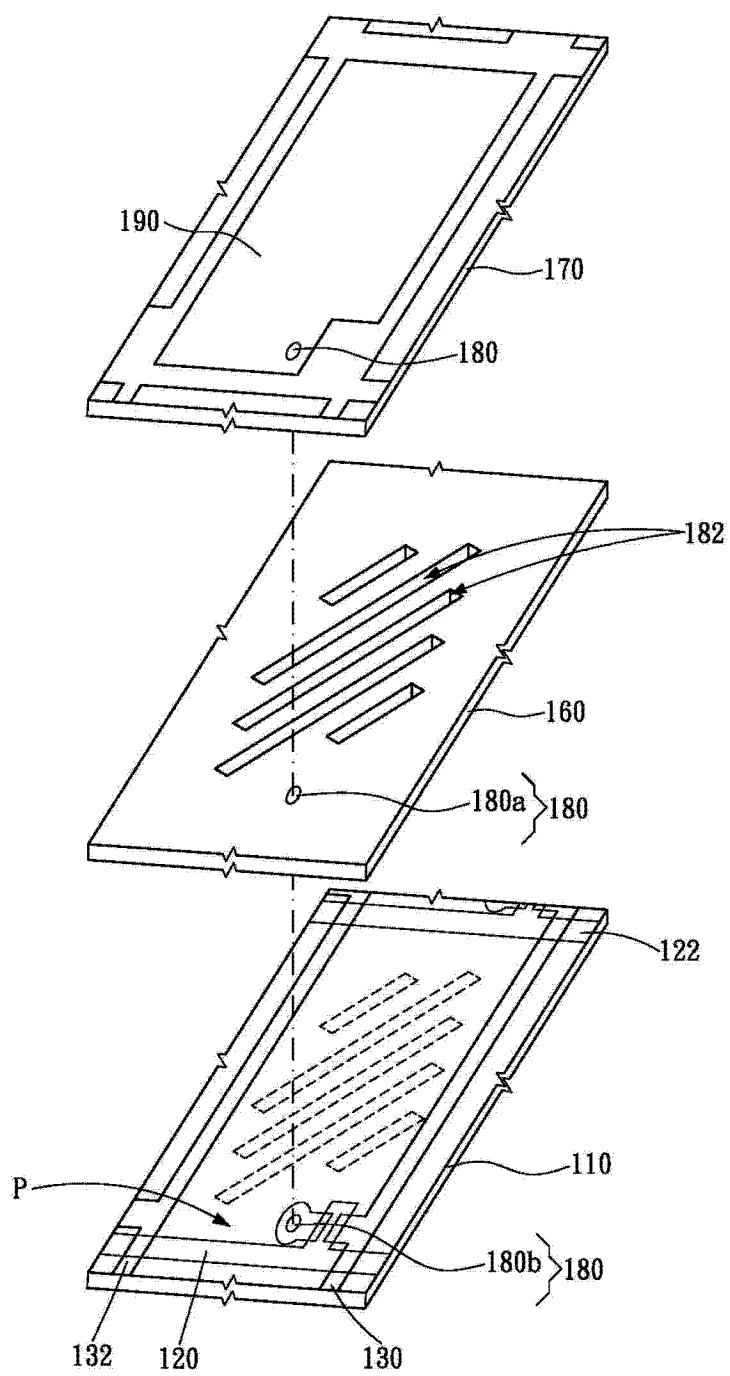


图 7

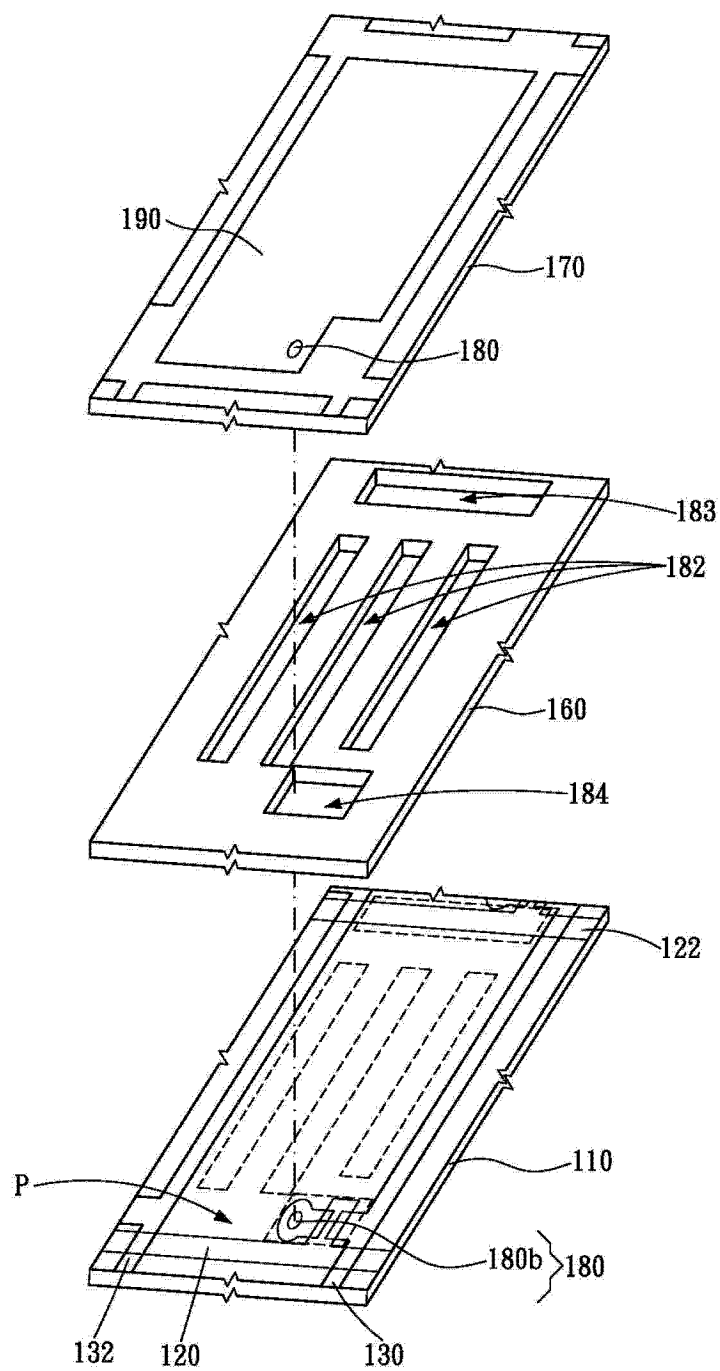


图 8

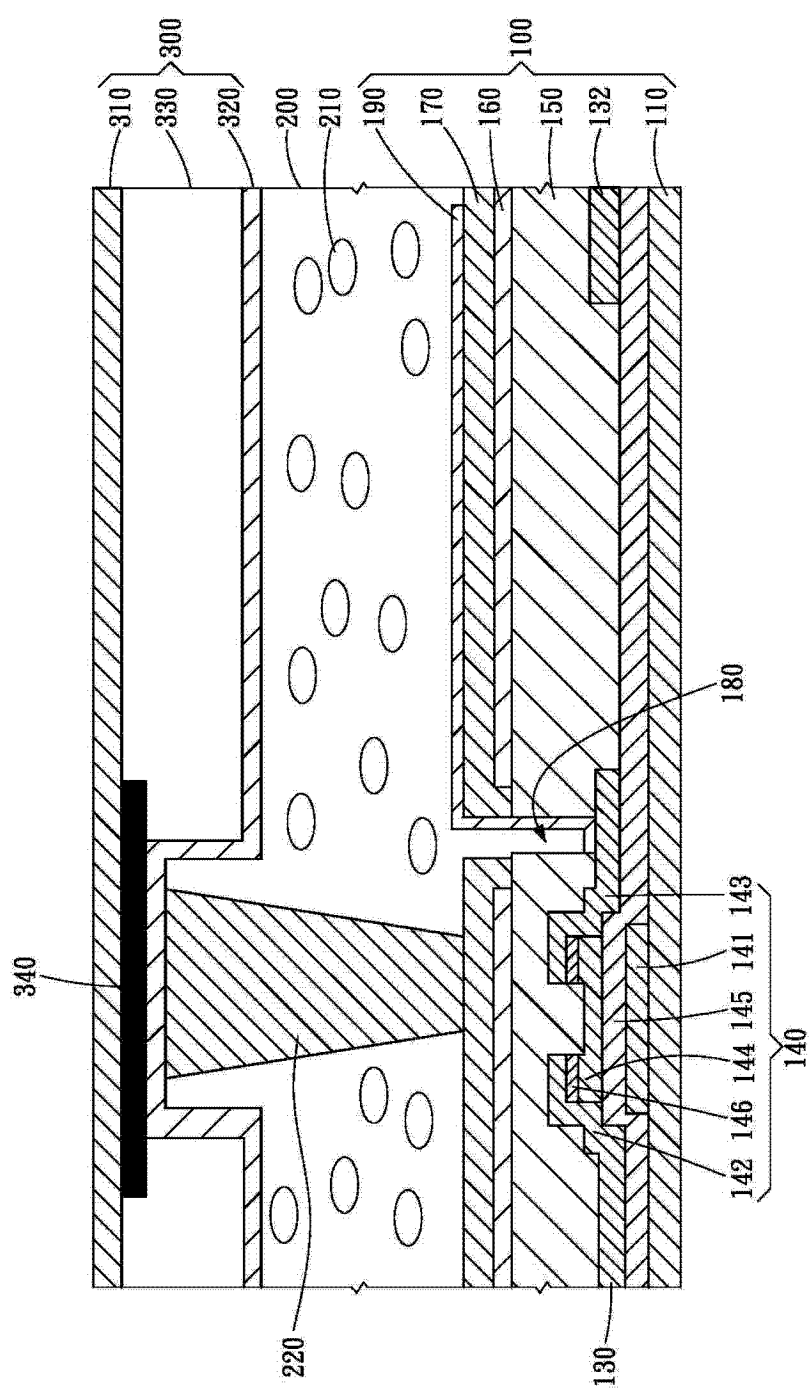


图 9

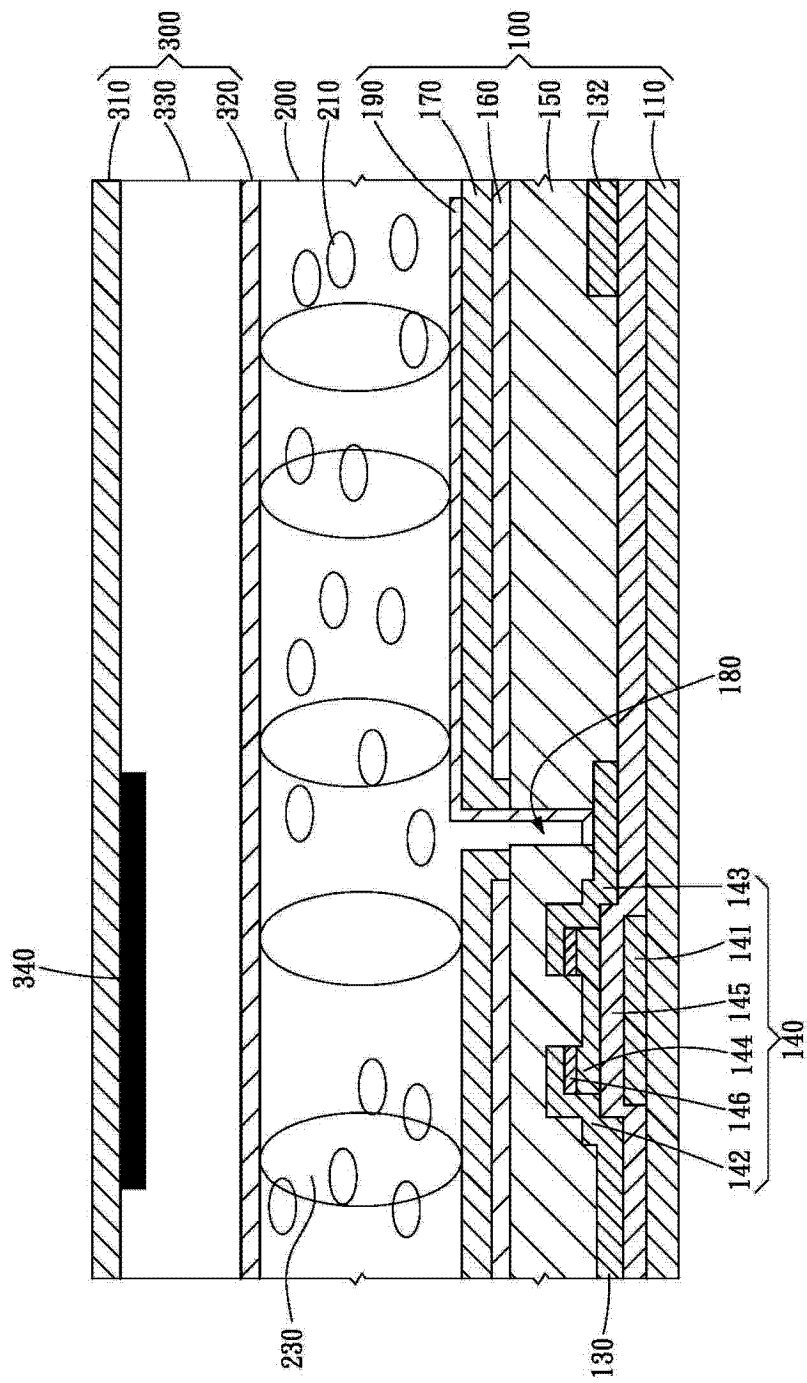


图 10

专利名称(译)	液晶显示面板及其像素阵列基板		
公开(公告)号	CN103488013A	公开(公告)日	2014-01-01
申请号	CN201210193317.2	申请日	2012-06-12
[标]申请(专利权)人(译)	瀚宇彩晶股份有限公司		
申请(专利权)人(译)	瀚宇彩晶股份有限公司		
当前申请(专利权)人(译)	瀚宇彩晶股份有限公司		
[标]发明人	游家华 林松君 刘轩辰		
发明人	游家华 林松君 刘轩辰		
IPC分类号	G02F1/1362 G02F1/1368 H01L27/02		
CPC分类号	G02F1/136213 G02F2001/136218		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示面板及其像素阵列基板，其中像素阵列基板包括第一基板、多条栅极线、多条数据线、多个薄膜晶体管、第一绝缘层、透明导电层、第二绝缘层、多个接触孔及多个像素电极。栅极线、数据线和薄膜晶体管位于第一基板上，而第一绝缘层覆盖在其上。透明导电层位在第一绝缘层上且具有一共通电压电位。第二绝缘层位在透明导电层和像素电极的间，并隔离透明导电层和像素电极。像素电极经由对应的接触孔电性耦接对应的薄膜晶体管的第三端。

