



(12) 发明专利

(10) 授权公告号 CN 103268043 B

(45) 授权公告日 2015. 08. 19

(21) 申请号 201310198550. 4

(22) 申请日 2013. 05. 24

(73) 专利权人 深圳市华星光电技术有限公司

地址 518000 广东省深圳市光明新区公明办事处塘家社区观光路汇业科技园综合楼 1 第一层 B 区

(72) 发明人 薛景峰 许哲豪 姚晓慧

(74) 专利代理机构 深圳市威世博知识产权代理
事务所 (普通合伙) 44280

代理人 何青瓦

(51) Int. Cl.

G02F 1/1343(2006. 01)

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

(56) 对比文件

CN 101308301 A, 2008. 11. 19,

CN 102915716 A, 2013. 02. 06,

KR 20120075036 A, 2012. 07. 06,

US 8045083 B2, 2011. 10. 25,

US 7773185 B2, 2010. 08. 10,

审查员 谭欣

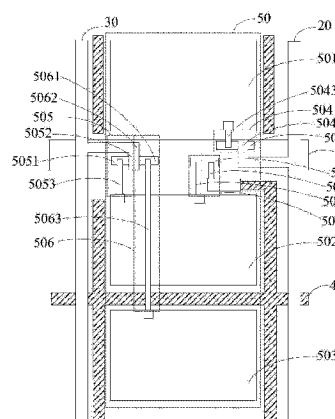
权利要求书3页 说明书8页 附图7页

(54) 发明名称

一种阵列基板及液晶显示装置

(57) 摘要

本发明公开了一种阵列基板及液晶显示装置,所述阵列基板中,每个像素单元包括第一至第三像素电极和第一至第四开关元件,每个像素单元对应一条扫描线、一条第一数据线以及一条第二数据线,对应本像素单元的扫描线用于控制第一至第四开关元件的导通和断开,对应本像素单元的第一数据线用于通过第一开关元件对第一像素电极输入数据信号,对应本像素单元的第二数据线用于分别通过第二开关元件和第三开关元件对第二像素电极和第三像素电极输入数据信号,第四开关元件的第一端与第二或第三像素电极连接,第四开关元件的第二端与公共电极连接。通过上述方式,本发明能够提高开口率,减小大视角下的颜色差异,降低 3D 双眼信号串扰,同时能够减少扫描驱动器的使用量,有利于降低成本。



1. 一种阵列基板,其特征在于,包括多条扫描线(10)、多条第一数据线(20)、多条第二数据线(30)、公共电极(40)以及多个行列排列的像素单元(50),每个所述像素单元(50)对应一条扫描线(10)、一条第一数据线(20)以及一条第二数据线(30);

每个所述像素单元(50)包括沿列方向依次排列的第一像素电极(501)、第二像素电极(502)、第三像素电极(503),以及分别作用于所述第一像素电极(501)、第二像素电极(502)以及第三像素电极(503)的第一开关元件(504)、第二开关元件(505)以及第三开关元件(506),每个所述像素单元(50)还包括第四开关元件(507),所述第一开关元件(504)、第二开关元件(505)以及第三开关元件(506)均包括控制端、输入端以及输出端,所述第四开关元件(507)包括控制端、第一端以及第二端;

在每个所述像素单元(50)中,

所述第一开关元件(504)的控制端(5041)、第二开关元件(505)的控制端(5051)以及第三开关元件(506)的控制端(5061)均与对应本像素单元(50)的所述扫描线(10)连接,所述第一开关元件(504)的输入端(5042)与对应本像素单元(50)的所述第一数据线(20)连接,所述第一开关元件(504)的输出端(5043)与所述第一像素电极(501)连接,所述第二开关元件(505)的输入端(5052)和第三开关元件(506)的输入端(5062)均与对应本像素单元(50)的所述第二数据线(30)连接,所述第二开关元件(505)的输出端(5053)与所述第二像素电极(502)连接,所述第三开关元件(506)的输出端(5063)与所述第三像素电极(503)连接;

所述第四开关元件(507)的控制端(5071)与对应本像素单元(50)的所述扫描线(10)连接,所述第四开关元件(507)的第一端(5072)与所述第二像素电极(502)、第三像素电极(503)中的任一个连接,所述第四开关元件(507)的第二端(5073)与所述公共电极(40)连接,所述第四开关元件(507)在导通时的电流通过能力小于第三开关元件(506)在导通时的电流通过能力,以使得所述第四开关元件(507)在其导通的时间内控制与其连接的像素电极和公共电极(40)之间的电压差不为零;

其中,在2D显示模式下,对应本像素单元(50)的所述扫描线(10)输入扫描信号以控制所述第一开关元件(504)、第二开关元件(505)、第三开关元件(506)以及第四开关元件(507)导通,对应本像素单元(50)的所述第一数据线(20)通过所述第一开关元件(504)输入第一数据信号至所述第一像素电极(501),对应本像素单元(50)的所述第二数据线(30)分别通过所述第二开关元件(505)和第三开关元件(506)输入第二数据信号至所述第二像素电极(502)和第三像素电极(503),以使得所述第一像素电极(501)、第二像素电极(502)以及第三像素电极(503)显示对应2D画面的图像,并且在所述第四开关元件(507)导通的作用下所述第二像素电极(502)和第三像素电极(503)之间存在不为零的预设电压差;

在3D显示模式下,对应本像素单元(50)的所述扫描线(10)输入扫描信号以控制所述第一开关元件(504)、第二开关元件(505)、第三开关元件(506)以及第四开关元件(507)导通,对应本像素单元(50)的所述第一数据线(20)通过所述第一开关元件(504)输入第三数据信号至所述第一像素电极(501),以使得所述第一像素电极(501)显示黑画面,对应本像素单元(50)的所述第二数据线(30)分别通过所述第二开关元件(505)和第三开关元件(506)输入第四数据信号至所述第二像素电极(502)和第三像素电极(503),以使得所述第二像素电极(502)和第三像素电极(503)显示对应3D画面的图像,并且在所述第四开关

元件 (507) 导通的作用下所述第二像素电极 (502) 和第三像素电极 (503) 之间存在不为零的预设电压差。

2. 根据权利要求 1 所述的阵列基板, 其特征在于,

所述第一开关元件 (504)、第二开关元件 (505)、第三开关元件 (506) 以及第四开关元件 (507) 均为薄膜晶体管, 分别为第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管以及第四薄膜晶体管, 所述第一开关元件 (504)、第二开关元件 (505)、第三开关元件 (506) 的控制端对应为薄膜晶体管的栅极, 所述第一开关元件 (504)、第二开关元件 (505)、第三开关元件 (506) 的输入端对应为薄膜晶体管的源极, 所述第一开关元件 (504)、第二开关元件 (505)、第三开关元件 (506) 的输出端对应为薄膜晶体管的漏极, 所述第四开关元件 (507) 的控制端对应为薄膜晶体管的栅极, 所述第四开关元件 (507) 的第一端对应为薄膜晶体管的源极, 所述第四开关元件 (507) 的第二端对应为薄膜晶体管的漏极;

所述第四薄膜晶体管的宽长比小于所述第一薄膜晶体管、所述第二薄膜晶体管、所述第三薄膜晶体管的宽长比, 以使得在所述第四薄膜晶体管导通的时间内使所述第二像素电极 (502) 与公共电极 (40) 之间的电压差不为零。

3. 根据权利要求 1 所述的阵列基板, 其特征在于,

所述扫描线 (10)、第一开关元件 (504)、第二开关元件 (505)、第三开关元件 (506) 以及第四开关元件 (507) 均设置于所述第一像素电极 (501) 和第二像素电极 (502) 之间。

4. 一种液晶显示装置, 其特征在于, 包括液晶显示面板 (701) 以及用于驱动所述液晶显示面板 (701) 显示的扫描驱动器 (702) 和数据驱动器 (703), 所述液晶显示面板 (701) 包括阵列基板 (7011)、彩色滤光基板 (7012) 以及位于所述阵列基板 (7011) 和彩色滤光基板 (7012) 之间的液晶层 (7013);

所述阵列基板 (7011) 多条扫描线 (10)、多条第一数据线 (20)、多条第二数据线 (30)、公共电极 (40) 以及多个行列排列的像素单元 (50), 每个所述像素单元 (50) 对应一条扫描线 (10)、一条第一数据线 (20) 以及一条第二数据线 (30);

每个所述像素单元 (50) 包括沿列方向依次排列的第一像素电极 (501)、第二像素电极 (502)、第三像素电极 (503), 以及分别作用于所述第一像素电极 (501)、第二像素电极 (502) 以及第三像素电极 (503) 的第一开关元件 (504)、第二开关元件 (505) 以及第三开关元件 (506), 每个所述像素单元 (50) 还包括第四开关元件 (507), 所述第一开关元件 (504)、第二开关元件 (505) 以及第三开关元件 (506) 均包括控制端、输入端以及输出端, 所述第四开关元件 (507) 包括控制端、第一端以及第二端;

在每个所述像素单元 (50) 中,

所述第一开关元件 (504) 的控制端 (5041)、第二开关元件 (505) 的控制端 (5051) 以及第三开关元件 (506) 的控制端 (5061) 均与对应本像素单元 (50) 的所述扫描线 (10) 连接, 所述第一开关元件 (504) 的输入端 (5042) 与对应本像素单元 (50) 的所述第一数据线 (20) 连接, 所述第一开关元件 (504) 的输出端 (5043) 与所述第一像素电极 (501) 连接, 所述第二开关元件 (505) 的输入端 (5052) 和第三开关元件 (506) 的输入端 (5062) 均与对应本像素单元 (50) 的所述第二数据线 (30) 连接, 所述第二开关元件 (505) 的输出端 (5053) 与所述第二像素电极 (502) 连接, 所述第三开关元件 (506) 的输出端 (5063) 与所述第三像素电极 (503) 连接;

所述第四开关元件 (507) 的控制端 (5071) 与对应本像素单元 (50) 的所述扫描线 (10) 连接, 所述第四开关元件 (507) 的第一端 (5072) 与所述第二像素电极 (502)、第三像素电极 (503) 中的任一个连接, 所述第四开关元件 (507) 的第二端 (5073) 与所述公共电极 (40) 连接, 所述第四开关元件 (507) 在导通时的电流通过能力小于第三开关元件 (506) 在导通时的电流通过能力, 以使得所述第四开关元件 (507) 在其导通的时间内控制与其连接的像素电极和公共电极 (40) 之间的电压差不为零;

其中, 在 2D 显示模式下, 对应本像素单元 (50) 的所述扫描线 (10) 输入扫描信号以控制所述第一开关元件 (504)、第二开关元件 (505)、第三开关元件 (506) 以及第四开关元件 (507) 导通, 对应本像素单元 (50) 的所述第一数据线 (20) 通过所述第一开关元件 (504) 输入第一数据信号至所述第一像素电极 (501), 对应本像素单元 (50) 的所述第二数据线 (30) 分别通过所述第二开关元件 (505) 和第三开关元件 (506) 输入第二数据信号至所述第二像素电极 (502) 和第三像素电极 (503), 以使得所述第一像素电极 (501)、第二像素电极 (502) 以及第三像素电极 (503) 显示对应 2D 画面的图像, 并且在所述第四开关元件 (507) 导通的作用下所述第二像素电极 (502) 和第三像素电极 (503) 之间存在不为零的预设电压差;

在 3D 显示模式下, 对应本像素单元 (50) 的所述扫描线 (10) 输入扫描信号以控制所述第一开关元件 (504)、第二开关元件 (505)、第三开关元件 (506) 以及第四开关元件 (507) 导通, 对应本像素单元 (50) 的所述第一数据线 (20) 通过所述第一开关元件 (504) 输入第三数据信号至所述第一像素电极 (501), 以使得所述第一像素电极 (501) 显示黑画面, 对应本像素单元 (50) 的所述第二数据线 (30) 分别通过所述第二开关元件 (505) 和第三开关元件 (506) 输入第四数据信号至所述第二像素电极 (502) 和第三像素电极 (503), 以使得所述第二像素电极 (502) 和第三像素电极 (503) 显示对应 3D 画面的图像, 并且在所述第四开关元件 (507) 导通的作用下所述第二像素电极 (502) 和第三像素电极 (503) 之间存在不为零的预设电压差。

5. 根据权利要求 4 所述的装置, 其特征在于,

所述第一开关元件 (504)、第二开关元件 (505)、第三开关元件 (506) 以及第四开关元件 (507) 均为薄膜晶体管, 分别为第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管以及第四薄膜晶体管, 所述第一开关元件 (504)、第二开关元件 (505)、第三开关元件 (506) 的控制端对应为薄膜晶体管的栅极, 所述第一开关元件 (504)、第二开关元件 (505)、第三开关元件 (506) 的输入端对应为薄膜晶体管的源极, 所述第一开关元件 (504)、第二开关元件 (505)、第三开关元件 (506) 的输出端对应为薄膜晶体管的漏极, 所述第四开关元件 (507) 的控制端对应为薄膜晶体管的栅极, 所述第四开关元件 (507) 的第一端对应为薄膜晶体管的源极, 所述第四开关元件 (507) 的第二端对应为薄膜晶体管的漏极;

所述第四薄膜晶体管的宽长比小于所述第一薄膜晶体管、所述第二薄膜晶体管、所述第三薄膜晶体管的宽长比, 以使得在所述第四薄膜晶体管导通的时间内使所述第二像素电极 (502) 与公共电极 (40) 之间的电压差不为零。

6. 根据权利要求 4 所述的装置, 其特征在于,

所述扫描线 (10)、第一开关元件 (504)、第二开关元件 (505)、第三开关元件 (506) 以及第四开关元件 (507) 均设置于所述第一像素电极 (501) 和第二像素电极 (502) 之间。

一种阵列基板及液晶显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别是涉及一种阵列基板及液晶显示装置。

背景技术

[0002] VA (Vertical Alignment,垂直对齐)型液晶显示面板具有响应速度快、对比度高等优点,是目前液晶显示面板的主流发展方向。但是,在不同的视角下,液晶分子的排列指向并不相同,使得液晶分子的有效折射率也不相同,由此会引起透射光强的变化,具体表现为斜视角下透光能力降低,斜视角方向和正视角方向所表现的颜色不一致,发生色差,因此在大视角下会观察到颜色失真。为了改善大视角下的颜色失真,在像素设计中,将一个像素分为主像素区和子像素区,每个像素区分为4个 domain (畴,指液晶分子的指向矢基本相同的微小区域),由此每个像素分为8个 domain,通过控制主像素区和子像素区的电压不相同,以使得两个像素区中的液晶分子排列不相同,进而改善大视角下的颜色失真,以达到 LCS (Low Color Shift,低色偏)的效果。

[0003] 在3D FPR (Film-type Patterned Retarder,偏光式)立体显示技术中,相邻两行像素分别对应观看者的左眼和右眼,以分别产生对应左眼的左眼图像和对应右眼的右眼图像,观看者的左右眼分别接收到相应的左眼图像和右眼图像后,通过大脑对左右眼图像进行合成以使得观看者感受到立体显示效果。而左眼图像和右眼图像容易发生串扰,会导致观看者看到重叠的影像,影响了观看效果。为了避免双眼图像信号发生串扰,在相邻两行像素之间采用 BM (Black Matrix,黑色矩阵)遮蔽的方式来阻挡发生串扰的信号,以降低双眼信号串扰。然而,采用此种方式会导致2D显示模式下的开口率大大降低,降低了2D显示模式下的显示亮度。

[0004] 上述 LCS 设计中,将一个像素分为主像素区和次像素区的技术方案能够同时解决2D显示模式下的开口率和3D显示模式下的双眼信号串扰问题,即在2D显示模式下控制主像素区和次像素区均正常显示2D图像,而在3D显示模式下使主像素区显示黑画面以等效于 BM,用于降低双眼信号串扰,使次像素区正常显示3D图像。然而,在3D显示模式下,由于主像素区显示黑画面,即在3D显示模式下只有一个次像素区正常显示3D图像,而无法达到 LCS 效果,在大视角下仍然会观察到颜色失真。

[0005] 为了解决上述问题,参阅图1和图2,现有技术中,将一个像素划分为三个子像素区 A、B、C,每个子像素区分为4个 domain。每个像素采用两条数据线和两条扫描线进行驱动。在2D显示模式下,通过 GateN_1 同时控制薄膜晶体管 1、2、3 导通,DataN_1 对子像素区 A 输入相应的数据信号,DataN_2 对子像素区 B 和子像素区 C 输入相应的数据信号,使得三个子像素区 A、B、C 正常显示2D图像,由此能够提高2D显示模式下的开口,而通过 DataN_1 和 DataN_2 能够分别对子像素区 A 和子像素区 B、子像素区 C 输入不同的数据信号以使得子像素区 A 与子像素区 B、子像素区 C 的电压不相同,之后通过 GateN_2 控制薄膜晶体管 4 导通,在电容 C1 的作用下使得子像素区 B 和子像素区 C 的电压不相同,由此使得三个子像素区 A、B、C 的电压各不相同,进而达到2D显示模式下的 LCS 效果。在3D显示模式下,通过

GateN₁ 同时控制薄膜晶体管 1、2、3 导通, DataN₁ 对子像素区 A 输入相应的数据信号以使得子像素区 A 显示黑画面, DataN₂ 对子像素区 B 和子像素区 C 输入相应的数据信号以使得子像素区 B 和子像素区 C 显示 3D 图像, 从而在相邻两行像素中, 一行像素中显示左眼图像的子像素区 B 和子像素区 C 与另一行像素中显示右眼图像的子像素区 B 和子像素区 C 之间具有显示黑画面的子像素区 A, 显示黑画面的子像素区 A 等效于 BM, 从而能够降低 3D 双眼信号串扰。之后, 通过 GateN₂ 控制薄膜晶体管 4 导通, 在在电容 C1 的作用下使得子像素区 B 和子像素区 C 的电压不相同, 由此实现 3D 显示模式下的 LCS 效果。

[0006] 通过上述技术方案, 能够解决 2D 显示模式下的开口率和 3D 显示模式下的双眼信号串扰问题, 同时也能够在 2D 显示模式下和 3D 显示模式下实现 LCS 效果。然而, 上述技术方案中, 每个像素需要两条扫描线驱动, 相应会增加扫描驱动器的使用量, 不利于成本降低, 且也会在一定程度上降低开口率。

发明内容

[0007] 本发明主要解决的技术问题是提供一种阵列基板及液晶显示装置, 能够提高开口率, 减小大视角下的颜色差异, 降低 3D 双眼信号串扰, 同时能够减少扫描驱动器的使用量, 有利于降低成本。

[0008] 为解决上述技术问题, 本发明采用的一个技术方案是: 提供一种阵列基板, 包括多条扫描线、多条第一数据线、多条第二数据线、公共电极以及多个行列排列的像素单元, 每个像素单元对应一条扫描线、一条第一数据线以及一条第二数据线; 每个像素单元包括沿列方向依次排列的第一像素电极、第二像素电极、第三像素电极, 以及分别作用于第一像素电极、第二像素电极以及第三像素电极的第一开关元件、第二开关元件以及第三开关元件, 每个像素单元还包括第四开关元件, 第一开关元件、第二开关元件以及第三开关元件均包括控制端、输入端以及输出端, 第四开关元件包括控制端、第一端以及第二端; 在每个像素单元中, 第一开关元件的控制端、第二开关元件的控制端以及第三开关元件的控制端均与对应本像素单元的扫描线连接, 第一开关元件的输入端与对应本像素单元的第一数据线连接, 第一开关元件的输出端与第一像素电极连接, 第二开关元件的输入端和第三开关元件的输入端均与对应本像素单元的第二数据线连接, 第二开关元件的输出端与第二像素电极连接, 第三开关元件的输出端与第三像素电极连接; 第四开关元件的控制端与对应本像素单元的扫描线连接, 第四开关元件的第一端与第二像素电极、第三像素电极中的任一个连接, 第四开关元件的第二端与公共电极连接, 第四开关元件在其导通的时间内控制与其连接的像素电极和公共电极之间的电压差不为零; 其中, 在 2D 显示模式下, 对应本像素单元的扫描线输入扫描信号以控制第一开关元件、第二开关元件、第三开关元件以及第四开关元件导通, 对应本像素单元的第一数据线通过第一开关元件输入第一数据信号至第一像素电极, 对应本像素单元的第二数据线分别通过第二开关元件和第三开关元件输入第二数据信号至第二像素电极和第三像素电极, 以使得第一像素电极、第二像素电极以及第三像素电极显示对应 2D 画面的图像, 并且在第四开关元件导通的作用下第二像素电极和第三像素电极之间存在不为零的预设电压差; 在 3D 显示模式下, 对应本像素单元的扫描线输入扫描信号以控制第一开关元件、第二开关元件、第三开关元件以及第四开关元件导通, 对应本像素单元的第一数据线通过第一开关元件输入第三数据信号至第一像素电极, 以使得第一

像素电极显示黑画面,对应本像素单元的第二数据线分别通过第二开关元件和第三开关元件输入第四数据信号至第二像素电极和第三像素电极,以使得第二像素电极和第三像素电极显示对应 3D 画面的图像,并且在第四开关元件导通的作用下第二像素电极和第三像素电极之间存在不为零的预设电压差。

[0009] 其中,第四开关元件在导通时的电流通过能力小于第三开关元件在导通时的电流通过能力,以使得第四开关元件在其导通的时间内控制与其连接的像素电极和公共电极之间的电压差不为零。

[0010] 其中,第一开关元件、第二开关元件、第三开关元件以及第四开关元件均为薄膜晶体管,分别为第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管以及第四薄膜晶体管,第一开关元件、第二开关元件、第三开关元件的控制端对应为薄膜晶体管的栅极,第一开关元件、第二开关元件、第三开关元件的输入端对应为薄膜晶体管的源极,第一开关元件、第二开关元件、第三开关元件的输出端对应为薄膜晶体管的漏极,第四开关元件的控制端对应为薄膜晶体管的栅极,第四开关元件的第一端对应为薄膜晶体管的源极,第四开关元件的第二端对应为薄膜晶体管的漏极;第四薄膜晶体管的宽长比小于第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管的宽长比,以使得在第四薄膜晶体管导通的时间内使第二像素电极与公共电极之间的电压差不为零。

[0011] 其中,扫描线、第一开关元件、第二开关元件、第三开关元件以及第四开关元件均设置于第一像素电极和第二像素电极之间。

[0012] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种液晶显示装置,包括液晶显示面板以及用于驱动液晶显示面板显示的数据驱动器和扫描驱动器,液晶显示面板包括阵列基板、彩色滤光基板以及位于阵列基板和彩色滤光基板之间的液晶层;阵列基板多条扫描线、多条第一数据线、多条第二数据线、公共电极以及多个行列排列的像素单元,每个像素单元对应一条扫描线、一条第一数据线以及一条第二数据线;每个像素单元包括沿列方向依次排列的第一像素电极、第二像素电极、第三像素电极,以及分别作用于第一像素电极、第二像素电极以及第三像素电极的第一开关元件、第二开关元件以及第三开关元件,每个像素单元还包括第四开关元件,第一开关元件、第二开关元件以及第三开关元件均包括控制端、输入端以及输出端,第四开关元件包括控制端、第一端以及第二端;在每个像素单元中,第一开关元件的控制端、第二开关元件的控制端以及第三开关元件的控制端均与对应本像素单元的扫描线连接,第一开关元件的输入端与对应本像素单元的第一数据线连接,第一开关元件的输出端与第一像素电极连接,第二开关元件的输入端和第三开关元件的输入端均与对应本像素单元的第二数据线连接,第二开关元件的输出端与第二像素电极连接,第三开关元件的输出端与第三像素电极连接;第四开关元件的控制端与对应本像素单元的扫描线连接,第四开关元件的第一端与第二像素电极、第三像素电极中的任一个连接,第四开关元件的第二端与公共电极连接,第四开关元件在其导通的时间内控制与其连接的像素电极和公共电极之间的电压差不为零;其中,在 2D 显示模式下,对应本像素单元的扫描线输入扫描信号以控制第一开关元件、第二开关元件、第三开关元件以及第四开关元件导通,对应本像素单元的第一数据线通过第一开关元件输入第一数据信号至第一像素电极,对应本像素单元的第二数据线分别通过第二开关元件和第三开关元件输入第二数据信号至第二像素电极和第三像素电极,以使得第一像素电极、第二像素电极以及第三

像素电极显示对应 2D 画面的图像,并且在第四开关元件导通的作用下第二像素电极和第三像素电极之间存在不为零的预设电压差;在 3D 显示模式下,对应本像素单元的扫描线输入扫描信号以控制第一开关元件、第二开关元件、第三开关元件以及第四开关元件导通,对应本像素单元的第一数据线通过第一开关元件输入第三数据信号至第一像素电极,以使得第一像素电极显示黑画面,对应本像素单元的第二数据线分别通过第二开关元件和第三开关元件输入第四数据信号至第二像素电极和第三像素电极,以使得第二像素电极和第三像素电极显示对应 3D 画面的图像,并且在第四开关元件导通的作用下第二像素电极和第三像素电极之间存在不为零的预设电压差。

[0013] 其中,第四开关元件在导通时的电流通过能力小于第三开关元件在导通时的电流通过能力,以使得第四开关元件在其导通的时间内控制与其连接的像素电极和公共电极之间的电压差不为零。

[0014] 其中,第一开关元件、第二开关元件、第三开关元件以及第四开关元件均为薄膜晶体管,分别为第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管以及第四薄膜晶体管,第一开关元件、第二开关元件、第三开关元件的控制端对应为薄膜晶体管的栅极,第一开关元件、第二开关元件、第三开关元件的输入端对应为薄膜晶体管的源极,第一开关元件、第二开关元件、第三开关元件的输出端对应为薄膜晶体管的漏极,第四开关元件的控制端对应为薄膜晶体管的栅极,第四开关元件的第一端对应为薄膜晶体管的源极,第四开关元件的第二端对应为薄膜晶体管的漏极;第四薄膜晶体管的宽长比小于第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管的宽长比,以使得在第四薄膜晶体管导通的时间内使第二像素电极与公共电极之间的电压差不为零。

[0015] 其中,扫描线、第一开关元件、第二开关元件、第三开关元件以及第四开关元件均设置于第一像素电极和第二像素电极之间。

[0016] 本发明的有益效果是:区别于现有技术的情况,本发明的阵列基板中,每个像素单元对应一条扫描线、一条第一数据线以及一条第二数据线,每个像素单元包括沿列方向依次排列的第一像素电极、第二像素电极以及第三像素电极,第一数据线通过第一开关元件驱动第一像素电极显示,第二数据线分别通过第二开关元件和第三开关元件驱动第二像素电极和第三像素电极显示,第四开关元件的第一端与第二或第三像素电极连接,第二端与公共电极连接。在 2D 显示模式下,控制第一至第四开关元件导通,此时与第四开关元件连接的像素电极与公共电极电性连接,通过第一数据线和第二数据线输入相应的第一数据信号和第二数据信号以使得第一至第三像素电极显示对应 2D 画面的图像,从而能够提高 2D 显示模式下的开口率,并且在第四开关元件导通的作用下第二像素电极和第三像素电极之间存在不为零的预设电压差,能够减小 2D 显示模式下的大视角颜色差异,提高画面显示质量。在 3D 显示模式下,控制第一至第四开关元件导通,此时与第四开关元件连接的像素电极与公共电极电性连接,通过第一数据线对第一像素电极输入相应的第三数据信号以使得第一像素电极显示黑画面,通过第二数据线对第二像素电极和第三像素电极输入相应的第四数据信号以使得第二和第三像素电极显示对应 3D 画面的图像,由此通过显示黑画面的第一像素电极的作用,能够降低 3D 双眼信号串扰,而在第四开关元件导通的作用下使得第二像素电极和第三像素电极之间存在预设电压差,由此能够减小 3D 显示模式下的大视角颜色差异,减小色彩失真。此外,本发明的阵列基板,每个像素单元只需一条扫描线、一条第

一数据线和第二数据线驱动,能够减少扫描线的使用量,也能够在一定程度上提高开口率,同时能够减少扫描驱动器的使用量,有利于降低成本。

附图说明

- [0017] 图 1 是现有技术中一种阵列基板的像素结构示意图;
- [0018] 图 2 是图 1 中的像素结构的等效电路图;
- [0019] 图 3 是本发明阵列基板一实施方式的结构示意图;
- [0020] 图 4 是图 3 中的阵列基板的像素单元一实施方式的结构示意图;
- [0021] 图 5 是图 4 中的像素单元的等效电路图;
- [0022] 图 6 是图 4 中的像素单元在 3D 显示模式下的显示效果图;
- [0023] 图 7 是本发明液晶显示装置一实施方式的结构示意图;
- [0024] 图 8 是图 7 的液晶显示装置中液晶显示面板的结构示意图。

具体实施方式

[0025] 下面将结合附图和实施方式对本发明进行详细说明。

[0026] 参阅图 3,本发明阵列基板的一实施方式中,阵列基板包括多条扫描线 10、多条第一数据线 20、多条第二数据线 30、公共电极 40 以及多个行列排列的像素单元 50。每个像素单元 50 对应一条扫描线 10、一条第一数据线 20 以及一条第二数据线 30。通过本实施方式的阵列基板,能够提高开口率,减小大视角下的颜色差异,降低 3D 双眼信号串扰,同时能够减少扫描驱动器的使用量,有利于降低成本。

[0027] 具体地,参阅图 4 和图 5,以一个像素单元为例进行说明,在像素单元 50 中,像素单元 50 包括沿列方向依次排列的第一像素电极 501、第二像素电极 502、第三像素电极 503,以及分别作用于第一像素电极 501、第二像素电极 502 以及第三像素电极 503 的第一开关元件 504、第二开关元件 505 以及第三开关元件 506。此外,像素单元 50 还包括第四开关元件 507。扫描线 10、第一开关元件 504、第二开关元件 505、第三开关元件 506 以及第四开关元件 507 均设置于第一像素电极 501 和第二像素电极 502 之间。第一开关元件 504、第二开关元件 505 以及第三开关元件 506 均包括控制端、输入端以及输出端,所述第四开关元件包括控制端、第一端以及第二端。

[0028] 其中,第一开关元件 504 的控制端 5041、第二开关元件 505 的控制端 5051、第三开关元件 506 的控制端 5061 以及第四开关元件 507 的控制端 5071 均与对应本像素单元 50 的扫描线 10 连接。第一开关元件 504 的输入端 5042 与对应本像素单元 50 的第一数据线 20 连接,第一开关元件 504 的输出端 5043 与第一像素电极 501 连接。第二开关元件 505 的输入端 5052 和第三开关元件 506 的输入端 5062 均与第二数据线 30 连接,第二开关元件 505 的输出端 5053 与第二像素电极 502 连接,第三开关元件 506 的输出端 5063 与第三像素电极 503 连接。第四开关元件 507 的第一端 5072 与第二像素电极 502 连接,第四开关元件 507 的第二端 5073 与公共电极 40 连接。扫描线 10 用于输入扫描信号以控制四个开关元件 504、505、506 以及 507 导通,第一数据线 20 用于通过第一开关元件 504 对第一像素电极 501 输入数据信号,第二数据线 30 用于分别通过第二开关元件 505、第三开关元件 506 对第二像素电极 502、第三像素电极 503 输入数据信号。

[0029] 在液晶显示技术中,液晶显示面板实现显示的原理是通过使阵列基板中的像素电极和彩色滤光基板中的公共电极之间存在一定的电压差,从而使液晶显示面板能够显示相应图像画面。通常彩色滤光基板中的公共电极的电压是固定不变的,而像素电极的电压则依照灰阶的不同而不断变化,以使得像素电极和彩色滤光基板的公共电极之间的压差不停变化,以实现灰阶变化,达到显示的目的。而彩色滤光基板中的公共电极和阵列基板中的公共电极 40 所输入的电压信号相同,因此,第一至第三像素电极 501、502、503 分别与公共电极 40 之间的电压差也是不停变化。

[0030] 在 2D 显示模式下,对公共电极 40 输入固定不变的公共电压。公共电压通常取 7V,第一至第三像素电极 501、502、503 上的电压则在 0 到 14V 之间变化。而在一个扫描帧里,扫描线 10 输入扫描信号以控制第一开关元件 504、第二开关元件 505、第三开关元件 506 以及第四开关元件 507 导通。第一数据线 20 通过第一开关元件 504 输入第一数据信号至第一像素电极 501 中,第二数据线 30 分别通过第二开关元件 505 和第三开关元件 506 输入第二数据信号至第二像素电极 502 和第三像素电极 503 中,使公共电极 40 的公共电压与第一像素电极 501、第二像素电极 502 以及第三像素电极 503 的电压均不相同,以使得第一像素电极 501、第二像素电极 502 以及第三像素电极 503 均正常显示对应 2D 画面的图像,由此能够提高 2D 显示模式下的开口率。

[0031] 在本实施方式中,使第一数据线 20 所输入的第一数据信号和第二数据线 30 所输入的第二数据信号不相同,从而使得第一像素电极 501 的电压与第二像素电极 502、第三像素电极 503 的电压不相同,在没有第四开关元件 504 的作用时,第二像素电极 502 和第三像素电极 503 都是由第二数据线 30 同时输入第二数据信号,两者电压相同。而本实施方式中,通过第四开关元件 507 的导通作用,使得第二像素电极 502 的电压和第三像素电极 503 的电压也不相同。具体地,第四开关元件 507 导通时,使得第二像素电极 502 与公共电极 40 电性连接。在第二像素电极 502 和公共电极 40 电性连接时,第二像素电极 502 的电压会逐渐趋向于公共电极 40 的电压,当第二像素电极 502 的电压大于公共电极 40 的电压,第二像素电极 502 的部分电荷会转移至公共电极 40 中而使得第二像素电极 502 的电压逐渐减小,从而使第二像素电极 502 的电压低于第三像素电极 503 的电压,使得第二像素电极 502 和第三像素电极 503 之间存在不为零的预设电压差。当第二像素电极 502 的电压低于公共电极 40 的电压时,公共电极 40 的部分电荷会转移至第二像素电极 502 中而使得第二像素电极 502 的电压逐渐增大,从而使得第二像素电极 502 的电压高于第三像素电极 503 的电压,同样能够使得第二像素电极 502 和第三像素电极 503 之间存在不为零的预设电压差。在上述过程中,公共电极 40 的电压保持固定不变。此外,为了使第二像素电极 502 能够正常显示对应 2D 画面的图像,第四开关元件 507 控制在其导通的时间内第二像素电极 502 和公共电极 40 之间的电压差不为零,即第四开关元件 507 导通时,通过第四开关元件 507 的控制作用,使得第二像素电极 502 的电压在第四开关元件 507 导通的时间内不会减小或增大至公共电极 40 的电压,两者之间的电压差不为零。进一步地,第四开关元件 507 在导通时的电流通过能力小于第三开关元件 506 在导通时的电流能力,从而当第四开关元件 507 和第三开关元件 506 同时导通时,第二数据线 30 对第二像素电极 502 的充电速度快于第二像素电极 502 和公共电极 40 之间的电荷转移速度,以使得第四开关元件 507 在其导通的时间内控制第二像素电极 502 和公共电极 40 之间的电压差不为零,并且使得第二像素电极 502 和

第三像素电极 503 之间的电压不相同。

[0032] 举例而言,公共电极 40 所输入的公共电压固定不变为 7V,第二数据线 30 对第二像素电极 502 和第三像素电极 503 输入 9V 的第二数据信号,第二像素电极 502 的电压高于公共电极 40 的电压。在第四开关元件 507 导通时,第二像素电极 502 的部分电荷会转移至公共电极 40 中,而通过第四开关元件 507 的控制作用使电荷转移的速度较慢,从而在第四开关元件 507 的导通时间内使得第二像素电极 502 的电压由 9V 变为 8V,而公共电极 40 仍然维持 7V 的电压,该部分电荷通过公共电极 40 释放掉,第二像素电极 502 和公共电极 40 之间仍然维持不为零的电压差,以保证第二像素电极 502 能够正常显示对应 2D 画面的图像。而第二像素电极 502 的电压变小,而第三像素电极 503 仍然为 9V 的电压,使得第二像素电极 502 的电压小于第三像素电极 503 的电压,两者之间存在不为零的预设电压差。

[0033] 通过上述方式,使得第一像素电极 501、第二像素电极 502 以及第三像素电极 503 中,任意两个像素电极的电压均不相同,进而使得在应用本实施方式的阵列基板的液晶显示面板中,对应于第一像素电极 501 的液晶分子的排列方向、对应于第二像素电极 502 的液晶分子的排列方向以及对应于第三像素电极 503 的液晶分子的排列方向均不相同,由此能够减小 2D 显示模式下在大视角观看时所观察到的颜色差异,减小色彩失真。

[0034] 在其他实施方式中,也可以使第一数据线所输入的第一数据信号和第二数据线所输入的第二数据信号相同,从而使得第一像素电极与第三像素电极的电压相同,而在第四开关元件的导通作用下,使得第二像素电极和第三像素电极之间存在不为零的预设电压差,即两者电压不相同,也能够一定程度上减小 2D 显示模式下的大视角颜色差异。

[0035] 在 3D 显示模式下,结合图 6 进行说明,对公共电极 40 输入固定不变的公共电压,扫描线 10 输入扫描信号以控制第一开关元件 504、第二开关元件 505、第三开关元件 506 以及第四开关元件 507 导通。第一数据线 20 通过第一开关元件 504 输入第三数据信号至第一像素电极 501 中,以使得第一像素电极 501 显示黑画面,第二数据线 30 分别通过第二开关元件 505 和第三开关元件 506 输入第四数据信号至第二像素电极 502 和第三像素电极 503 中,以使得第二像素电极 502 和第三像素电极 503 显示对应 3D 画面的图像。由于第一像素电极 501、第二像素电极 502 以及第三像素电极 503 沿列方向排列,而第一像素电极 501 显示黑画面,其作用等效于 BM,因此使得显示对应 3D 画面的图像的第二像素电极 502 和相邻上一像素单元中显示 3D 画面的图像的第三像素单元之间存在 BM。而在 3D 显示模式下,相邻两行像素单元分别对应显示左眼图像和右眼图像,因此通过显示黑画面的第一像素电极 501 的作用,能够有效遮挡左眼图像和右眼图像的串扰,从而能降低 3D 双眼信号串扰。

[0036] 此外,在第四开关元件 507 导通的作用下,由于第二像素电极 502 与公共电极 40 电性连接,会导致第二像素电极 502 的电压发生变化而与第三像素电极 503 的电压不相同,使得第二像素电极 502 和第三像素电极 503 之间存在不为零的预设电压差,即第二像素电极 502 和第三像素电极 503 的电压不相同,进而使得在应用本实施方式的阵列基板的液晶显示面板中,对应于第二像素电极 502 的液晶分子的排列方向以及对应于第三像素电极 503 的液晶分子的排列方向不相同,由此能够减小 3D 显示模式下在大视角观看时所观察到的颜色差异,减小色彩失真。此外,在第四开关元件 507 的控制作用下,在其导通的时间内使第二像素电极 502 和公共电极 40 之间的电压差不为零,从而保证第二像素电极 502 能够正常显示对应 3D 画面的图像。

[0037] 因此,通过本实施方式的阵列基板,能够提高 2D 显示模式下的开口率,能减小 3D 显示模式下的双眼信号串扰,同时能够减小两种显示模式下的大视角下颜色差异,并且,本实施方式的像素单元 50 只需一条扫描线 10、一条第一数据线 20 以及一条第二数据线 30 驱动,能够减少扫描线的数量,进一步提高开口率,同时有利于降低成本。

[0038] 本实施方式的第一开关元件 504、第二开关元件 505、第三开关元件 506 以及第四开关元件 507 均为薄膜晶体管分别对应为第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管以及第四薄膜晶体管。其中,第一开关元件 504、第二开关元件 505、第三开关元件 506 的控制端对应为薄膜晶体管的栅极,第一开关元件 504、第二开关元件 505、第三开关元件 506 的输入端对应为薄膜晶体管的源极,第一开关元件 504、第二开关元件 505、第三开关元件 506 的输出端对应为薄膜晶体管的漏极,第四开关元件 507 的控制端对应为薄膜晶体管的栅极,第四开关元件 507 的第一端对应为薄膜晶体管的源极,第四开关元件 507 的第二端对应为薄膜晶体管的漏极。此外,第四薄膜晶体管的宽长比(指薄膜晶体管的宽度与长度的比值)小于其他三个薄膜晶体管的宽长比,以使得在第四薄膜晶体管导通的时间内,控制第二像素电极和公共电极之间的电荷转移的速度小于第一数据线 20 和第二数据线 30 分别对第一至第三像素电极 501、502、503 的充电速度,以使得第二像素电极 502 和公共电极 40 之间的电压差不为零。

[0039] 在其他的实施方式中,第一至第四开关元件也可以是三极管等其他三端式控制开关。第四开关元件的第一端也可以与第三像素电极连接,此时在第四开关元件的导通作用下,使得第三像素电极和第二像素电极之间存在不为零的预设电压差,同时通过第四开关元件的控制作用使得在其导通的时间内第三像素电极和公共电极之间的电压差不为零。

[0040] 参阅图 7 和图 8,本发明液晶显示装置的一实施方式中,液晶显示装置包括液晶显示面板 701 以及用于驱动液晶显示面板显示的扫描驱动器 702 和数据驱动器 703。其中,液晶显示面板 701 包括阵列基板 7011、彩色滤光基板 7012 以及位于阵列基板 7011 和彩色滤光基板 7012 之间的液晶层 7013。阵列基板 7011 为上述任一实施方式中的阵列基板。扫描驱动器 702 用于对阵列基板 7011 中的扫描线输入扫描信号,数据驱动器 703 用于在扫描驱动器 702 输入扫描信号后,对阵列基板 7011 中的数据线输入数据信号,以使得液晶显示面板 701 显示相应的画面。

[0041] 以上所述仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

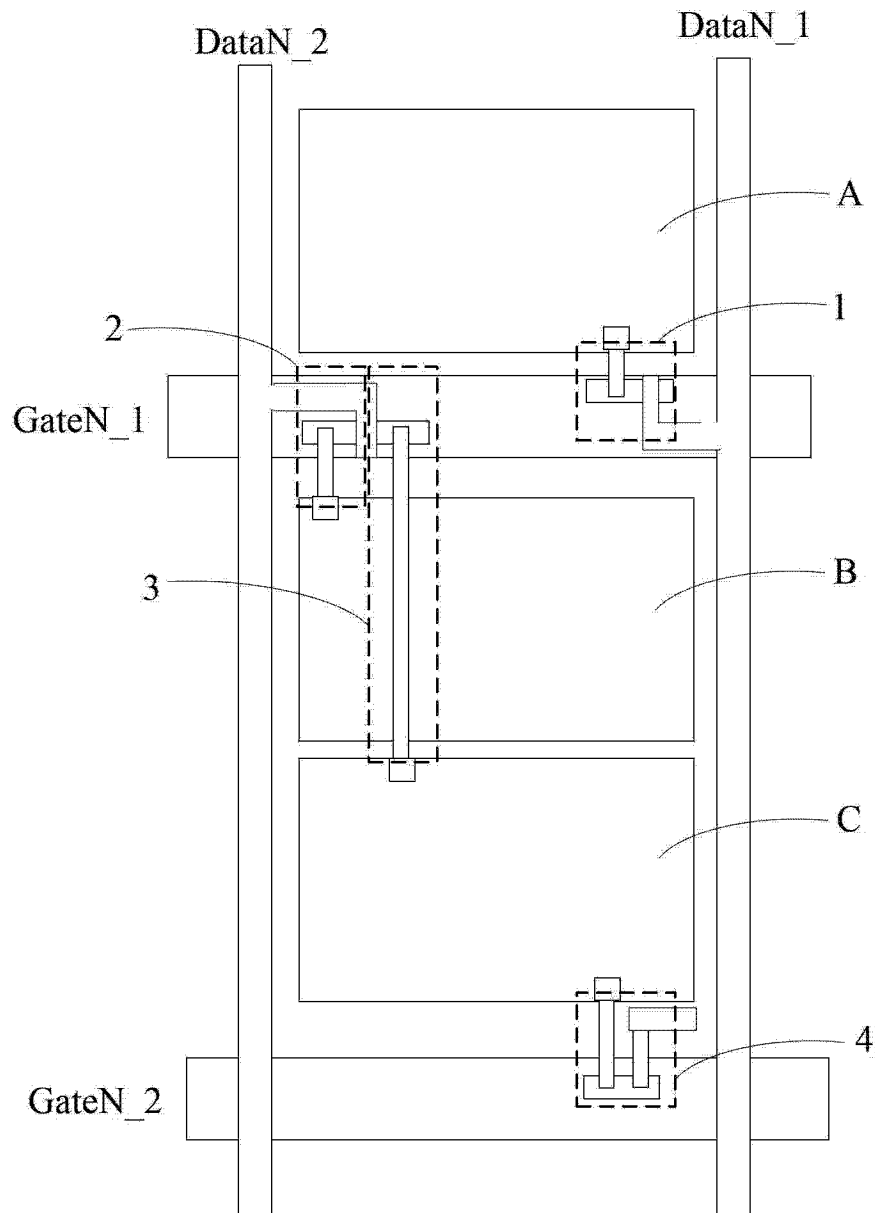


图 1

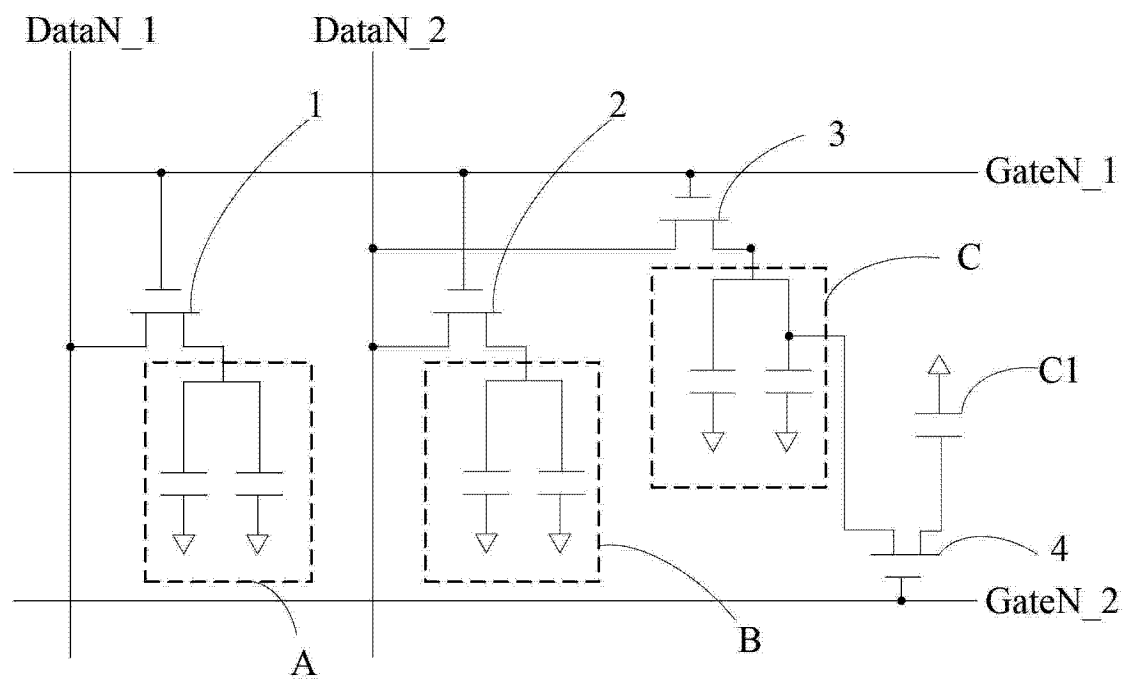


图 2

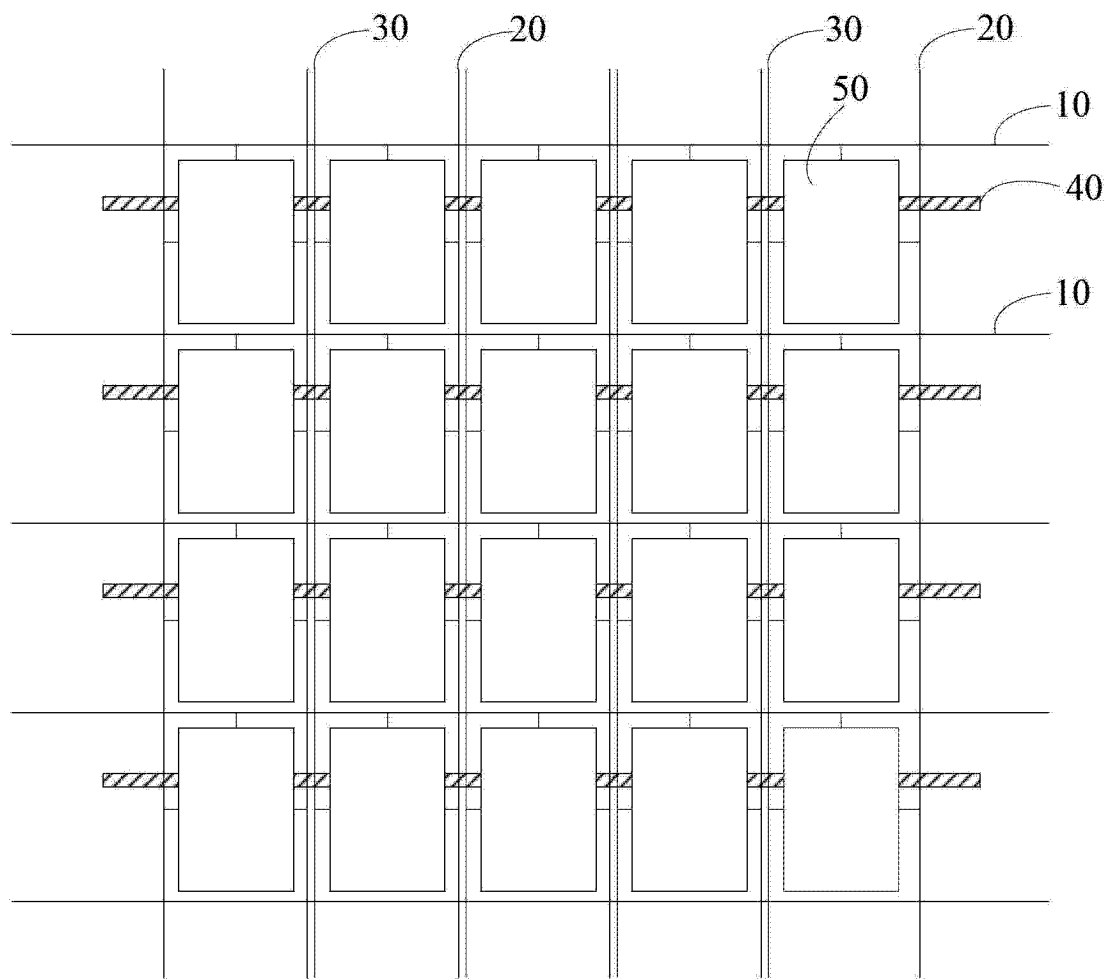


图 3

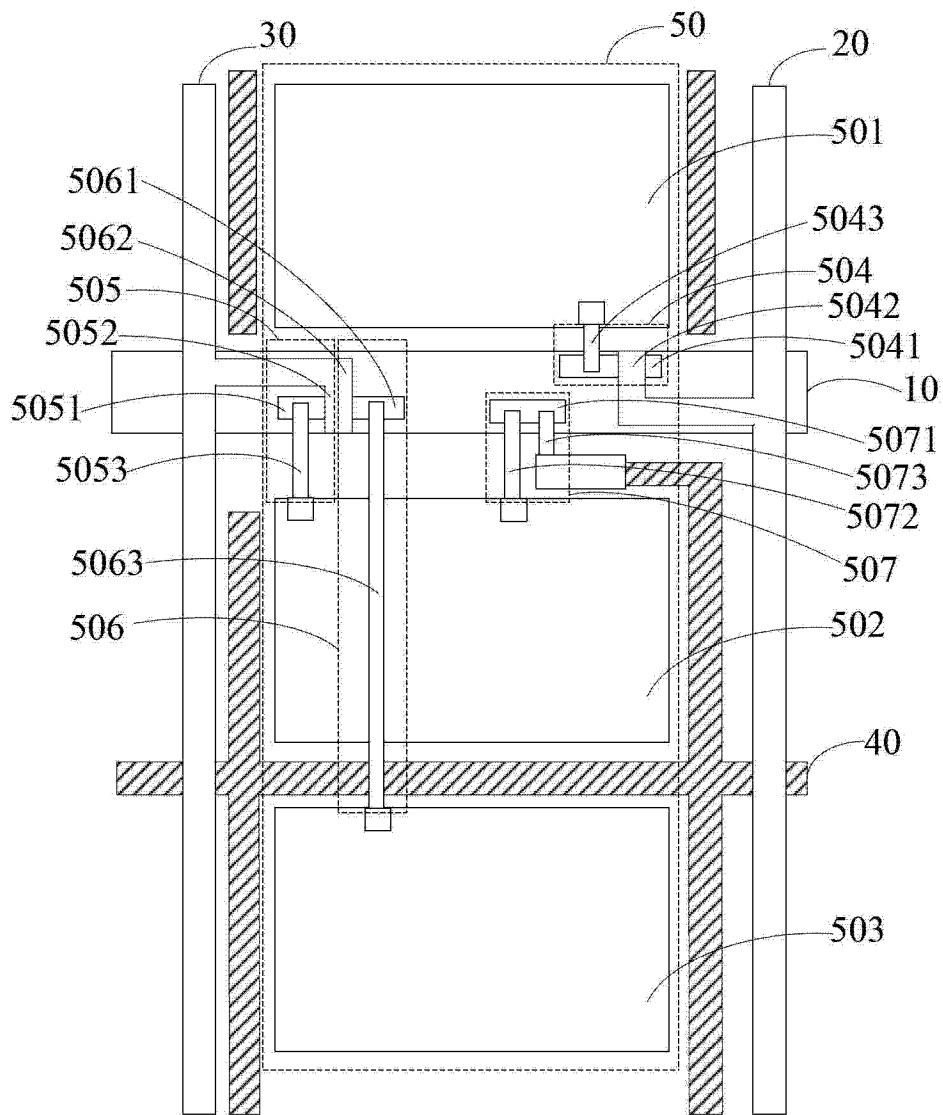


图 4

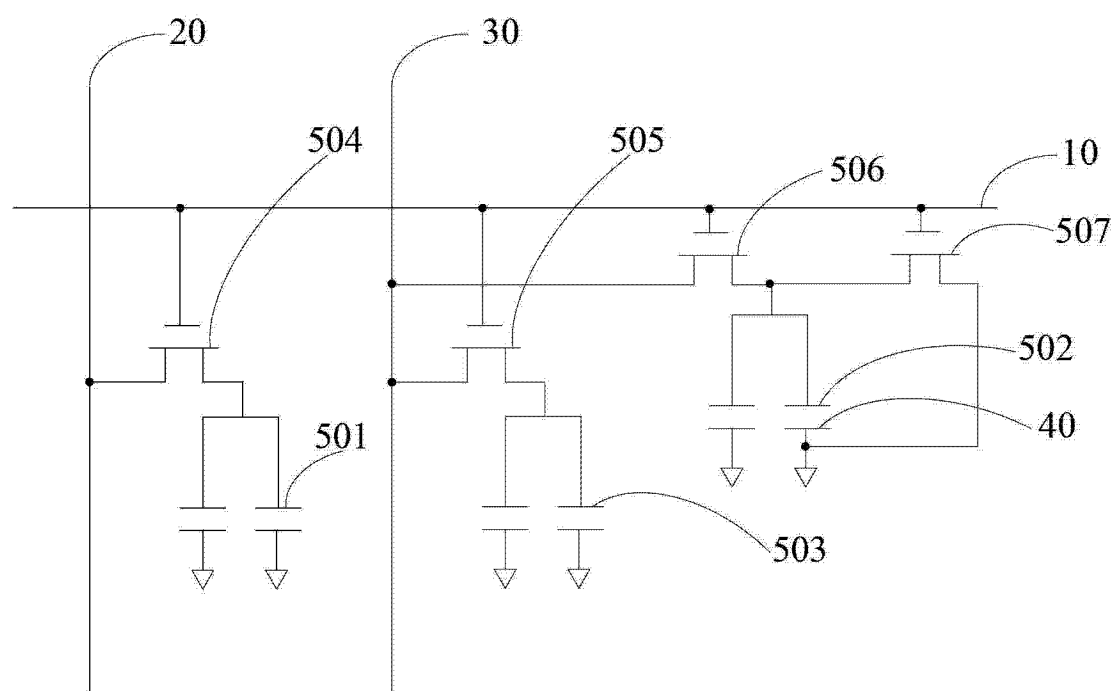


图 5

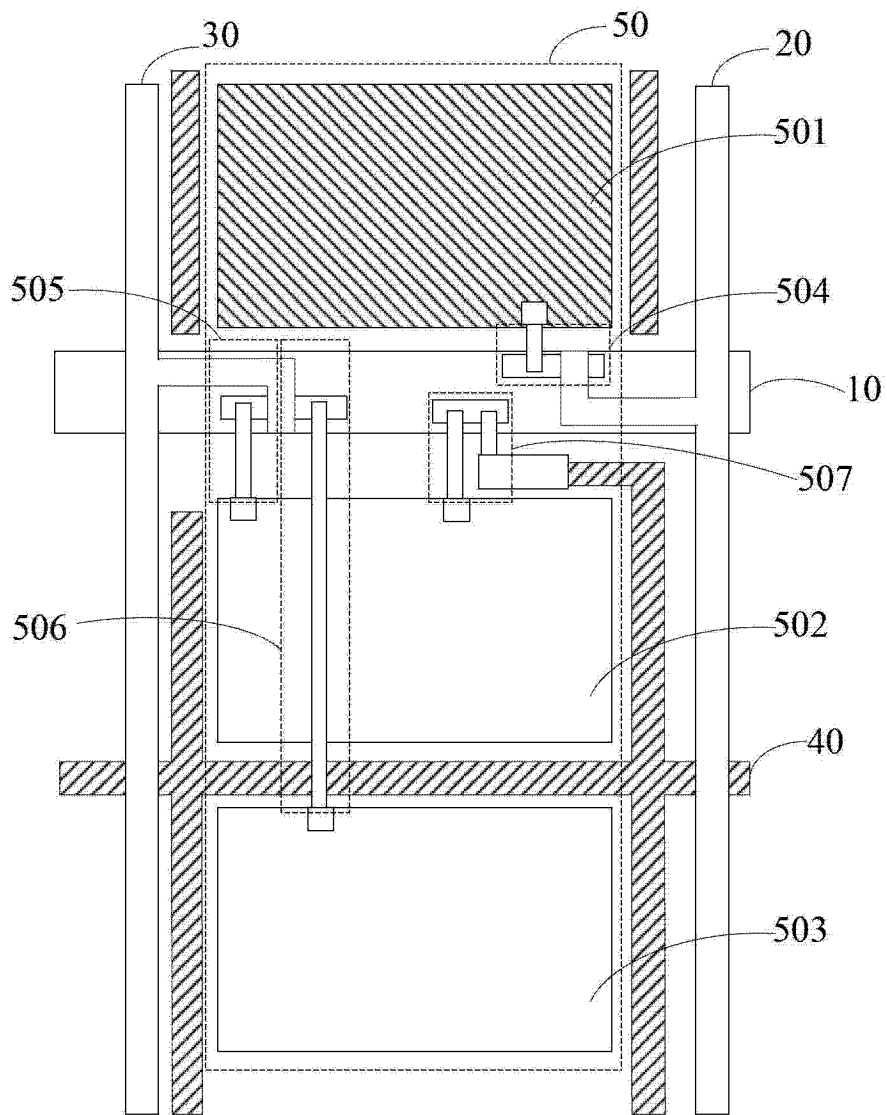


图 6

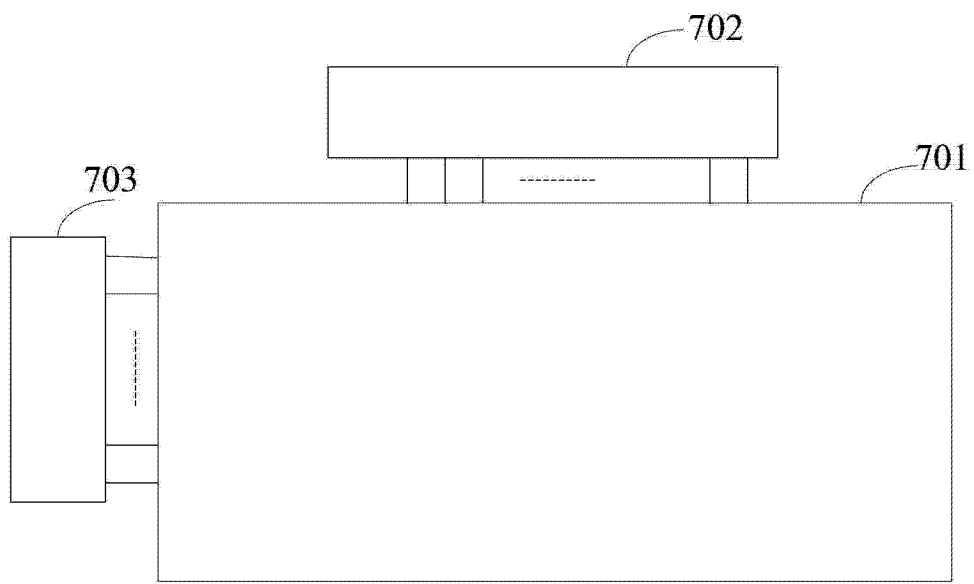


图 7

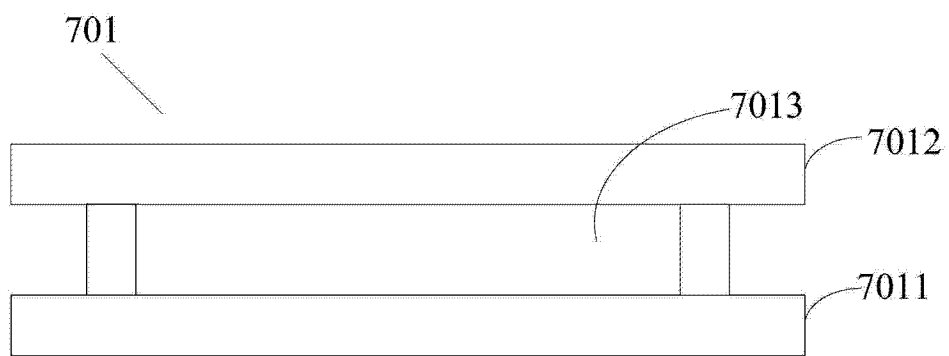


图 8

专利名称(译)	一种阵列基板及液晶显示装置		
公开(公告)号	CN103268043B	公开(公告)日	2015-08-19
申请号	CN201310198550.4	申请日	2013-05-24
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	薛景峰 许哲豪 姚晓慧		
发明人	薛景峰 许哲豪 姚晓慧		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/1368 G02F2001/134345 G09G3/3659 G02B27/22 G02F1/1343 G09G2300/0465 G09G3/3648 H01L27/124 G02F1/13624 G09G2300/0426 G02F1/1362 G02F1/13306 G09G2320/0209 G09G3/003 G02F2001/134318 G02F1/134336 G02B30/00		
审查员(译)	谭欣		
其他公开文献	CN103268043A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板及液晶显示装置，所述阵列基板中，每个像素单元包括第一至第三像素电极和第一至第四开关元件，每个像素单元对应一条扫描线、一条第一数据线以及一条第二数据线，对应本像素单元的扫描线用于控制第一至第四开关元件的导通和断开，对应本像素单元的第一数据线用于通过第一开关元件对第一像素电极输入数据信号，对应本像素单元的第二数据线用于分别通过第二开关元件和第三开关元件对第二像素电极和第三像素电极输入数据信号，第四开关元件的第一端与第二或第三像素电极连接，第四开关元件的第二端与公共电极连接。通过上述方式，本发明能够提高开口率，减小大视角下的颜色差异，降低3D双眼信号串扰，同时能够减少扫描驱动器的使用量，有利于降低成本。

