



(12) 发明专利申请

(10) 申请公布号 CN 103257495 A

(43) 申请公布日 2013.08.21

(21) 申请号 201310198527.5

H04N 13/04 (2006.01)

(22) 申请日 2013.05.24

(71) 申请人 深圳市华星光电技术有限公司

地址 518000 广东省深圳市光明新区公明办
事处塘家社区观光路汇业科技园综合
楼1 第一层B区

(72) 发明人 薛景峰 许哲豪

(74) 专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 何青瓦

(51) Int. Cl.

G02F 1/1362 (2006.01)

G02F 1/1368 (2006.01)

G09G 3/36 (2006.01)

G02B 27/22 (2006.01)

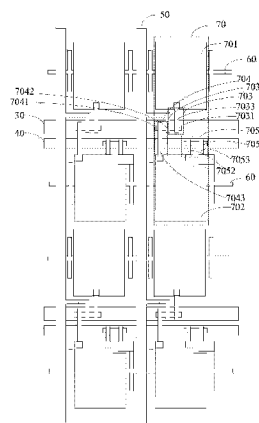
权利要求书2页 说明书6页 附图6页

(54) 发明名称

一种阵列基板及液晶显示面板

(57) 摘要

本发明公开了一种阵列基板及液晶显示面板,所述阵列基板中,每个像素单元(70)对应一条第一扫描线(30)、一条第二扫描线(40)以及一条数据线(50),通过第一扫描线(30)控制第一开关元件(703)和第二开关元件(704)导通和断开,数据线(50)分别通过第一开关元件(703)和第二开关元件(704)与第一像素电极(701)和第二像素电极(702)连接,通过第二扫描线(40)控制第三开关元件(705)的导通和断开,第三开关元件(705)的输入端与任一像素电极连接,第三开关元件(705)的输出端与公共电极(60)连接。通过上述方式,本发明能够提高2D显示模式下的开口率和减小3D显示模式下的双眼信号串扰的同时,减少数据驱动芯片所需的数量,进而降低成本。



1. 一种阵列基板,其特征在于,包括多条第一扫描线(30)、多条第二扫描线(40)、多条数据线(50)、公共电极(60)以及多个行列排列的像素单元(70),每个所述像素单元(70)对应一条第一扫描线(30)、一条第二扫描线(40)以及一条数据线(50);

每个所述像素单元(70)包括第一像素电极(701)、第二像素电极(702)、第一开关元件(703)、第二开关元件(704)以及第三开关元件(705),所述第一像素电极(701)和第二像素电极(702)沿列方向排列,每个所述开关元件均包括控制端、输入端以及输出端,所述第一开关元件(703)的控制端(7031)和第二开关元件(704)的控制端(7041)均与所述第一扫描线(30)连接,所述第一开关元件(703)的输入端(7032)和第二开关元件(704)的输入端(7042)均与所述数据线(50)连接,所述第一开关元件(703)的输出端(7033)与所述第一像素电极(701)连接,所述第二开关元件(704)的输出端(7043)与所述第二像素电极(702)连接,所述第三开关元件(705)的控制端(7051)与所述第二扫描线(40)连接,所述第三开关元件(705)的输入端(7052)连接所述第一像素电极(701)和第二像素电极(702)中的一个,所述第三开关元件(705)的输出端(7053)连接所述公共电极(60);

其中,在 2D 显示模式下,通过所述第二扫描线(40)控制第三开关元件(705)断开,对所述第一扫描线(30)输入扫描信号以驱动所述第一开关元件(703)和第二开关元件(704)导通,所述数据线(50)通过所述第一开关元件(703)和第二开关元件(704)分别对所述第一像素电极(701)和第二像素电极(702)输入数据信号,以使所述第一像素电极(701)和第二像素电极(702)均显示对应 2D 画面的图像,在 3D 显示模式下,通过所述第二扫描线(40)控制第三开关元件(705)导通,对所述第一扫描线(30)输入扫描信号以驱动所述第一开关元件(703)和第二开关元件(704)导通,所述数据线(50)通过所述第一开关元件(703)和第二开关元件(704)分别对所述第一像素电极(701)和第二像素电极(702)输入数据信号,以使得第一像素电极(701)和第二像素电极(702)中,与所述第三开关元件(705)的输入端连接的像素电极显示黑画面,另一像素电极显示对应 3D 画面的图像。

2. 根据权利要求 1 所述的阵列基板,其特征在于,

所有所述第二扫描线(40)在所述阵列基板的周边相互电性连接。

3. 根据权利要求 1 所述的阵列基板,其特征在于,

所述第一扫描线(30)、第二扫描线(40)、第一开关元件(703)、第二开关元件(704)以及第三开关元件(705)均位于所述第一像素电极(701)和第二像素电极(702)之间。

4. 根据权利要求 1 所述的阵列基板,其特征在于,

所述第一开关元件(703)、第二开关元件(704)以及第三开关元件(705)均为薄膜晶体管,分别为第一薄膜晶体管、第二薄膜晶体管以及第三薄膜晶体管,所述开关元件的控制端对应所述薄膜晶体管的栅极,所述开关元件的输入端对应所述薄膜晶体管的源极,所述开关元件的输出端对应所述薄膜晶体管的漏极。

5. 一种液晶显示面板,其特征在于,包括阵列基板(801)、彩色滤光基板(802)以及位于阵列基板(801)和彩色滤光基板(802)之间的液晶层(803);

所述阵列基板(801)包括多条第一扫描线(30)、多条第二扫描线(40)、多条数据线(50)、公共电极(60)以及多个行列排列的像素单元(70),每个所述像素单元(70)对应一条第一扫描线(30)、一条第二扫描线(40)以及一条数据线(50);

每个所述像素单元(70)包括第一像素电极(701)、第二像素电极(702)、第一开关元件

(703)、第二开关元件(704)以及第三开关元件(705),所述第一像素电极(701)和第二像素电极(702)沿列方向排列,每个所述开关元件均包括控制端、输入端以及输出端,所述第一开关元件(703)的控制端(7031)和第二开关元件(704)的控制端(7041)均与所述第一扫描线(30)连接,所述第一开关元件(703)的输入端(7032)和第二开关元件(704)的输入端(7042)均与所述数据线(50)连接,所述第一开关元件(703)的输出端(7033)与所述第一像素电极(701)连接,所述第二开关元件(704)的输出端(7043)与所述第二像素电极(702)连接,所述第三开关元件(705)的控制端(7051)与所述第二扫描线(40)连接,所述第三开关元件(705)的输入端(7052)连接所述第一像素电极(701)和第二像素电极(702)中的一个,所述第三开关元件(705)的输出端(7053)连接所述公共电极(60);

其中,在 2D 显示模式下,通过所述第二扫描线(40)控制第三开关元件(705)断开,对所述第一扫描线(30)输入扫描信号以驱动所述第一开关元件(703)和第二开关元件(704)导通,所述数据线(50)通过所述第一开关元件(703)和第二开关元件(704)分别对所述第一像素电极(701)和第二像素电极(702)输入数据信号,以使所述第一像素电极(701)和第二像素电极(702)均显示对应 2D 画面的图像,在 3D 显示模式下,通过所述第二扫描线(40)控制第三开关元件(705)导通,对所述第一扫描线(30)输入扫描信号以驱动所述第一开关元件(703)和第二开关元件(704)导通,所述数据线(50)通过所述第一开关元件(703)和第二开关元件(704)分别对所述第一像素电极(701)和第二像素电极(702)输入数据信号,以使得第一像素电极(701)和第二像素电极(702)中,与所述第三开关元件(705)的输入端连接的像素电极显示黑画面,另一像素电极显示对应 3D 画面的图像。

6. 根据权利要求 5 所述的液晶显示面板,其特征在于,

所有所述第二扫描线(40)在所述阵列基板的周边相互电性连接。

7. 根据权利要求 5 所述的液晶显示面板,其特征在于,

所述第一扫描线(30)、第二扫描线(40)、第一开关元件(703)、第二开关元件(704)以及第三开关元件(705)均位于所述第一像素电极(701)和第二像素电极(702)之间。

8. 根据权利要求 5 所述的液晶显示面板,其特征在于,

所述第一开关元件(703)、第二开关元件(704)以及第三开关元件(705)均为薄膜晶体管,分别为第一薄膜晶体管、第二薄膜晶体管以及第三薄膜晶体管,所述开关元件的控制端对应所述薄膜晶体管的栅极,所述开关元件的输入端对应所述薄膜晶体管的源极,所述开关元件的输出端对应所述薄膜晶体管的漏极。

一种阵列基板及液晶显示面板

技术领域

[0001] 本发明涉及显示技术领域,特别是涉及一种阵列基板及液晶显示面板。

背景技术

[0002] FPR 3D(Film-type Patterned Retarder 3 Dimensions,偏光式三维显示)显示面板具有色彩损失小、可视角度大和闪烁感小等优点,是目前 3D 显示器发展的主流方向。FPR 3D 显示技术主要是通过显示屏幕上增加一偏光板,以将图像信号分离为左眼图像信号和右眼图像信号分别送至观看者的左眼和右眼,使得观看者的左眼和右眼接收两组画面,再经过大脑合成立体影像,进而获得立体显示观看效果。

[0003] FPR 3D 显示技术中,显示面板的相邻两行像素分别对应观看者的左眼和右眼,以分别产生左眼图像信号和右眼图像信号。在 3D 显示模式下,当观看者处于较大视角观看时,容易出现左右眼图像相互串扰的现象,即本应该送到右眼的图像被左眼看到了,造成 3D 影像重叠,影响立体显示效果。为了防止左右眼接收到的信号相互串扰,如图 1 所示,相邻两行像素间采取 BM (Black Matrix,黑矩阵)遮蔽的方式降低串扰。在左眼像素 101 和右眼像素 102 之间增加 BM 区域 103,用以阻挡串扰信号,从而能够降低 3D 显示模式下的双眼信号串扰。但是,由于增加了 BM 区域 103,在 2D 显示模式下该区域不能显示,大大降低了 2D 显示模式下的开口率,导致 2D 显示模式下的亮度大大降低。

[0004] 现有技术中,通常是采用 1G2D 的方式解决上述问题。参阅图 2 和图 3,1G2D 的技术方案中,将一个像素划分为像素区一 201 和像素区二 202,像素区一 201 使用数据线 Data_N1 驱动,像素区二 202 使用数据线 Data_N2 驱动。在 2D 显示模式下对两条数据线 Data_N1 和 Data_N2 均输入相应的数据信号以使得像素区一 201 和像素区二 202 都正常显示,由此能够提高 2D 显示的开口率,在 3D 显示模式下通过数据线 Data_N2 控制像素区一显示黑画面以达到 BM 的效果,以遮蔽串扰信号,由此使得两个像素间存在黑色矩阵,解决了 3D 串扰问题。

[0005] 但是,采用上述方案,每个像素需要两条数据线驱动,增加多了一条数据线,使得数据驱动芯片的数量也相应增加,不利于成本降低,其次,增加的数据线也会导致开口率降低。

发明内容

[0006] 本发明主要解决的技术问题是提供一种阵列基板及液晶显示面板,能够提高 2D 显示模式下的开口率和减小 3D 显示模式下的双眼信号串扰的同时,减少数据驱动芯片所需的数量,进而降低成本。

[0007] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种阵列基板,包括多条第一扫描线(30)、多条第二扫描线(40)、多条数据线(50)、公共电极(60)以及多个行列排列的像素单元(70),每个像素单元(70)对应一条第一扫描线(30)、一条第二扫描线(40)以及一条数据线(50);每个像素单元(70)包括第一像素电极(701)、第二像素电极(702)、

第一开关元件(703)、第二开关元件(704)以及第三开关元件(705),第一像素电极(701)和第二像素电极(702)沿列方向排列,每个开关元件均包括控制端、输入端以及输出端,第一开关元件(703)的控制端(7031)和第二开关元件(704)的控制端(7041)均与第一扫描线(30)连接,第一开关元件(703)的输入端(7032)和第二开关元件(704)的输入端(7042)均与数据线(50)连接,第一开关元件(703)的输出端(7033)与第一像素电极(701)连接,第二开关元件(704)的输出端(7043)与第二像素电极(702)连接,第三开关元件(705)的控制端(7051)与第二扫描线(40)连接,第三开关元件(705)的输入端(7052)连接第一像素电极(701)和第二像素电极(702)中的一个,第三开关元件(705)的输出端(7053)连接公共电极(60);其中,在 2D 显示模式下,通过第二扫描线(40)控制第三开关元件(705)断开,对第一扫描线(30)输入扫描信号以驱动第一开关元件(703)和第二开关元件(704)导通,数据线(50)通过第一开关元件(703)和第二开关元件(704)分别对第一像素电极(701)和第二像素电极(702)输入数据信号,以使第一像素电极(701)和第二像素电极(702)均显示对应 2D 画面的图像,在 3D 显示模式下,通过第二扫描线(40)控制第三开关元件(705)导通,对第一扫描线(30)输入扫描信号以驱动第一开关元件(703)和第二开关元件(704)导通,数据线(50)通过第一开关元件(703)和第二开关元件(704)分别对第一像素电极(701)和第二像素电极(702)输入数据信号,以使得第一像素电极(701)和第二像素电极(702)中,与第三开关元件(705)的输入端连接的像素电极显示黑画面,另一像素电极显示对应 3D 画面的图像。

[0008] 其中,所有第二扫描线(40)在阵列基板的周边相互电性连接。

[0009] 其中,第一扫描线(30)、第二扫描线(40)、第一开关元件(703)、第二开关元件(704)以及第三开关元件(705)均位于第一像素电极(701)和第二像素电极(702)之间。

[0010] 其中,第一开关元件(703)、第二开关元件(704)以及第三开关元件(705)均为薄膜晶体管,分别为第一薄膜晶体管、第二薄膜晶体管以及第三薄膜晶体管,开关元件的控制端对应薄膜晶体管的栅极,开关元件的输入端对应薄膜晶体管的源极,开关元件的输出端对应薄膜晶体管的漏极。

[0011] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种液晶显示面板,包括阵列基板(801)、彩色滤光基板(802)以及位于阵列基板(801)和彩色滤光基板(802)之间的液晶层(803);阵列基板(801)包括多条第一扫描线(30)、多条第二扫描线(40)、多条数据线(50)、公共电极(60)以及多个行列排列的像素单元(70),每个像素单元(70)对应一条第一扫描线(30)、一条第二扫描线(40)以及一条数据线(50);每个像素单元(70)包括第一像素电极(701)、第二像素电极(702)、第一开关元件(703)、第二开关元件(704)以及第三开关元件(705),第一像素电极(701)和第二像素电极(702)沿列方向排列,每个开关元件均包括控制端、输入端以及输出端,第一开关元件(703)的控制端(7031)和第二开关元件(704)的控制端(7041)均与第一扫描线(30)连接,第一开关元件(703)的输入端(7032)和第二开关元件(704)的输入端(7042)均与数据线(50)连接,第一开关元件(703)的输出端(7033)与第一像素电极(701)连接,第二开关元件(704)的输出端(7043)与第二像素电极(702)连接,第三开关元件(705)的控制端(7051)与第二扫描线(40)连接,第三开关元件(705)的输入端(7052)连接第一像素电极(701)和第二像素电极(702)中的一个,第三开关元件(705)的输出端(7053)连接公共电极(60);其中,在 2D 显示模式下,通过第

二扫描线(40)控制第三开关元件(705)断开,对第一扫描线(30)输入扫描信号以驱动第一开关元件(703)和第二开关元件(704)导通,数据线(50)通过第一开关元件(703)和第二开关元件(704)分别对第一像素电极(701)和第二像素电极(702)输入数据信号,以使第一像素电极(701)和第二像素电极(702)均显示对应 2D 画面的图像,在 3D 显示模式下,通过第二扫描线(40)控制第三开关元件(705)导通,对第一扫描线(30)输入扫描信号以驱动第一开关元件(703)和第二开关元件(704)导通,数据线(50)通过第一开关元件(703)和第二开关元件(704)分别对第一像素电极(701)和第二像素电极(702)输入数据信号,以使得第一像素电极(701)和第二像素电极(702)中,与第三开关元件(705)的输入端连接的像素电极显示黑画面,另一像素电极显示对应 3D 画面的图像。

[0012] 其中,所有第二扫描线(40)在阵列基板的周边相互电性连接。

[0013] 其中,第一扫描线(30)、第二扫描线(40)、第一开关元件(703)、第二开关元件(704)以及第三开关元件(705)均位于第一像素电极(701)和第二像素电极(702)之间。

[0014] 其中,第一开关元件(703)、第二开关元件(704)以及第三开关元件(705)均为薄膜晶体管,分别为第一薄膜晶体管、第二薄膜晶体管以及第三薄膜晶体管,开关元件的控制端对应薄膜晶体管的栅极,开关元件的输入端对应薄膜晶体管的源极,开关元件的输出端对应薄膜晶体管的漏极。

[0015] 本发明的有益效果是:本发明的阵列基板中,每个像素单元(70)对应一条第一扫描线(30)、一条第二扫描线(40)以及一条数据线(50),相较于现有技术而言,减少了一条数据线,能够减少数据驱动芯片的数量,而所增加的第二扫描线(40)虽然会相应增加扫描驱动芯片的数量,然而扫描驱动芯片的价格相较于数据驱动芯片的价格更为便宜,因此能够在一定程度上降低生产成本,此外驱动扫描线的电路比驱动数据线的电路更为简单,也能够降低驱动电路的复杂性。此外,在 2D 显示模式下,通过第二扫描线(40)控制第三开关元件(705)断开,在第一扫描线(30)和数据线(50)的共同作用下使像素单元中的第一像素电极(701)和第二像素电极(702)均正常显示 2D 画面,由此能够提高 2D 显示模式的开口率,在 3D 显示模式下,在第一扫描线(30)和数据线(50)的共同作用下驱动第一像素电极(701)和第二像素电极(702)工作,而通过第二扫描线(40)控制第三开关元件(705)导通,使得与第三开关元件(40)的输入端连接的像素电极和公共电极(60)电性连接,从而使得与第三开关元件(705)的输入端连接的像素电极和公共电极(60)的压差为零,进而使得与第三开关元件(705)的输入端连接的像素电极显示黑画面,另一像素电极显示正常显示 3D 画面,而第一像素电极(701)和第二像素电极(702)沿列方向排列,由此使得沿列方向相邻的两个像素单元中显示 3D 画面的像素电极被该显示黑画面的像素电极所间隔,由此能够降低 3D 双眼信号串扰。

附图说明

[0016] 图 1 是现有技术中一种阵列基板的结构示意图;

[0017] 图 2 是现有技术中另一种阵列基板的结构示意图;

[0018] 图 3 是图 2 中像素结构的等效电路图;

[0019] 图 4 是本发明阵列基板一实施方式的结构示意图;

[0020] 图 5 是图 4 中阵列基板的像素单元的等效电路图;

[0021] 图 6 是图 4 中阵列基板的像素单元在 3D 显示模式下的显示效果图；

[0022] 图 7 是本发明液晶显示面板一实施方式的侧视图。

具体实施方式

[0023] 下面将结合附图和实施方式对本发明进行详细说明。

[0024] 参阅图 4 和图 5, 本发明阵列基板的一实施方式中, 阵列基板包括多条第一扫描线 30、多条第二扫描线 40、多条数据线 50、公共电极 60 以及多个行列排列的像素单元 70。

[0025] 其中, 每个像素单元 70 对应一条第一扫描线 30、一条第二扫描线 40 以及一条数据线 50, 以通过第一扫描线 30、第二扫描线 40 以及数据线 50 驱动像素单元 70 工作。像素单元 70 包括第一像素电极 701、第二像素电极 702、第一开关元件 703、第二开关元件 704 以及第三开关元件 705。第一像素电极 701 和第二像素电极 702 沿列方向排列, 即一像素单元 70 中的第一像素电极 701 与相邻上一像素单元 70 中的第二像素电极 702 相邻, 一像素单元 70 中的第二像素电极 702 与相邻下一像素单元 70 中的第一像素电极 701 相邻。第一至第三开关元件 703、704、705 均包括控制端、输入端以及输出端, 其中, 第一开关元件 703 的控制端 7031 和第二开关元件 704 的控制端 7041 均与第一扫描线 30 连接, 以通过第一扫描线 30 控制第一开关元件 703 和第二开关元件 704 的导通和断开, 第一开关元件 703 的输入端 7032 和第二开关元件 704 的输入端 7042 均与数据线 50 连接, 以通过数据线 50 输入数据信号, 第一开关元件 703 的输出端 7033 与第一像素电极 701 连接, 第二开关元件 704 的输出端 7043 与第二像素电极 702 连接。第三开关元件 705 的控制端 7051 与第二扫描线 40 连接, 以通过第二扫描线 40 控制第三开关元件 705 的导通和断开, 第三开关元件 705 的输入端 7052 与第二像素电极 702 连接, 第三开关元件 705 的输出端 7053 与公共电极 60 连接。

[0026] 进一步地, 在阵列基板的周边, 即在阵列基板对应的显示区域的外围, 所有第二扫描线 40 相互电性连接在一起。第一扫描线 30、第二扫描线 40 以及第一至第三开关元件 703、704、705 均设置于第一像素电极 701 和第二像素电极 702 之间。

[0027] 通过本实施方式的阵列基板, 能够提高 2D 显示模式下的开口率, 减小 3D 显示模式下的双眼信号串扰, 同时能够减少数据驱动芯片所需的数量, 进而降低生产成本。

[0028] 具体地, 在 2D 显示模式下, 对所有第二扫描线 40 输入低电平信号, 该低电平信号可以是 -6V 左右, 以通过第二扫描线 40 控制第三开关元件 705 断开, 从而使得第二像素电极 702 和公共电极 60 不连通。然后逐行对第一扫描线 30 输入扫描信号, 以驱动第一开关元件 703 和第二开关元件 704 导通, 数据线 50 分别通过第一开关元件 703 和第二开关元件 704 向第一像素电极 701 和第二像素电极 702 输入显示 2D 画面所需的数据信号, 进而驱动第一像素电极 701 和第二像素电极显示对应 2D 画面的图像。从而在 2D 显示模式下, 所有的像素单元 70 均正常显示对应 2D 画面的图像, 提高了 2D 显示模式下的开口率。

[0029] 在 3D 显示模式下, 相邻两行像素单元 70 分别显示对应 3D 画面的左眼图像和右眼图像, 将左眼图像和右眼图像分别传送至观看者的左眼和右眼, 并通过观看者的大脑对左眼图像和右眼图像进行合成以使观看者感受到立体显示效果。对所有第二扫描线 40 输入高电平信号, 该高电平信号可以是 27V ~ 33V 左右, 例如对第二扫描线 40 输入 29V 的高电平信号, 以控制第三开关元件 705 导通, 从而使得第二像素电极 702 和公共电极 60 导通。逐行对第一扫描线 30 输入扫描信号, 以驱动第一开关元件 703 和第二开关元件 704 导通, 数据

线 50 分别通过第一开关元件 703 和第二开关元件 704 对第一像素电极 701 和第二像素电极 702 输入显示 3D 画面所需的数据信号。但是,由于第三开关元件 705 导通,使得第二像素电极 702 和公共电极 60 导通,从而使得第二像素电极 702 和公共电极 60 的电位相同,即第二像素电极 702 和公共电极 60 的电压差为零。在液晶显示技术中,液晶显示面板实现显示的原理是通过使阵列基板中的像素电极和彩色滤光基板中的公共电极之间存在一定的电压差,从而使液晶显示面板能够正常显示,而当阵列基板中的像素电极和彩色滤光基板中的公共电极之间的电压差为零时,液晶显示面板无法正常显示图像,显示画面为黑画面。而彩色滤光基板中的公共电极和阵列基板中的公共电极 60 所输入的电压信号相同,因此,当第二像素电极 702 与阵列基板的公共电极 60 之间的电压差为零时,使得第二像素电极 702 和彩色滤光基板中的公共电极之间的电压差也为零,参阅图 6,从而使得第二像素电极 702 显示黑画面,第一像素电极 701 则在数据线 50 输入数据信号时正常显示对应 3D 画面的图像。因此,在对应显示左眼图像和右眼图像的相邻两行像素单元 70 中,其中一行像素单元 70 的第一像素电极 701 显示对应 3D 画面的左眼图像,第二像素电极 702 由于与阵列基板的公共电极 60 导通而显示黑画面,另一行像素单元 70 的第一像素电极显示对应 3D 画面的右眼图像,第二像素电极 702 显示黑画面,使得一行像素单元 70 中显示左眼图像的第一像素电极 701 和相邻另一行像素单元 70 中显示右眼图像的第一像素电极 701 之间存在一黑色区域,即显示黑画面的第二像素电极 702,等效于黑色矩阵,从而通过显示黑画面的第二像素电极 702 能够阻挡左眼图像进入观看者的右眼,右眼图像进入观看者的左眼,有效降低双眼图像信号串扰。

[0030] 本实施方式中,第一开关元件 703、第二开关元件 704 以及第三开关元件 705 均为薄膜晶体管,分别为第一薄膜晶体管、第二薄膜晶体管以及第三薄膜晶体管。其中,开关元件的控制端对应为薄膜晶体管的栅极,开关元件的输入端对应为薄膜晶体管的源极,开关元件的输出端对应为薄膜晶体管的漏极。在其他实施方式中,三个开关元件 703、704、705 也可以是三极管、达林顿管等三端式控制开关,此处不进行限制。

[0031] 通过上述方式,在 2D 显示模式下通过第二扫描线 40 控制第三开关元件 705 断开,使得第二像素电极 702 和阵列基板的公共电极 60 不导通,从而在数据线 50 输入显示 2D 画面所需的数据信号时第一像素电极 701 和第二像素电极 702 均能正常显示对应 2D 画面的图像,有效提高 2D 显示模式下的开口率。在 3D 显示模式下通过第二扫描线 40 控制第三开关元件 705 导通,使得第二像素电极 702 和阵列基板的公共电极 60 导通,从而在数据线 50 输入显示 3D 画面所需的数据信号时第一像素电极 701 正常显示对应 3D 画面的图像,第二像素电极 702 显示黑画面,使得相邻两行像素单元 70 中显示左眼图像的第一像素电极 701 和显示右眼图像的第一像素电极 701 之间具有等效于黑色矩阵的黑色区域,能够有效防止双眼信号串扰。

[0032] 此外,本实施方式中,每个像素单元 70 对应使用一条第一扫描线 30、一条第二扫描线 40 和一条数据线 50 驱动,减少了数据线的使用量,从而减少了数据驱动芯片的使用量,而所增加的一条第二扫描线 40 虽然会相应增加扫描驱动芯片的使用量,然而扫描驱动芯片的价格相较于数据驱动芯片的价格更为便宜,有利于降低生产成本,且驱动扫描线的驱动电路相较于驱动数据线的驱动电路更为简单,也能够降低驱动电路的复杂性。并且,数据线的长度比扫描线更长,减少数据线的使用量在一定程度上也能够提高开口率。

[0033] 当然,在其他的实施方式中,第三开关元件的输入端也可以连接第一像素电极,从而在 3D 显示模式下时通过第二扫描线控制第三开关元件的导通时,第一像素电极与公共电极电性导通,使得第一像素电极和公共电极之间的电压差为零,从而在数据线输入显示 3D 画面所需的数据信号时第一像素电极显示黑画面,第二像素电极正常显示对应 3D 画面的图像,而显示黑画面的第一像素电极等效于黑色矩阵,同样能够减小 3D 显示模式下的双眼信号串扰。

[0034] 参阅图 7,本发明液晶显示面板的一实施方式中,液晶显示面板包括阵列基板 801、彩色滤光基板 802 以及位于阵列基板 801 和彩色滤光基板 802 之间的液晶层 803,其中,阵列基板 801 为上述任一实施方式中的阵列基板。

[0035] 以上所述仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

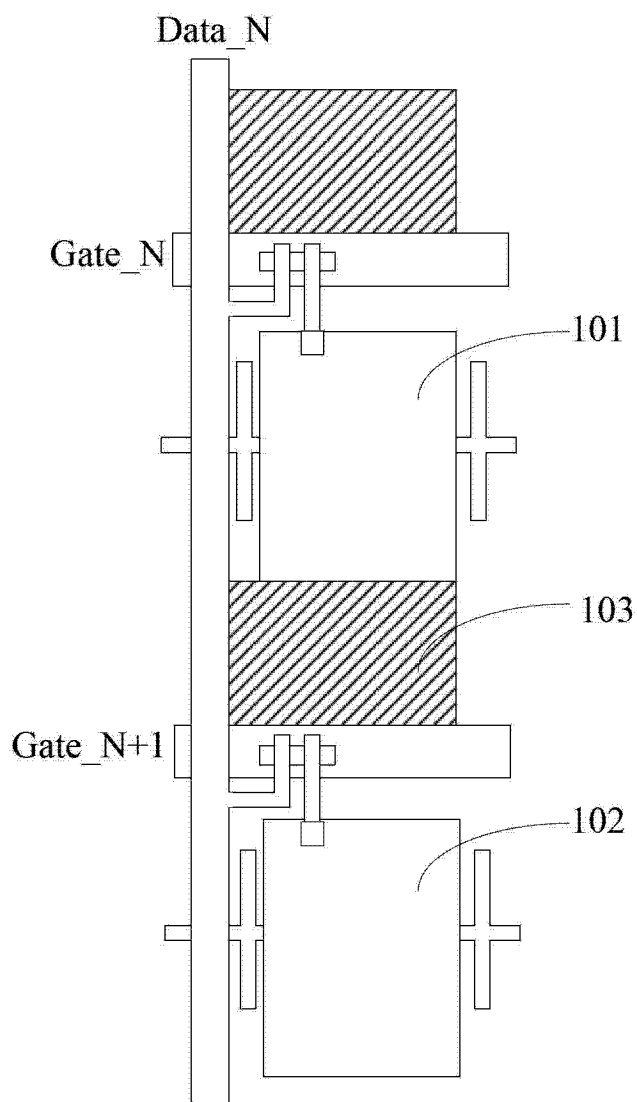


图 1

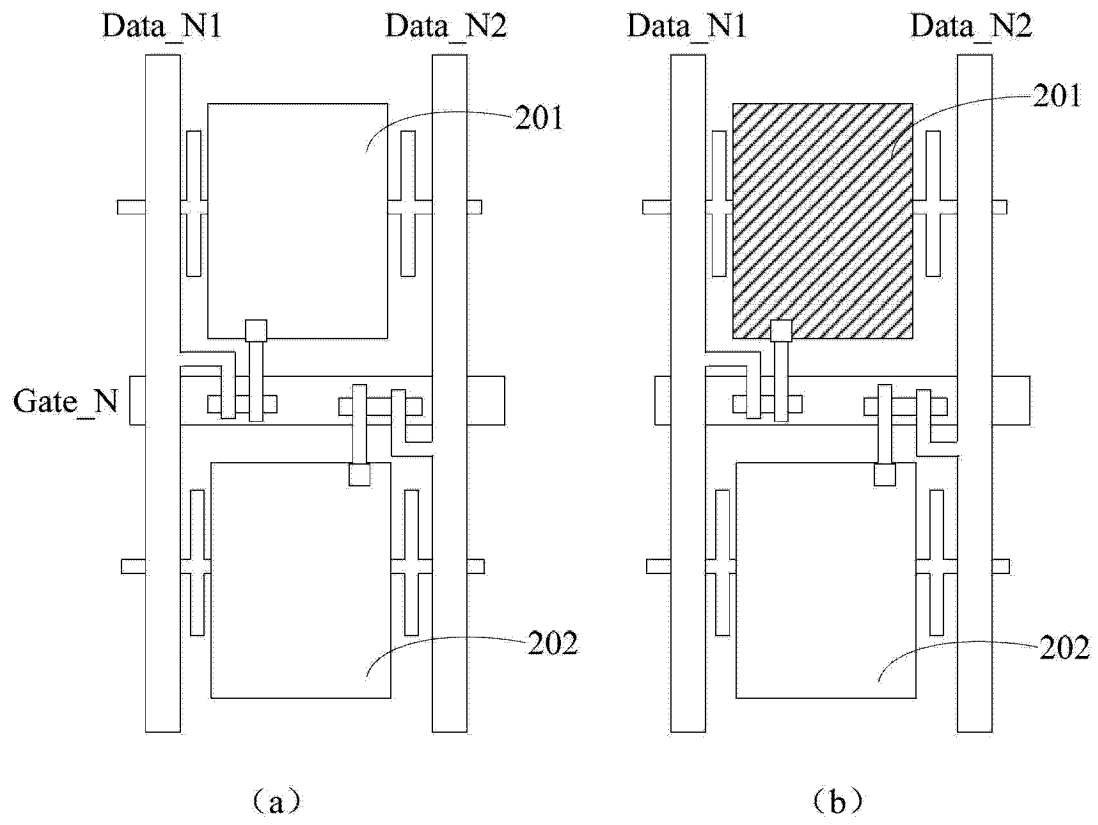


图 2

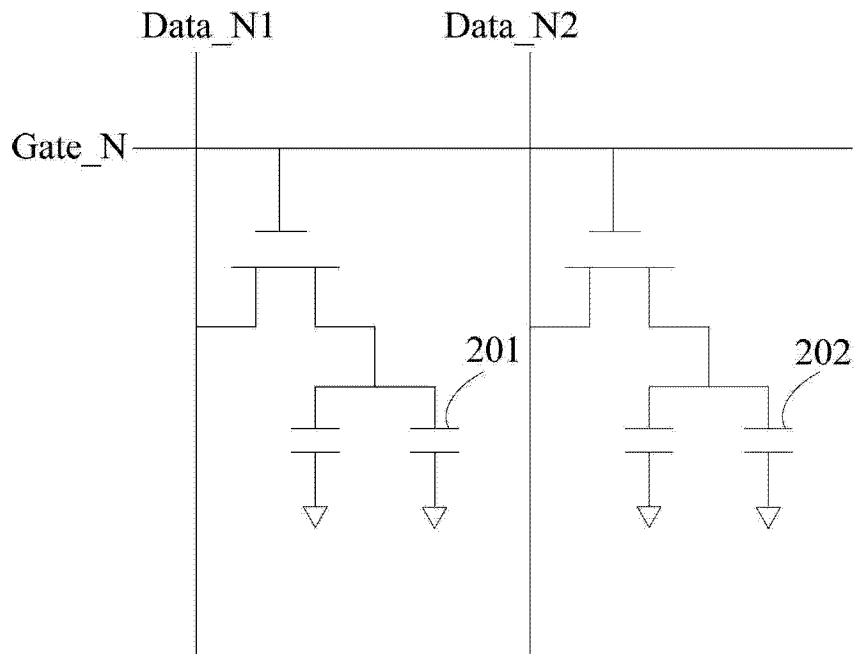


图 3

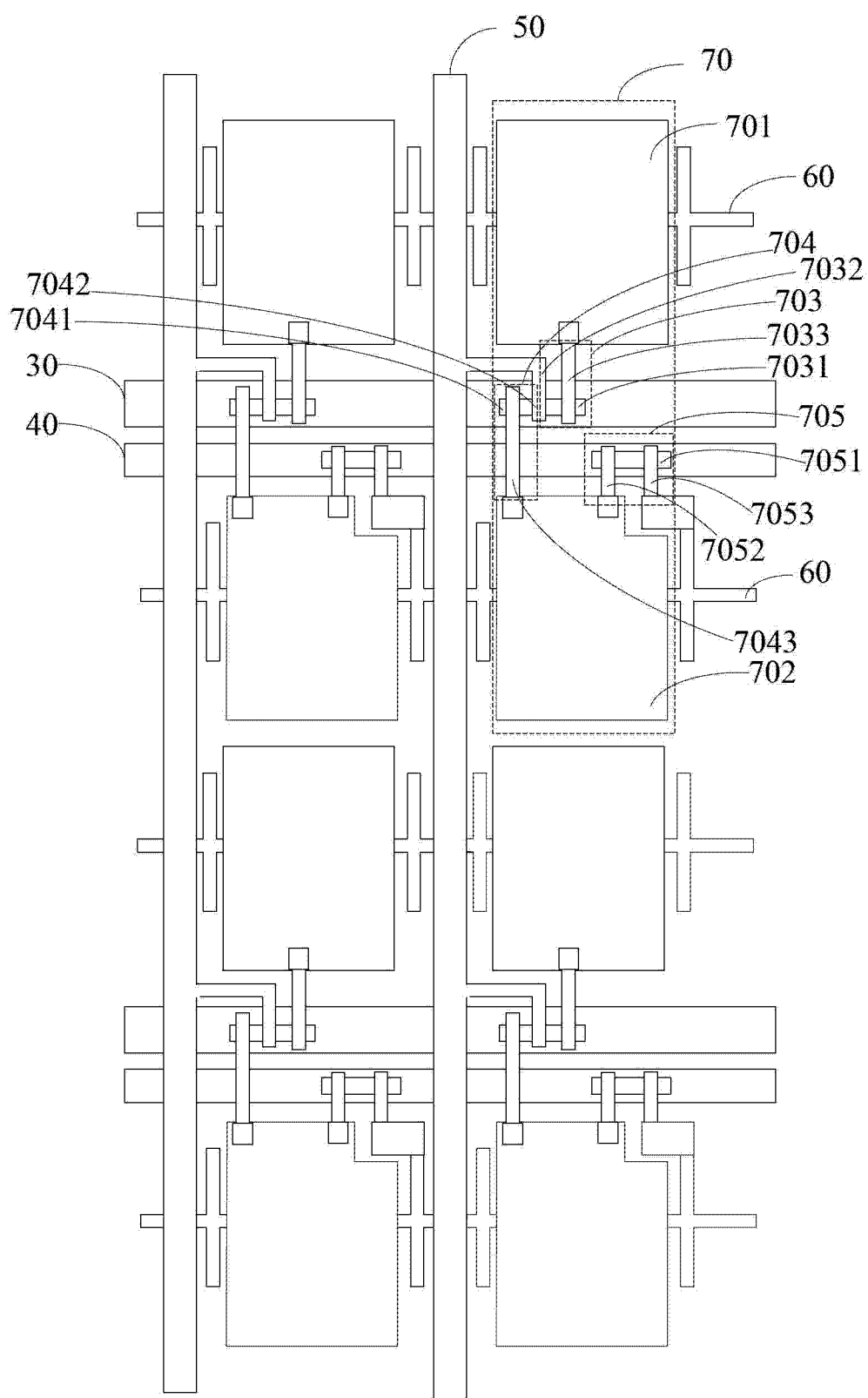


图 4

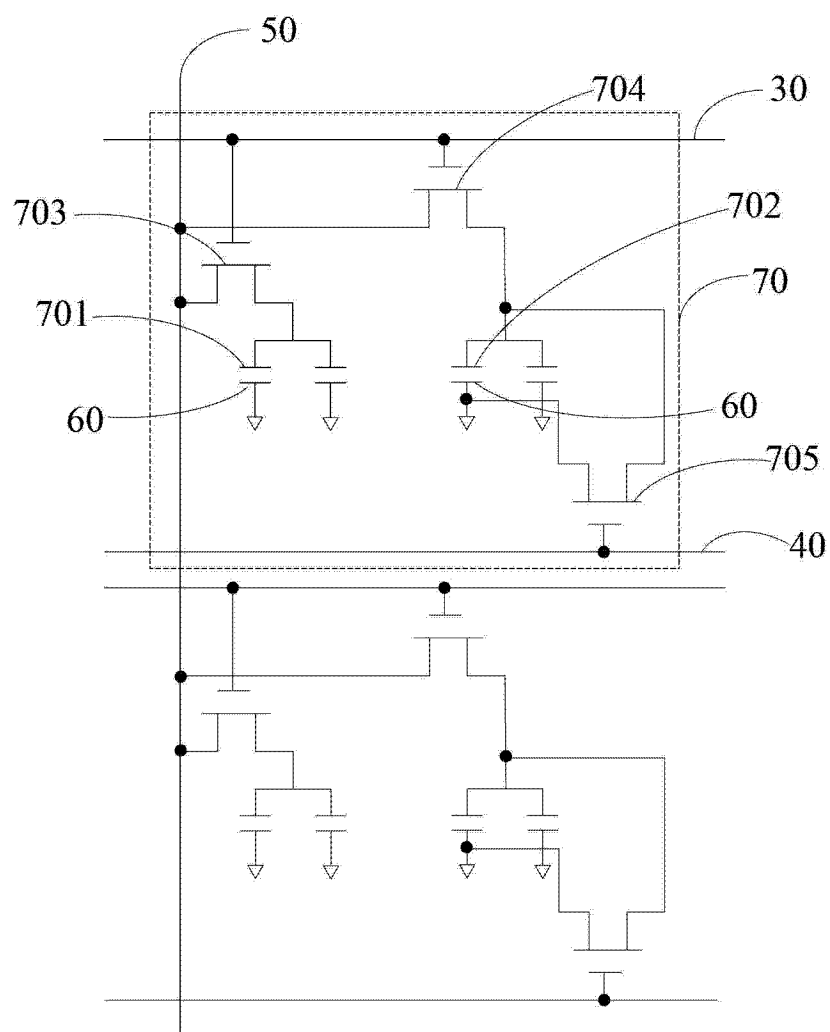


图 5

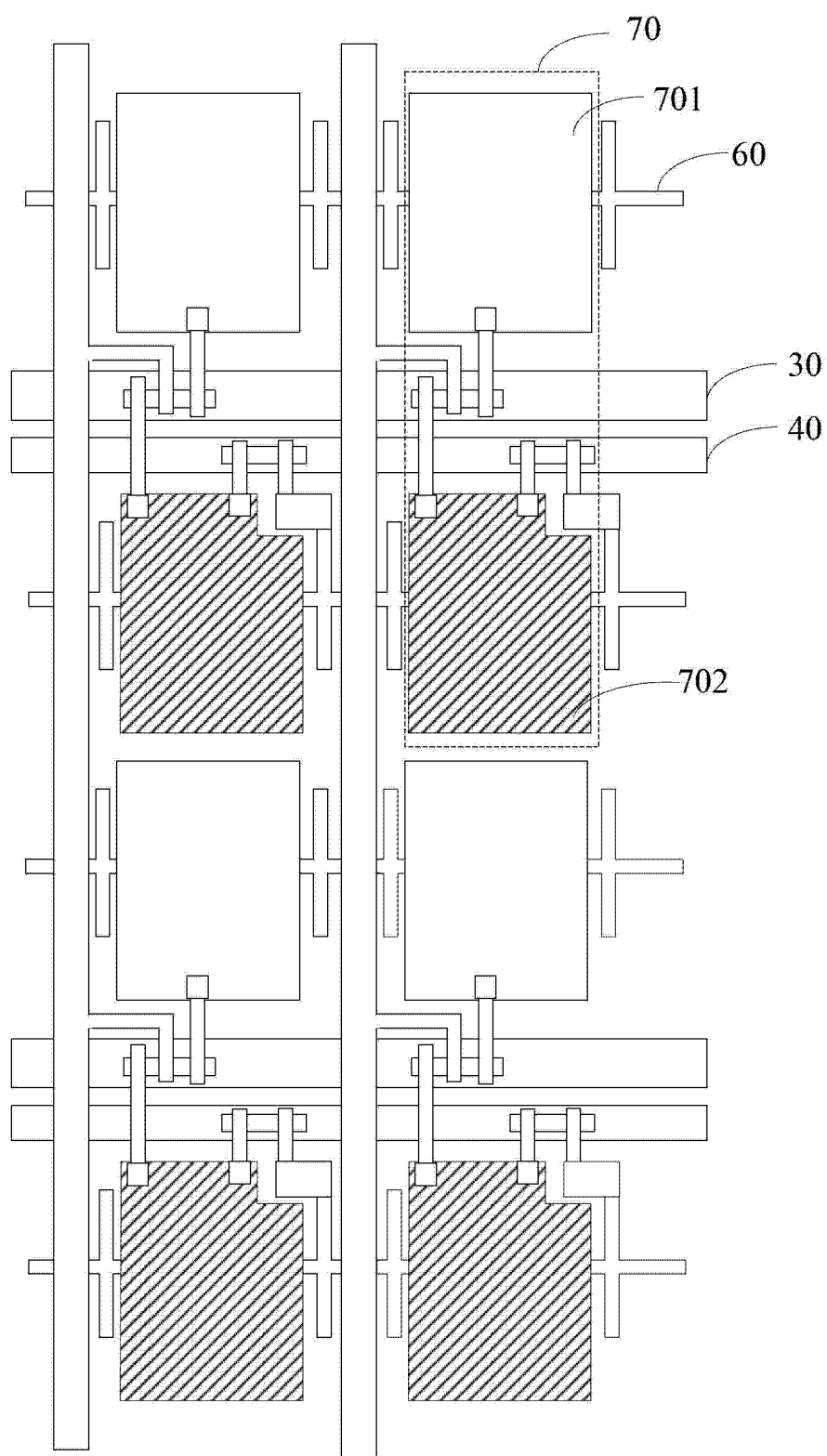


图 6

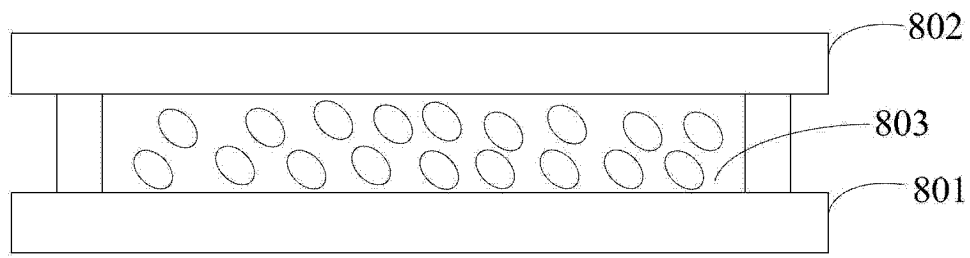


图 7

专利名称(译)	一种阵列基板及液晶显示面板		
公开(公告)号	CN103257495A	公开(公告)日	2013-08-21
申请号	CN201310198527.5	申请日	2013-05-24
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	薛景峰 许哲豪		
发明人	薛景峰 许哲豪		
IPC分类号	G02F1/1362 G02F1/1368 G09G3/36 G02B27/22 H04N13/04		
CPC分类号	G09G3/3622 G02F1/136286 G09G3/003 G09G3/3648 G09G2300/0426 G09G2320/0209		
其他公开文献	CN103257495B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板及液晶显示面板，所述阵列基板中，每个像素单元（70）对应一条第一扫描线（30）、一条第二扫描线（40）以及一条数据线（50），通过第一扫描线（30）控制第一开关元件（703）和第二开关元件（704）导通和断开，数据线（50）分别通过第一开关元件（703）和第二开关元件（704）与第一像素电极（701）和第二像素电极（702）连接，通过第二扫描线（40）控制第三开关元件（705）的导通和断开，第三开关元件（705）的输入端与任一像素电极连接，第三开关元件（705）的输出端与公共电极（60）连接。通过上述方式，本发明能够提高2D显示模式下的开口率和减小3D显示模式下的双眼信号串扰的同时，减少数据驱动芯片所需的数量，进而降低成本。

