



(12) 发明专利申请

(10) 申请公布号 CN 102937765 A

(43) 申请公布日 2013. 02. 20

(21) 申请号 201210405075. 9

(22) 申请日 2012. 10. 22

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 刘尧虎

(74) 专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

G02F 1/133 (2006. 01)

G09G 3/26 (2006. 01)

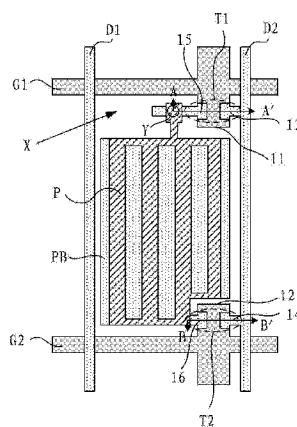
权利要求书 2 页 说明书 8 页 附图 6 页

(54) 发明名称

像素单元、阵列基板、液晶显示面板、装置及驱动方法

(57) 摘要

本发明实施例提供一种像素单元、阵列基板、液晶显示面板、装置及驱动方法,涉及液晶显示技术领域,解决了现有液晶显示装置显示图像时存在的显示偏绿现象和画面闪烁现象。本发明实施例中,由于在像素单元中设置了两个像素电极,且各像素电极分别由对应的一个薄膜晶体管控制,使得可以用在两个像素电极间的电压差来控制液晶分子偏转,而不会对阵列基板中其它的像素单元像素电极上的电压造成影响,从而避免了显示偏绿现象的发生。另外,由于在像素单元关闭时,分别控制两个像素电极的两个薄膜晶体管可具有相同的漏电能力,因此使得两个像素电极间的电压差保持稳定,从而避免了画面闪烁现象的发生。



1. 一种像素单元,其特征在于,包括:第一薄膜晶体管、第二薄膜晶体管、第一像素电极及第二像素电极;

所述第一薄膜晶体管的漏极与所述第一像素电极电连接;所述第二薄膜晶体管的漏极与所述第二像素电极电连接;且所述第一像素电极与所述第二像素电极电绝缘,以当所述第一像素电极与所述第二像素电极间存在电压差时,在所述第一像素电极与所述第二像素电极间形成电场。

2. 根据权利要求1所述的像素单元,其特征在于,还包括两条栅线和一条数据线;

所述第一薄膜晶体管的栅极与所述两条栅线中的第一栅线电连接;所述第二薄膜晶体管的栅极与所述两条栅线中的第二栅线电连接;所述第一、第二薄膜晶体管的源极与所述数据线电连接。

3. 根据权利要求1所述的像素单元,其特征在于,还包括两条栅线和两条数据线;

所述第一薄膜晶体管的栅极与所述两条栅线中的第一栅线电连接;所述第二薄膜晶体管的栅极与所述两条栅线中的第二栅线电连接;所述第一薄膜晶体管的源极与所述两条数据线中的第一数据线电连接;所述第二薄膜晶体管的源极与所述两条数据线中的第二数据线电连接。

4. 根据权利要求1所述的像素单元,其特征在于,还包括一条栅线和两条数据线;

所述第一、第二薄膜晶体管的栅极与所述栅线电连接;所述第一薄膜晶体管的源极与所述两条数据线中的第一数据线电连接;所述第二薄膜晶体管的源极与所述两条数据线中的第二数据线电连接。

5. 根据权利要求1-4任一项所述的像素单元,其特征在于,所述第二像素电极为整层覆盖电极;所述第一像素电极为条形电极;所述第一像素电极隔着绝缘层设置在所述第二像素电极上。

6. 根据权利要求5所述的像素单元,其特征在于,所述第一薄膜晶体管的漏极通过通孔与所述第一像素电极电连接;所述第二薄膜晶体管的漏极与所述第二像素电极直接电连接。

7. 根据权利要求1-4任一项所述的像素单元,其特征在于,所述第一像素电极与所述第二像素电极形成在同一层,且所述第一像素电极和所述第二像素电极都是条形电极。

8. 一种阵列基板,其特征在于,具有权利要求1-7任一项所述的像素单元。

9. 根据权利要求8所述的阵列基板,其特征在于,一个所述像素单元与处于同一列的相邻行的另一个所述像素单元共用一条栅极线。

10. 一种液晶显示面板,其特征在于,具有权利要求8所述的阵列基板。

11. 一种液晶显示装置,其特征在于,具有权利要求10所述的液晶显示面板。

12. 一种像素单元的驱动方法,其特征在于,所述像素单元包括第一薄膜晶体管、第二薄膜晶体管、第一像素电极及第二像素电极;所述第一薄膜晶体管的漏极与所述第一像素电极电连接;所述第二薄膜晶体管的漏极与所述第二像素电极电连接;且所述第一像素电极与所述第二像素电极电绝缘,所述驱动方法包括:

向所述第一像素电极提供第一电压;向所述第二像素电极提供第二电压;当所述第一电压和所述第二电压之间存在电压差时,在所述第一像素电极与所述第二像素电极间形成电场。

13. 根据权利要求 12 所述的驱动方法,其特征在于,所述像素单元还包括两条栅线和一条数据线,

所述向所述像素单元的第一像素电极提供第一电压的步骤具体包括:

向与所述第一薄膜晶体管栅极电连接的所述两条栅线中的第一栅线施加开启电压,以使所述第一薄膜晶体管开启;

通过与所述第一薄膜晶体管源极电连接的所述数据线向所述第一像素电极施加所述第一电压;

所述向所述像素单元的第二像素电极提供第二电压的步骤具体包括:

向与所述第二薄膜晶体管栅极电连接的所述两条栅线中的第二栅线施加开启电压,以使所述第二薄膜晶体管开启;

通过与所述第二薄膜晶体管源极电连接的所述数据线向所述第二像素电极施加所述第二电压。

14. 根据权利要求 12 所述的方法,其特征在于,所述像素单元还包括两条栅线和两条数据线,

所述向所述像素单元的第一像素电极提供第一电压的步骤具体包括:

向与所述第一薄膜晶体管栅极电连接的所述两条栅线中的第一栅线施加开启电压,以使所述第一薄膜晶体管开启;

通过与所述第一薄膜晶体管源极电连接的所述两条数据线中的第一数据线向所述第一像素电极施加所述第一电压;

所述向所述像素单元的第二像素电极提供第二电压的步骤具体包括:向与所述第二薄膜晶体管栅极电连接的所述两条栅线中的第二栅线施加开启电压,以使所述第二薄膜晶体管开启;

通过与所述第二薄膜晶体管源极电连接的所述两条数据线中的第二数据线向所述第二像素电极施加所述第二电压。

15. 根据权利要求 12 所述的方法,其特征在于,所述像素单元还包括一条栅线和两条数据线,

所述向所述像素单元的第一像素电极提供第一电压的步骤和所述向所述像素单元的第二像素电极提供第二电压的步骤是同时进行的,具体包括:

向与所述第一薄膜晶体管的栅极和第二薄膜晶体管的栅极共同电连接的所述栅线施加开启电压,以使所述第一、二薄膜晶体管同时开启;

通过与所述第一薄膜晶体管源极电连接的所述两条数据线中第一数据线向所述第一像素电极施加所述第一电压;同时,通过与所述第二薄膜晶体管源极电连接的所述两条数据线中第二数据线向所述第二像素电极施加所述第二电压。

像素单元、阵列基板、液晶显示面板、装置及驱动方法

技术领域

[0001] 本发明涉及液晶显示技术领域，尤其涉及像素单元、阵列基板、液晶显示面板、装置及驱动方法。

背景技术

[0002] 目前，液晶显示装置阵列基板中各像素单元的驱动是通过给覆盖像素单元的像素电极上施加电压，使得像素电极与公共电极间形成电场，从而使该像素中的液晶分子受到电场的作用偏转一定的角度，以实现光线的通过与截止。

[0003] 公共电极用于给所有像素单元提供统一的公共电压 V_{com} ；像素电极用于给对应的像素单元提供像素电压 V_{pixel} ，该电压的大小用于控制通过该像素单元的光线的量。当液晶显示装置需要显示一帧图像时，通常采用行扫描的方式，即像素单元逐行开启，在下一行像素单元即将开启时，当前一行像素单元关闭。像素单元开启时像素电压施加在像素电极上，从而实现图像的显示。

[0004] 在上述利用像素电压与统一的公共电压间的电场实现图像显示的过程中，当处于同一列的相邻行的两个像素单元的像素电压不相同，在后开启的像素单元的像素电极与公共电极耦合，会使公共电极上的公共电压发生变化，由此使得在前开启像素单元的像素电极与公共电极间电场发生变化，从而导致显示偏绿 (Greenish) 现象。

[0005] 另外，通常像素电极与对应像素单元中薄膜晶体管的漏极连接，当该像素单元关闭时薄膜晶体管关断，由于薄膜晶体管在关断时存在漏电流，使得像素电极上的像素电压随着时间的推移而逐渐降低，从而使得像素电极与公共电极间的电压差发生变化，进而导致画面闪烁 (Flicker) 现象。

发明内容

[0006] 本发明的实施例提供一种像素单元、阵列基板、液晶显示面板、装置及驱动方法，解决了现有液晶显示装置显示图像时存在的显示偏绿现象和画面闪烁现象。

[0007] 为达到上述目的，本发明的实施例采用如下技术方案：

[0008] 一种像素单元，包括：第一薄膜晶体管、第二薄膜晶体管、第一像素电极及第二像素电极；所述第一薄膜晶体管的漏极与所述第一像素电极电连接；所述第二薄膜晶体管的漏极与所述第二像素电极电连接；且所述第一像素电极与所述第二像素电极电绝缘，以当所述第一像素电极与所述第二像素电极间存在电压差时，在所述第一像素电极与所述第二像素电极间形成电场。

[0009] 优选地，所述像素单元还包括两条栅线和一条数据线；所述第一薄膜晶体管的栅极与所述两条栅线中的第一栅线电连接；所述第二薄膜晶体管的栅极与所述两条栅线中的第二栅线电连接；所述第一、第二薄膜晶体管的源极与所述数据线电连接。

[0010] 优选地，所述像素单元还包括两条栅线和两条数据线；所述第一薄膜晶体管的栅极与所述两条栅线中的第一栅线电连接；所述第二薄膜晶体管的栅极与所述两条栅线中的

第二栅线电连接；所述第一薄膜晶体管的源极与所述两条数据线中的第一数据线电连接；所述第二薄膜晶体管的源极与所述两条数据线中的第二数据线电连接。

[0011] 优选地，所述像素单元还包括一条栅线和两条数据线；所述第一、第二薄膜晶体管的栅极与所述栅线电连接；所述第一薄膜晶体管的源极与所述两条数据线中的第一数据线电连接；所述第二薄膜晶体管的源极与所述两条数据线中的第二数据线电连接。

[0012] 进一步地，所述第二像素电极为整层覆盖电极；所述第一像素电极为条形电极；所述第一像素电极隔着绝缘层设置在所述第二像素电极上。

[0013] 进一步地，所述第一薄膜晶体管的漏极通过通孔与所述第一像素电极电连接；所述第二薄膜晶体管的漏极与所述第二像素电极直接电连接。

[0014] 优选地，所述第一像素电极与所述第二像素电极形成在同一层，且所述第一像素电极和所述第二像素电极都是条形电极。

[0015] 一种阵列基板，具有上述的像素单元。

[0016] 优选地，一个所述像素单元与处于同一列的相邻行的另一个所述像素单元共用一条栅极线。

[0017] 一种液晶显示面板，具有上述的阵列基板。

[0018] 一种液晶显示装置，具有上述的液晶显示面板。

[0019] 一种像素单元的驱动方法，其中，所述像素单元包括第一薄膜晶体管、第二薄膜晶体管、第一像素电极及第二像素电极；所述第一薄膜晶体管的漏极与所述第一像素电极电连接；所述第二薄膜晶体管的漏极与所述第二像素电极电连接；且所述第一像素电极与所述第二像素电极电绝缘，所述驱动方法包括：向所述第一像素电极提供第一电压；向所述第二像素电极提供第二电压；当所述第一电压和所述第二电压之间存在电压差时，在所述第一像素电极与所述第二像素电极间形成电场。

[0020] 优选地，所述像素单元还包括两条栅线和一条数据线，所述向所述像素单元的第一像素电极提供第一电压的步骤具体包括：向与所述第一薄膜晶体管栅极电连接的所述两条栅线中的第一栅线施加开启电压，以使所述第一薄膜晶体管开启；通过与所述第一薄膜晶体管源极电连接的所述数据线向所述第一像素电极施加所述第一电压；所述向所述像素单元的第二像素电极提供第二电压的步骤具体包括：向与所述第二薄膜晶体管栅极电连接的所述两条栅线中的第二栅线施加开启电压，以使所述第二薄膜晶体管开启；通过与所述第二薄膜晶体管源极电连接的所述数据线向所述第二像素电极施加所述第二电压。

[0021] 优选地，所述像素单元还包括两条栅线和两条数据线，所述向所述像素单元的第一像素电极提供第一电压的步骤具体包括：向与所述第一薄膜晶体管栅极电连接的所述两条栅线中的第一栅线施加开启电压，以使所述第一薄膜晶体管开启；通过与所述第一薄膜晶体管源极电连接的所述两条数据线中的第一数据线向所述第一像素电极施加所述第一电压；所述向所述像素单元的第二像素电极提供第二电压的步骤具体包括：向与所述第二薄膜晶体管栅极电连接的所述两条栅线中的第二栅线施加开启电压，以使所述第二薄膜晶体管开启；通过与所述第二薄膜晶体管源极电连接的所述两条数据线中的第二数据线向所述第二像素电极施加所述第二电压。

[0022] 优选地，所述像素单元还包括一条栅线和两条数据线，所述向所述像素单元的第一像素电极提供第一电压的步骤和所述向所述像素单元的第二像素电极提供第二电压的

步骤是同时进行的,具体包括:向与所述第一薄膜晶体管的栅极和第二薄膜晶体管的栅极共同电连接的所述栅线施加开启电压,以使所述第一、二薄膜晶体管同时开启;通过与所述第一薄膜晶体管源极电连接的所述两条数据线中第一数据线向所述第一像素电极施加所述第一电压;同时,通过与所述第二薄膜晶体管源极电连接的所述两条数据线中第二数据线向所述第二像素电极施加所述第二电压。

[0023] 本发明实施例提供的像素单元、阵列基板、液晶显示面板、装置及驱动方法中,由于在像素单元中设置了两个像素电极,且各像素电极分别由对应的一个薄膜晶体管控制,使得可以用在两个像素电极间的电压差来控制液晶分子偏转,而不会对阵列基板中其它的像素单元像素电极上的电压造成影响,从而避免了显示偏绿现象的发生。另外,由于在像素单元关闭时,分别控制两个像素电极的两个薄膜晶体管可具有相同的漏电能力,因此使得两个像素电极间的电压差保持稳定,从而避免了画面闪烁现象的发生。

附图说明

[0024] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例中所需要使用的附图作简单地介绍。

[0025] 图 1 为本发明实施例提供的一种像素单元的顶视图;

[0026] 图 2a 为图 1 所示的像素单元沿 A-A' 的剖视图;

[0027] 图 2b 为图 1 所示的像素单元沿 B-B' 的剖视图;

[0028] 图 3 为本发明实施例提供的另一种像素单元的顶视图;

[0029] 图 4 为本发明实施例提供的一种阵列基板的部分顶视图;

[0030] 图 5 为本发明实施例提供的阵列基板驱动方法的电压波形图;

[0031] 图 6a- 图 6c 为本发明实施例提供的像素单元中栅线和数据线与薄膜晶体管的三种连接方式的简化示意图。

具体实施方式

[0032] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。

[0033] 本发明实施例提供一种像素单元,如图 1 所示,包括:第一薄膜晶体管 T1、第二薄膜晶体管 T2、第一像素电极 P 及第二像素电极 PB;第一薄膜晶体管 T1 的漏极 15 与第一像素电极 P 电连接;第二薄膜晶体管 T2 的漏极 16 与第二像素电极 PB 电连接;且第一像素电极 P 与第二像素电极 PB 电绝缘,以当第一像素电极 P 与第二像素电极 PB 间存在电压差时,在第一像素电极 P 与第二像素电极 PB 间形成电场以控制液晶分子旋转。

[0034] 本发明实施例所提供的像素单元的特点是用于形成电场的两个电极都形成于阵列基板上,并且两个电极之间电绝缘。这种结构的像素单元广泛应用于 ADS(或称 AD-SDS, ADvanced Super Dimension Switch,高级超维场转换技术)模式液晶面板和 IPS(In-Plane Switching,平面转换)模式液晶面板,采用 ADS/IPS 模式液晶面板的液晶显示装置具有更宽的可视角度。

[0035] 其中,ADS 显示模式通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场,使液晶盒内狭缝电极间、电极正上方所有取向

液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。高级超维场转换技术可以提高 TFT-LCD 产品的画面品质,具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹(push Mura)等优点。

[0036] IPS 显示模式则是通过多条平行且交错排列的条形像素电极和条形公共电极形成水平电场;该水平电场是电场方向与形成有该像素单元的基板平行的电场,并且该水平电场用来驱动该像素单元中液晶分子的偏转,进而实现图像显示。

[0037] 本发明实施例所提供的像素单元与现有的 ADS/IPS 模式液晶面板中像素单元的主要区别在于:包括两个 TFT(Thin Film Transistor,薄膜晶体管),分别对两个电极(像素电极)进行控制。

[0038] 由于现有的阵列基板中各像素单元共用一个公共电极,因此存在一个像素单元开启时,像素电极与公共电极耦合使得公共电极电压变化导致显示偏绿现象。而本发明实施例所提供的像素单元通过设置两个相互绝缘的像素电极取代了现有的公共电极,且这两个像素电极由该像素单元中的两个 TFT 分别控制。因此,当该像素单元开启时,该像素单元中的两个独立于其它像素单元的电极(像素电极)控制液晶分子旋转,不会对其它像素单元造成任何影响,因此避免了显示偏绿现象的发生。

[0039] 另外,当本发明实施例所提供的像素单元开启时,两个像素电极间形成电场,随后像素单元关闭,即把分别控制两个像素电极的 TFT 关断,此时由于两个 TFT 都存在漏电流,两个像素电极上的电压会同时下降,通过控制工艺参数可以使两个 TFT 的漏电能力相同,因此,两个像素电极的电压降能保持一致,从而使两个像素电极间的电压差稳定,进而避免了画面闪烁现象的发生。

[0040] 根据上述分析可知,本发明实施例提供的像素单元中,由于设置了两个像素电极,且各像素电极分别由对应的一个薄膜晶体管控制,使得可以用在两个像素电极间的电压差来控制液晶分子偏转,而不会对阵列基板中其它的像素单元像素电极上的电压造成影响,从而避免了显示偏绿现象的发生。另外,由于在像素单元关闭时,分别控制两个像素电极的两个薄膜晶体管可具有相同的漏电能力,因此使得两个像素电极间的电压差保持稳定,从而避免了画面闪烁现象的发生。

[0041] 上述像素单元中还包括栅线和数据线,栅线连接薄膜晶体管的栅极,用于向薄膜晶体管的栅极提供电压,以使薄膜晶体管开启,数据线连接薄膜晶体管的源极,用于向连接薄膜晶体管漏极的像素电极提供电压。上述像素单元中还设置有存储电容(图中未画出),用于保持第一像素电极和第二像素电极的电压,存储电容可以是像素电极与公共电极线之间产生的,也可以是像素电极与栅线之间产生的。

[0042] 图 6a 至图 6c 示出了栅线和数据线与薄膜晶体管连接的三种方式,且图 6a 至图 6c 中相同的组件具有相同的附图标记。

[0043] 图 6a 与图 1 中栅线和数据线与薄膜晶体管的连接方式相同,图 6a 为图 1 的简化视图,且图 6a 与图 1 中相同的组件具有相同的附图标记。如图 1 及图 6a 所示,像素单元包括两条栅线(G1, G2)和一条数据线 D2。第一薄膜晶体管 T1 的栅极 11 与两条栅线中的第一栅线 G1 电连接;第二薄膜晶体管 T2 的栅极 12 与两条栅线中的第二栅线 G2 电连接;第一薄膜晶体管 T1 的源极 13 和第二薄膜晶体管 T2 的源极 14 与数据线 D2 电连接。

[0044] 如图 6b 所示,像素单元包括两条栅线(G1, G2)和两条数据线(D1, D2);第一薄膜

晶体管 T1 的栅极 11 与两条栅线中的第一栅线 G1 电连接 ;第二薄膜晶体管 T2 的栅极 12 与两条栅线中的第二栅线 G2 电连接 ;第一薄膜晶体管 T1 的源极 13 与两条数据线中的第一数据线 D1 电连接 ;第二薄膜晶体管 T2 的源极 14 与两条数据线中的第二数据线 D2 电连接。

[0045] 如图 6c 所示,像素单元可以包括一条栅线 G1 和两条数据线 (D1,D2) ;第一薄膜晶体管 T1 的栅极 11 和第二薄膜晶体管 T2 的栅极 12 与栅线 G1 电连接 ;第一薄膜晶体管 T1 的源极 13 与两条数据线中的第一数据线 D1 电连接 ;第二薄膜晶体管 T2 的源极 14 与两条数据线中的第二数据线 D2 电连接。

[0046] 图 1 所示的像素单元为 ADS 模式显示面板中的像素单元,其中,第二像素电极 PB 为整层覆盖电极 (可视为板状电极),第一像素电极 P 为条形电极 (可视为狭缝电极),第一像素电极 P 隔着绝缘层 (图中未示出) 设置在第二像素电极 PB 上。当然,第一像素电极 P、第二像素电极 PB 的形状,及第一像素电极 P 与第二像素电极 PB 的上下位置关系并不限于图 1 所示,也可以是其它能实现在第一像素电极 P 与第二像素电极 PB 间形成多维电场的形式。

[0047] 在图 1 所示的像素单元中,优选地使两个薄膜晶体管 (T1,T2) 同时形成,且第二像素电极 PB 与数据线 D2 在同一层形成,使得第二薄膜晶体管 T2 的漏极与第二像素电极 PB 直接电连接,由于第一像素电极 P 通过绝缘层覆盖第二像素电极 PB,因此,第一薄膜晶体管 T1 的漏极通过通孔 Y 与第一像素电极 P 电连接,见图 2a 和图 2b。

[0048] 图 2a 为沿图 1 中 A-A' 的第一薄膜晶体管 T1 的剖面示意图,由下至上依次包括:基板 21、栅极 11、栅绝缘层 22、半导体层 23、源 / 漏极接触层 24。第一薄膜晶体管的栅极 11 与栅线 G1 电连接。第一薄膜晶体管的源极 13 覆盖源极接触层 24a,并与数据线 D2 电连接。第一薄膜晶体管的漏极 15 覆盖漏极接触层 24b。漏极 15、源极 13、部分暴露的半导体层 23 上覆盖一层绝缘层 25,绝缘层 25 上设置有通孔 28,形成在绝缘层上的第一像素电极 P 通过通孔 28 与漏极 15 电连接。

[0049] 图 2b 为沿图 1 中 B-B' 的第二薄膜晶体管 T2 的剖面示意图,由下至上依次包括:基板 21、栅极 12、栅绝缘层 22、半导体层 26、源 / 漏极接触层 27。第二薄膜晶体管的栅极 12 与栅线 G2 电连接。第二薄膜晶体管 T2 的源极 14 覆盖源极接触层 27a,并与数据线 D2 电连接。第二薄膜晶体管 T2 的漏极 16 覆盖漏极接触层 27b,并且漏极 16 的延伸部作为第二像素电极 PB。

[0050] 图 1、图 2a 和图 2b 中相同的组成部分具有相同的附图标记。

[0051] 图 2a 和图 2b 所示的结构是在工艺简化的前提下提出的优选结构,即两个 TFT 同时形成,以减少形成像素单元的工序。当然,两个 TFT 也可以不是同时形成的,且两个 TFT 也不一定是图 2a 和图 2b 中所示的底栅型结构,也可以是一个 TFT 为底栅型结构,另一个 TFT 为顶栅型结构,或者两个 TFT 都为顶栅型结构。从而使得像素电极与 TFT 漏极的电连接不局限于图 2a 和图 2b 所示的连接方式,具体的连接方式根据 TFT 的结构及像素电极与 TFT 之间的相对位置具体决定。例如,当像素电极位于 TFT 漏极的上方或下方时,即像素电极与 TFT 漏极不在同一层形成时,像素电极与 TFT 漏极之间通过通孔相互电连接;当像素电极与 TFT 漏极在同一层形成时,像素电极与 TFT 漏极直接电连接,或者像素电极延伸形成 TFT 漏极,或者 TFT 漏极延伸形成像素电极。

[0052] 图 3 所示的像素单元为 IPS 模式显示面板中的像素单元,其与图 1 所示的像素单

元区别在于两个像素电极的结构及位置,图3中,第一像素电极P'与第二像素电极PB'形成在同一层,并且第一像素电极P'和第二像素电极PB'都是条形电极。

[0053] 图3中与图1中相同的组成部分具有相同的附图标记。

[0054] 在图3所示的像素单元中,优选地使两个薄膜晶体管(T1,T2)同时形成,且第一像素电极P'、第二像素电极PB'与数据线(D1,D2)在同一层形成,使得第一薄膜晶体管T1的漏极15与第一像素电极P'直接电连接,且第二薄膜晶体管T2的漏极16与第二像素电极PB'直接电连接。

[0055] 如上所述,图3中的两个TFT优选同时形成,以减少形成像素单元的工序。当然,两个TFT也可以不是同时形成的,且两个TFT可以是一个TFT为底栅型结构,另一个TFT为顶栅型结构,或者两个TFT都为顶栅型结构,或者两个TFT都为底栅型结构。从而使得像素电极与TFT漏极的电连接不局限于上述的直接电连接,具体的连接方式根据TFT的结构及像素电极与TFT之间的相对位置具体决定。

[0056] 当然,图1和图3仅为像素单元的示意图,图1所示的第一像素电极P包含了三条狭缝,且狭缝为竖直方向的,图3所示的第一像素电极P'、第二像素电极PB'仅包含了两个分支,如本领域技术人员所知,两个像素电极的形状可以是任何能使两个像素电极间产生平行于像素单元表面的多维电场或水平电场,并且使两个像素电极之间电绝缘的形状。

[0057] 本发明实施例还提供一种阵列基板,图4示出了该阵列基板中相邻的四个像素单元C,这四个像素单元C采用了图3所示的像素单元的结构,其中,一个像素单元C与处于同一列的相邻行的像素单元可以共用一条栅极线,当然本发明不限于此。从图4中可以看出,处于同一列的两个相邻的像素单元C在交界处设置有一条栅线 G_i ,且靠近栅线 G_i 的分别位于该相邻的两个像素单元中的TFT的栅极都连接在该栅线 G_i 上。其中, i 表示栅线的序号, G_i 表示第 i 条栅线。假设该阵列基板具有 n 行 m 列像素单元,则该阵列基板的栅线一共有 $n+1$ 条。图4中的字母 j 表示像素单元的列号,即字母 j 所对应的那一列像素单元为第 j 列像素单元。第 j 列像素单元中TFT的源极连接数据线 D_j ,同样地,第 $j-1$ 列像素单元中TFT的源极连接数据线 D_{j-1} ,第 $j+1$ 列像素单元中TFT的源极连接数据线 D_{j+1} 。

[0058] 图4所示的阵列基板采用了图3所示的像素单元结构,当然也可以采用本领域技术人员所知的其它适用于本发明的像素单元的结构。

[0059] 本发明实施例提供的阵列基板中,由于采用了本发明上述实施例提供的具有分别由单独的TFT控制的两个像素电极的双极型像素单元,因此能避免使用现有技术产生的显示偏绿现象和画面闪烁现象。

[0060] 本发明实施例还提供了一种液晶显示面板和一种液晶显示装置,该液晶显示面板具有上述实施例描述的阵列基板,该液晶显示装置具有该液晶显示面板,由于该液晶显示面板和液晶显示装置中都采用了上述实施例提供的具有分别由单独的TFT控制的两个像素电极的双极型像素单元,因此能避免使用现有技术产生的显示偏绿现象和画面闪烁现象。

[0061] 本发明实施例还提供了一种像素单元的驱动方法,其中,该像素单元如图1所示,包括第一薄膜晶体管T1、第二薄膜晶体管T2、第一像素电极P及第二像素电极PB;第一薄膜晶体管T1的漏极与第一像素电极P电连接;第二薄膜晶体管T2的漏极与第二像素电极PB电连接;且第一像素电极与第二像素电极电绝缘。该驱动方法包括:向第一像素电极P

提供第一电压；向第二像素电极 PB 提供第二电压；当第一电压和第二电压之间存在电压差时，在该第一像素电极与该第二像素电极间形成电场。

[0062] 本发明实施例提供的像素单元的驱动方法中，通过在像素单元中设置两个相互绝缘的像素电极，取代了现有的公共电极，且这两个像素电极由该像素单元中的两个 TFT 分别控制。因此，当该像素单元开启时，电压通过两个 TFT 分别施加至两个独立于其它像素单元的电极（像素电极）以控制液晶分子旋转，不会对其它像素单元造成任何影响，因此避免了显示偏绿现象的发生。

[0063] 另外，当像素单元开启时，两个像素电极间形成电场，随后像素单元关闭，即把分别控制两个像素电极的 TFT 关断，此时由于两个 TFT 都存在漏电流，两个像素电极上的电压会同时下降，通过控制工艺参数可以使两个 TFT 的漏电能力相同，因此，两个像素电极的电压降能保持一致，从而使两个像素电极间的电压差稳定，进而避免了画面闪烁现象的发生。

[0064] 根据上述分析可知，本发明实施例提供的像素单元的驱动方法中，由于在该像素单元中设置了两个像素电极，且各像素电极分别由对应的一个薄膜晶体管控制，使得可以用在两个像素电极间的电压差来控制液晶分子偏转，而不会对阵列基板中其它的像素单元像素电极上的电压造成影响，从而避免了显示偏绿现象的发生。另外，由于在像素单元关闭时，分别控制两个像素电极的两个薄膜晶体管可具有相同的漏电能力，因此使得两个像素电极间的电压差保持稳定，从而避免了画面闪烁现象的发生。

[0065] 上述实施例中借助图 6a 至图 6c 示出了像素单元中栅线和数据线与薄膜晶体管连接的三种方式，相应地，不同连接方式的像素单元具有不同的驱动方法，下面分别对图 6a 至图 6c 中的像素单元的驱动方法进行说明。

[0066] 如图 6a 所示，像素单元包括两条栅线 (G1, G2) 和一条数据线 (D2)，上述像素单元的驱动方法中向第一像素电极 P 提供第一电压的步骤具体包括：向与第一薄膜晶体管 T1 栅极 11 电连接的两条栅线中的第一栅线 G1 施加开启电压，以使第一薄膜晶体管 T1 开启；通过与第一薄膜晶体管 T1 源极 13 电连接的数据线 D2 向第一像素电极 P 施加第一电压。

[0067] 上述像素单元的驱动方法中向第二像素电极 PB 提供第二电压的步骤具体包括：向与第二薄膜晶体管 T2 栅极 12 电连接的两条栅线中的第二栅线 G2 施加开启电压，以使第二薄膜晶体管 T2 开启；通过与第二薄膜晶体管 T2 源极 14 电连接的数据线 D2 向第二像素电极 PB 施加第二电压。

[0068] 如图 6b 所示，像素单元包括两条栅线 (G1, G2) 和两条数据线 (D1, D2)，上述像素单元的驱动方法中向第一像素电极 P 提供第一电压的步骤具体包括：向与第一薄膜晶体管 T1 栅极 11 电连接的两条栅线中的第一栅线 G1 施加开启电压，以使第一薄膜晶体管 T1 开启；通过与第一薄膜晶体管 T1 源极 13 电连接的两条数据线中的第一数据线 D1 向第一像素电极 P 施加第一电压。

[0069] 上述像素单元的驱动方法中向第二像素电极 PB 提供第二电压的步骤具体包括：向与第二薄膜晶体管 T2 栅极 12 电连接的两条栅线中的第二栅线 G2 施加开启电压，以使第二薄膜晶体管 T2 开启；通过与第二薄膜晶体管 T2 源极 14 电连接的两条数据线中的第二数据线 D2 向第二像素电极 PB 施加第二电压。

[0070] 如图 6c 所示，像素单元包括一条栅线 G1 和两条数据线 (D1, D2)，上述像素单元的驱动方法中向第一像素电极 P 提供第一电压的步骤和向第二像素电极提供第二电压的步

骤是同时进行的,具体包括:向与第一薄膜晶体管 T1 的栅极 11 和第二薄膜晶体管 T2 的栅极 12 共同电连接的栅线 G1 施加开启电压,以使第一薄膜晶体管 T1 和第二薄膜晶体管 T2 同时开启;通过与第一薄膜晶体管 T1 源极 13 电连接的两条数据线中第一数据线 D1 向第一像素电极 P 施加第一电压;同时,通过与第二薄膜晶体管 T2 源极 14 电连接的两条数据线中第二数据线 D2 向第二像素电极 PB 施加第二电压。

[0071] 为了更清楚地说明阵列基板中各像素单元是如何被驱动的,下面结合图 4 和图 5 描述阵列基板驱动方法的一个具体实例。

[0072] 该方法用于驱动图 4 所示的阵列基板,采用行扫描方式,即逐行向栅线施加电压。

[0073] 具体地,假设在一帧图像显示时间内,向图 4 所示的阵列基板中的第 j 列像素单元的数据线 D_j 施加如图 5 所示的数据电压 Data_{in}。根据波形图可以看出,按指定的时间间隔 (t₁ ~ t₈),数据线上依次施加的电压为:0v、-2v、+3v、-2v、0v、0v、-2v、1v。同时在该帧图像显示时间内,按指定的时间间隔 (t₁ ~ t₈) 在第 i-1 条栅线至第 i+6 条栅线上依次施加开启电压。也就是说,在处于第 1 时间间隔 t₁ 时,向第 i-1 条栅线 G_{i-1} 上施加开启电压,第 i 行像素单元的第一薄膜晶体管开启,第 i 行第 j 列像素单元 C 中连接第一薄膜晶体管 T1 的第一像素电极 P 上施加 0v 电压;在处于第 2 时间间隔 t₂ 时,第 i-1 行栅线 G_{i-1} 关闭,即第 i-1 行像素单元的第一薄膜晶体管 T1 关闭,在存储电容的作用下,第一像素电极 P 上的电压能够保持到一帧图像显示结束,向第 i 条栅线 G_i 上施加开启电压,第 i 行像素单元的第二薄膜晶体管 T2 及第 i+1 行像素单元的第一薄膜晶体管开启,第 i 行第 j 列像素单元 C 中连接第二薄膜晶体管 T2 的第二像素电极 PB 上施加 -2v 电压,同时第 i+1 行第 j 列像素单元中连接第一薄膜晶体管的第一像素电极上也施加 -2v 电压,这样使得第 i 行第 j 列像素单元中第一像素电极 P 和第二像素电极 PB 之间形成 (-2-0)v 的电压差,即 -2v 的电压差,形成水平电场驱动该像素单元进行显示,同样的当第 i 行栅线 G_i 关闭,第 i+1 行栅线 G_{i+1} 开启时,通过存储电容也可以使第 i 行第 j 列像素单元 C 中的第二像素电极的电压维持到一帧图像显示结束,依次类推。图 5 中标记为 P 的实线波形示出了依次施加各行像素单元中第一像素电极 P 上的电压;而标记为 PB 的虚线波形示出了依次施加在各像素单元中第二像素电极 PB 上的电压,用第二像素电极 PB 上电压减去第一像素电极 P 上电压,获得电压差 ΔV,该电压差为控制像素单元中液晶分子转向的电压。

[0074] 采用此驱动方法,在获得相同的液晶分子偏转电压的前提下,可以使施加在单个像素电极上的电压绝对值显著降低。例如,如图 5 所示,在时间间隔 t₂ 时,获得的两像素电极间的电压差为 +5v,而需要施加在两个像素电极上的电压分别为 -2v 和 +3v;而如果驱动现有的一个像素电极与一个公共电极的像素单元结构,通常公共电极的电压都设为 0v,要获得像素电极与公共电极间 +5v 的电压差,就需要在该像素电极上施加 +5v 的电压。

[0075] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

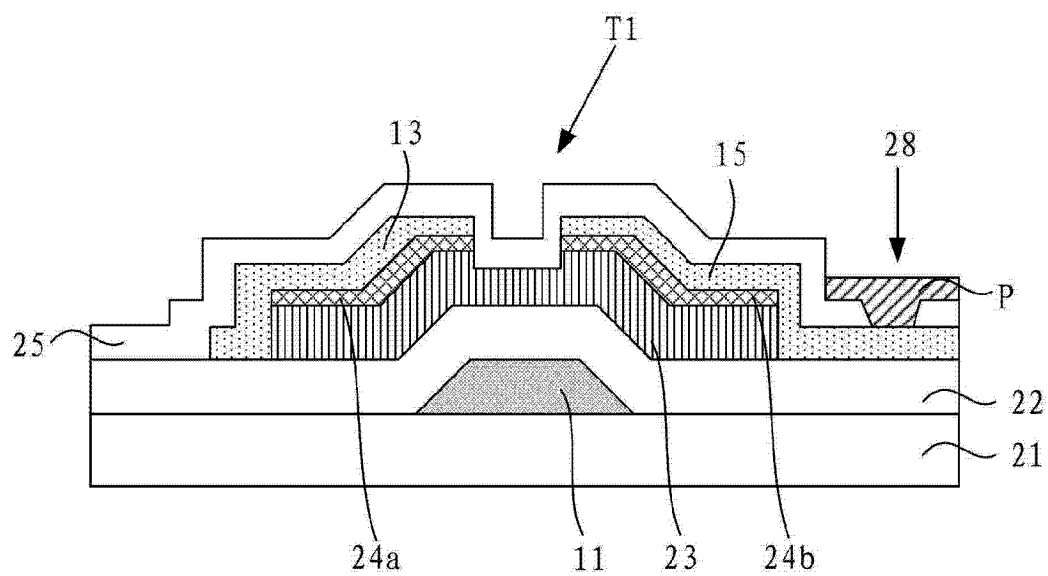


图 2a

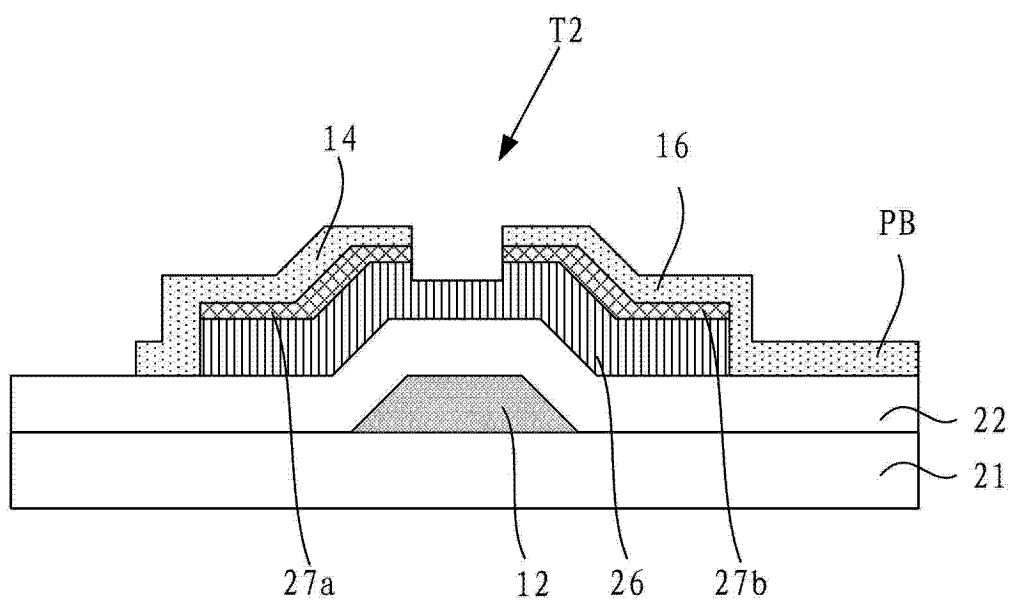


图 2b

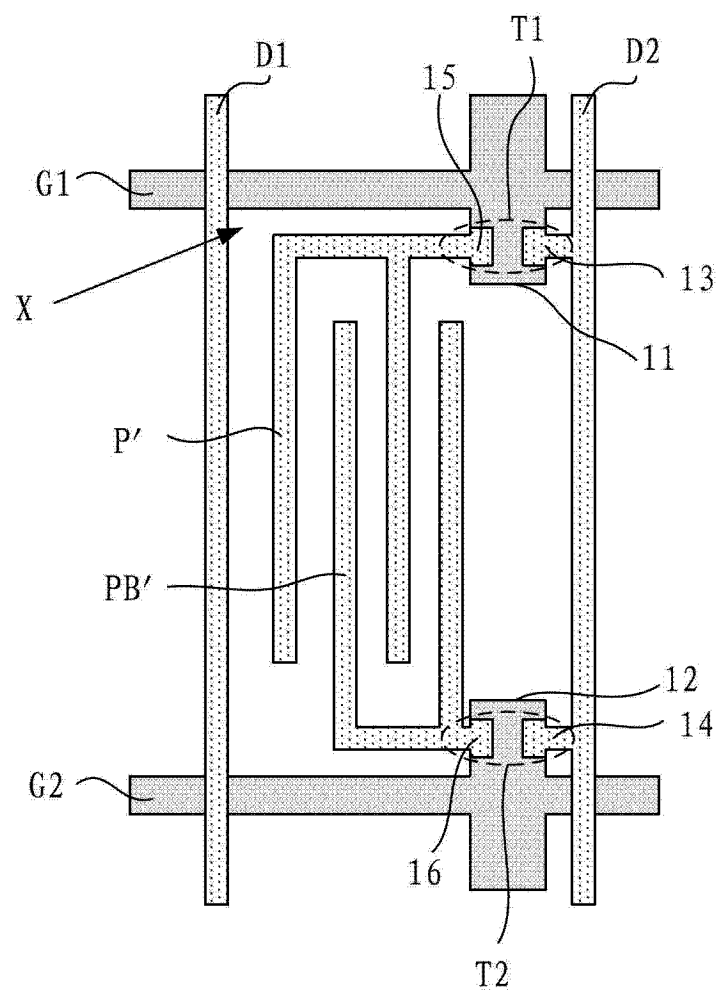


图 3

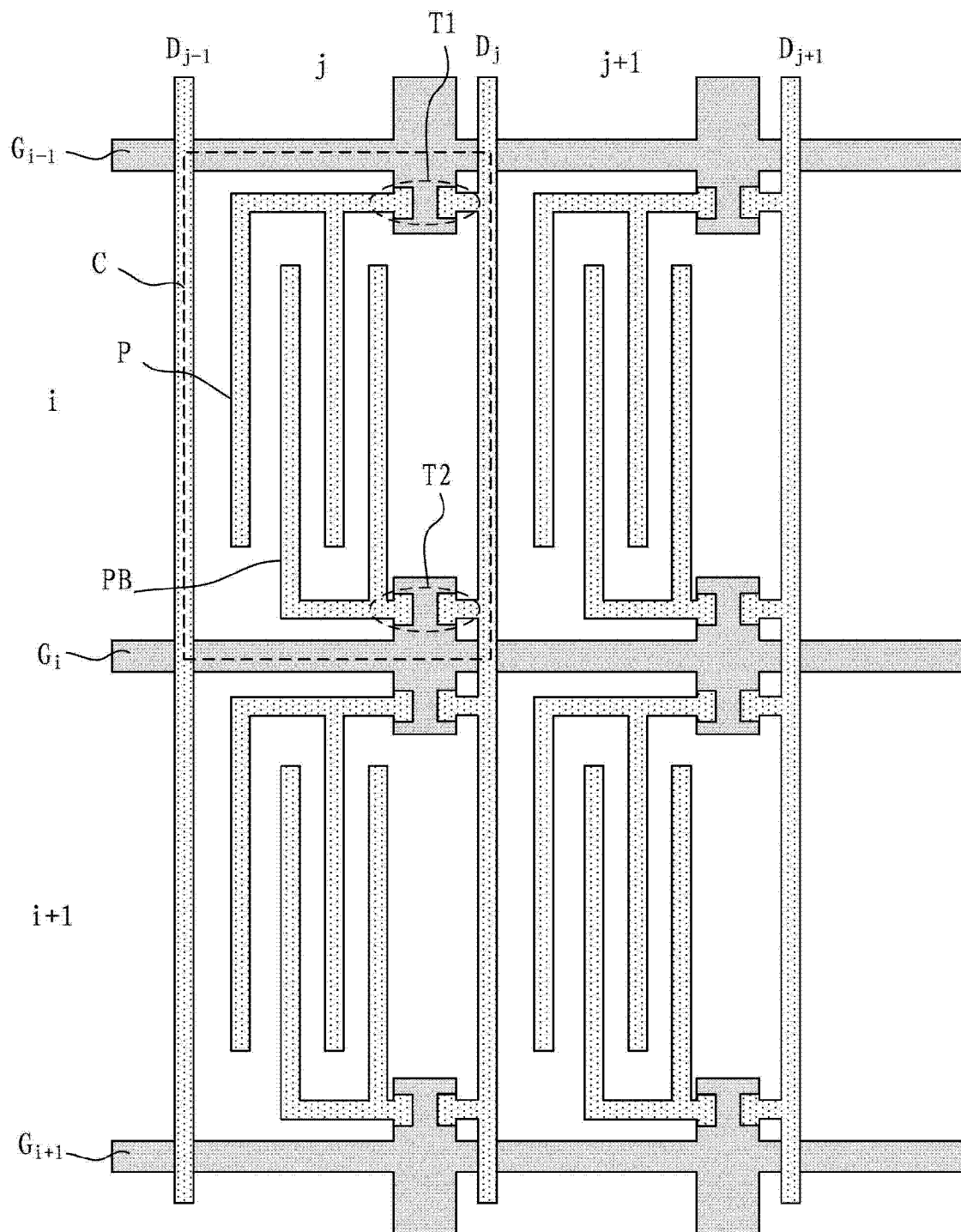


图 4

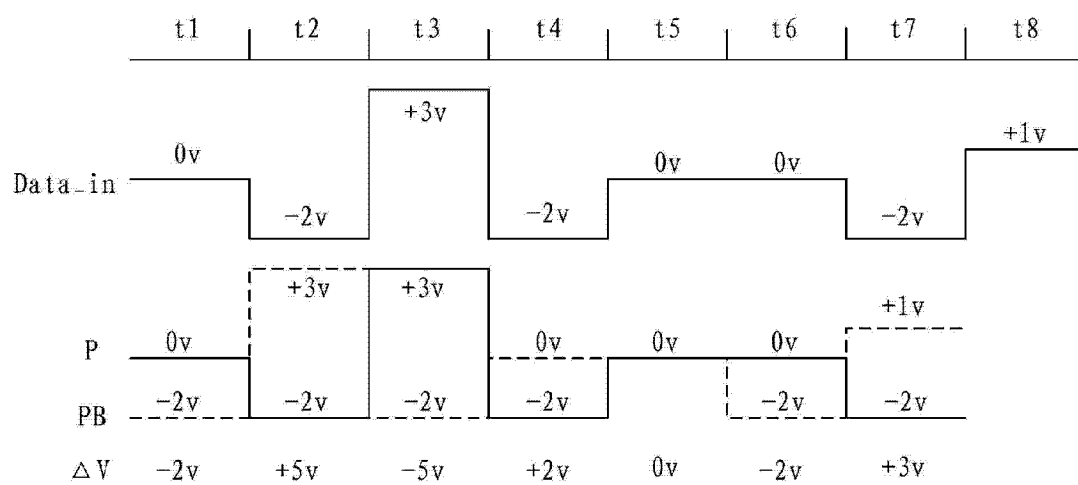


图 5

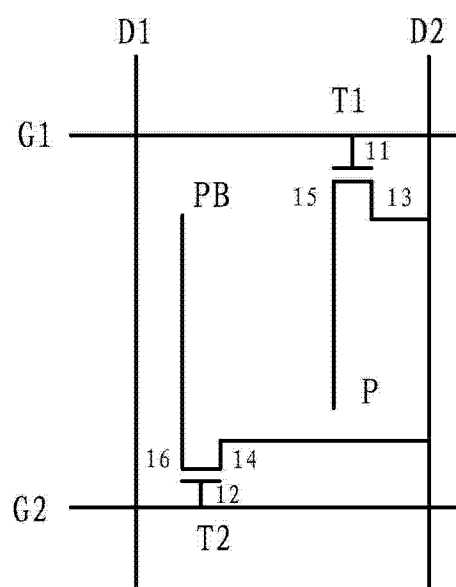


图 6a

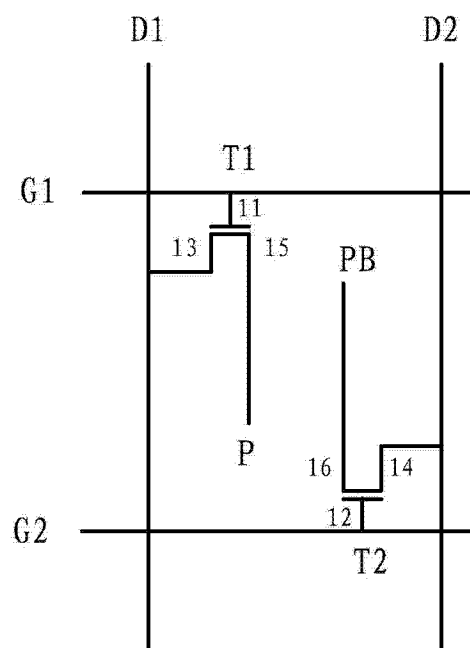


图 6b

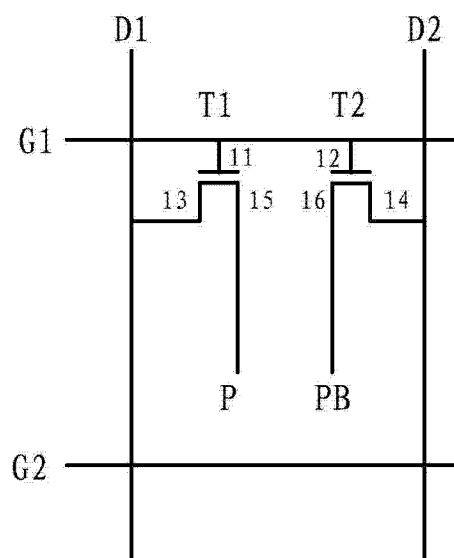


图 6c

专利名称(译)	像素单元、阵列基板、液晶显示面板、装置及驱动方法		
公开(公告)号	CN102937765A	公开(公告)日	2013-02-20
申请号	CN201210405075.9	申请日	2012-10-22
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	刘尧虎		
发明人	刘尧虎		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/133 G09G3/26		
CPC分类号	G09G2320/0247 G09G3/3659 G02F1/13624 G09G2300/0847 G02F1/134363 H01L27/1251 H01L27/1255 H05B47/10		
代理人(译)	申健		
其他公开文献	CN102937765B		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例提供一种像素单元、阵列基板、液晶显示面板、装置及驱动方法，涉及液晶显示技术领域，解决了现有液晶显示装置显示图像时存在的显示偏绿现象和画面闪烁现象。本发明实施例中，由于在像素单元中设置了两个像素电极，且各像素电极分别由对应的一个薄膜晶体管控制，使得可以用在两个像素电极间的电压差来控制液晶分子偏转，而不会对阵列基板中其它的像素单元像素电极上的电压造成影响，从而避免了显示偏绿现象的发生。另外，由于在像素单元关闭时，分别控制两个像素电极的两个薄膜晶体管可具有相同的漏电能力，因此使得两个像素电极间的电压差保持稳定，从而避免了画面闪烁现象的发生。

