



(12) 发明专利

(10) 授权公告号 CN 102629059 B

(45) 授权公告日 2015. 05. 27

(21) 申请号 201210021820. X

(22) 申请日 2012. 01. 31

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
专利权人 北京京东方显示技术有限公司

(72) 发明人 刘莎 王宝强

(74) 专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

G02F 1/133(2006. 01)

H01L 21/77(2006. 01)

H01L 27/12(2006. 01)

(56) 对比文件

CN 102156359 A, 2011. 08. 17,

CN 202649652 U, 2013. 01. 02,

US 2004/0085503 A1, 2004. 05. 06,

审查员 宋萍

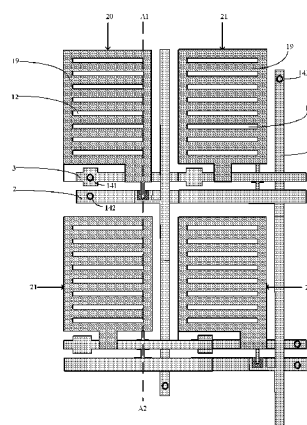
权利要求书2页 说明书9页 附图10页

(54) 发明名称

阵列基板及制造方法、液晶面板和液晶显示器

(57) 摘要

本发明公开了一种阵列基板及制造方法、液晶面板和液晶显示器,涉及液晶显示技术领域,用以降低实现反转驱动所需的驱动功耗。其中,阵列基板包括衬底基板、栅线、数据线和像素单元;所述像素单元包括两层透明导电膜和薄膜晶体管;所有像素单元分为第一像素单元和第二像素单元两种,沿数据线方向所述第一像素单元和第二像素单元间隔排列;在第一像素单元中,第一层透明导电膜与公共电极线电性连接,第二层透明导电膜与薄膜晶体管的漏电极电性连接;在第二像素单元中,第一层透明导电膜与薄膜晶体管的漏电极电性连接,第二层透明导电膜与公共电极线电性连接;各像素单元中的公共电极线电性连接。本发明用于液晶显示技术领域。



1. 一种阵列基板,包括:衬底基板,设置在所述衬底基板上的栅线、数据线和公共电极线,所述栅线 and 数据线限定有多个像素单元;在所述像素单元中形成有两层透明导电膜和薄膜晶体管;其特征在于,

所有像素单元分为第一像素单元和第二像素单元两种,且沿所述数据线方向所述第一像素单元和第二像素单元间隔排列;其中,

在所述第一像素单元中,第一层透明导电膜与公共电极线电性连接,第二层透明导电膜与薄膜晶体管的漏电极电性连接;在所述第二像素单元中,第一层透明导电膜与薄膜晶体管的漏电极电性连接,第二层透明导电膜与公共电极线电性连接;各像素单元中的公共电极线电性连接;

所述第一像素单元中,所述薄膜晶体管为底栅型;所述第二像素单元中,所述薄膜晶体管为顶栅型,且所述第一层透明导电膜与顶栅型薄膜晶体管的漏电极直接相连。

2. 根据权利要求1所述的阵列基板,其特征在于,所述第一像素单元中的薄膜晶体管为底栅结构;所述第二像素单元中的薄膜晶体管为顶栅结构;

所述在所述第一像素单元中,第一层透明导电膜与公共电极线电性连接,第二层透明导电膜与薄膜晶体管的漏电极电性连接;在所述第二像素单元中,第一层透明导电膜与薄膜晶体管的漏电极电性连接,第二层透明导电膜与公共电极线电性连接具体为,

在所述第一像素单元中,第一层透明导电膜与公共电极线直接相连或通过过孔电性连接,第二层透明导电膜与底栅结构的薄膜晶体管的漏电极通过过孔电性连接;在第二像素单元中,第一层透明导电膜与顶栅结构的薄膜晶体管的漏电极直接相连,第二层透明导电膜与公共电极线通过过孔电性连接;

其中,在所述第一像素单元中,第一层透明导电膜为公共电极,所述公共电极的图案为无缝隙的板状,第二层透明导电膜为像素电极,所述像素电极的图案为狭缝状;

在所述第二像素单元中,第一层透明导电膜为像素电极,所述像素电极的图案为狭缝状,第二层透明导电膜为公共电极,所述公共电极的图案为无缝隙的板状。

3. 根据权利要求2所述的阵列基板,其特征在于,沿所述栅线的方向所述第一像素单元和第二像素单元间隔排列。

4. 根据权利要求3所述的阵列基板,其特征在于,沿所述栅线的方向,第一像素单元中的栅线通过栅绝缘层过孔与其相邻的第二像素单元中的栅线电性连接;

沿数据线的方向,第一像素单元中的数据线通过栅绝缘层过孔与其相邻的第二像素单元中的数据线电性连接。

5. 根据权利要求2所述的阵列基板,其特征在于,

所述各像素单元中的公共电极线电性连接具体为,

沿所述栅线方向,若相邻像素单元的公共电极线为同层,则所述相邻像素单元的公共电极线直接相连;

沿所述栅线方向,若相邻像素单元的公共电极线为异层,则所述相邻像素单元的公共电极线通过过孔电性连接。

6. 根据权利要求2所述的阵列基板,其特征在于,沿所述栅线的方向,相邻像素单元同为第一像素单元或者同为第二像素单元。

7. 根据权利要求6所述的阵列基板,其特征在于,沿所述栅线的方向,第一像素单元中

的栅线与其相邻的第二像素单元中的栅线直接相连；

沿数据线的方向，第一像素单元中的数据线的栅绝缘层过孔与其相邻的第二像素单元中的数据线的电性连接。

8. 一种阵列基板的制造方法，其特征在于，所述阵列基板包括第一像素单元和第二像素单元，所述方法包括：

在衬底基板上沉积透明导电材料，并通过构图工艺形成对应第一像素单元和第二像素单元的第一层透明导电膜的图案；其中，所述第一像素单元和第二像素单元沿数据线方向间隔排列；

在形成有第一层透明导电膜的衬底基板上制作第一层金属薄膜和第一层半导体薄膜，并通过构图工艺形成对应第一像素单元的栅线、栅电极和公共电极线，对应第二像素单元的漏电极、源电极、有源层和数据线；

沉积栅绝缘层，并通过构图工艺在第一像素单元的栅线和公共电极线的两端分别形成栅绝缘层过孔，在第二像素单元的数据线两端形成栅绝缘层过孔；

制作第二层半导体薄膜和第二层金属薄膜，并通过构图工艺形成对应第一像素单元的有源层、漏电极、源电极和数据线，对应第二像素单元的栅线、栅电极和公共电极线；

沉积钝化层，并通过构图工艺在第一像素单元中与漏电极相对应的位置形成钝化层过孔，在第二像素单元中的公共电极线上形成钝化层过孔；

沉积透明导电材料，并通过构图工艺形成对应第一像素单元和第二像素单元的第二层透明导电膜的图案；其中，在所述第一像素单元中，第二层透明导电膜通过钝化层过孔和薄膜晶体管的漏电极电性连接，在所述第二像素单元中，第二层透明导电膜通过钝化层过孔和公共电极线电性连接；

所述第一像素单元中，形成的所述薄膜晶体管为底栅型；所述第二像素单元中，形成的薄膜晶体管为顶栅型，且所述第一层透明导电膜与顶栅型薄膜晶体管的漏电极直接相连。

9. 一种液晶面板，包括相对设置的彩膜基板和阵列基板，以及填充于所述彩膜基板和所述阵列基板之间的液晶层，其特征在于，所述阵列基板为权利要求 1-7 中任一项所述的阵列基板。

10. 一种液晶显示器，包括外壳和驱动装置，其特征在于：还包括权利要求 9 所述的液晶面板，所述驱动装置与所述液晶面板的栅线、公共电极线和数据线分别相连，用于向公共电极线输入公共电压，向栅线输入栅极开关电压，且向数据线输入工作电压。

阵列基板及制造方法、液晶面板和液晶显示器

技术领域

[0001] 本发明涉及液晶显示技术,尤其涉及一种阵列基板及制造方法、液晶面板和液晶显示器。

背景技术

[0002] 液晶显示器是目前常用的平板显示器,其中薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display,简称 TFT-LCD)是液晶显示器中的主流产品。TFT-LCD 一般由阵列基板和彩膜基板对盒后在其间填充液晶层而制成。通过电场来驱动液晶分子的扭转,使光线选择性通过来呈现不同灰度的图像。驱动液晶分子扭转的电场在像素电极和公共电极之间形成。公共电极由公共电极线连通,并通过公共电极线输入公共电压;像素电极与数据线连通,并通过数据线输入工作电压。一般公共电压恒定不变,像素电极的工作电压由驱动信号序列控制大小,从而形成变化的电场。

[0003] 现有技术提出了反转驱动技术,即采用适当的驱动信号序列使 TFT-LCD 的各像素单元的电场发生反转,从而使液晶分子的扭转方向交替变化。反转驱动方式可实现帧反转、行反转、列反转或点反转,其中点反转方式以显示画面均匀性更好,画面品质高,电路之间的耦合最小而逐渐成为各大厂商的首选方式。所谓点反转,就是对于某一像素单元,在画面显示一帧的时间内采用正电压(即工作电压高于公共电压),下一帧的时间则采用负电压(即工作电压低于公共电压)对该像素单元进行充电而实现正负电极交替;同时,在整个液晶面板中,同一帧的时间内各像素单元的电压极性与其上下左右的四个像素单元相反。现有技术为实现点反转,需要在同一帧的时间内不断反转数据线驱动各像素单元的工作电压,工作电压在高低电压之间的频繁地交替变化导致数据线驱动功耗增加,限制了大尺寸液晶显示面板的开发和应用。

发明内容

[0004] 本发明的实施例提供一种阵列基板及制造方法、液晶面板和液晶显示器,以降低实现反转驱动所需的驱动功耗。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 一方面,提供一种阵列基板,包括:衬底基板,设置在所述衬底基板上的栅线 and 数据线,以及公共电极线,所述栅线和数据线限定有多个像素单元;在所述像素单元中形成有两层透明导电膜和薄膜晶体管;所有像素单元分为第一像素单元和第二像素单元两种,且沿所述数据线方向所述第一像素单元和第二像素单元间隔排列;其中,在所述第一像素单元中,第一层透明导电膜与公共电极线电性连接,第二层透明导电膜与薄膜晶体管的漏电极电性连接;在所述第二像素单元中,第一层透明导电膜与薄膜晶体管的漏电极电性连接,第二层透明导电膜与公共电极线电性连接;各像素单元中的公共电极线电性连接。

[0007] 一方面,提供一种阵列基板的制造方法,所述阵列基板包括第一像素单元和第二像素单元,所述方法包括:

[0008] 在衬底基板上沉积透明导电材料,并通过构图工艺形成对应第一像素单元和第二像素单元的第一层透明导电膜的图案;其中,所述第一像素单元和第二像素单元沿所述数据线方向间隔排列;

[0009] 在形成有第一层透明导电膜的衬底基板上制作第一层金属薄膜和第一层半导体薄膜,并通过构图工艺形成对应各个像素单元的栅线、栅电极和公共电极线;

[0010] 沉积栅绝缘层,并通过构图工艺形成过孔;

[0011] 制作第二层半导体薄膜和第二层金属薄膜,并通过构图工艺形成对应各个像素单元的有源层、源漏电极和数据线;

[0012] 沉积钝化层,并通过构图工艺形成过孔;

[0013] 沉积透明导电材料,并通过构图工艺形成对应第一像素单元和第二像素单元的第二层透明导电膜的图案;其中,在所述第一像素单元中,第二层透明导电膜通过过孔和薄膜晶体管的漏电极电性连接,在所述第二像素单元中,第二层透明导电膜通过过孔和公共电极线电性连接。

[0014] 一方面,提供一种阵列基板的制造方法,所述阵列基板包括第一像素单元和第二像素单元,所述方法包括:

[0015] 在衬底基板上沉积透明导电材料,并通过构图工艺形成对应第一像素单元和第二像素单元的第一层透明导电膜的图案;其中,所述第一像素单元和第二像素单元沿所述数据线方向间隔排列;

[0016] 在形成有第一层透明导电膜的衬底基板上制作第一层金属薄膜和第一层半导体薄膜,并通过构图工艺形成对应各个像素单元的栅线、栅电极和公共电极线;

[0017] 沉积栅绝缘层,并通过构图工艺形成过孔;

[0018] 制作第二层半导体薄膜和第二层金属薄膜,并通过构图工艺形成对应各个像素单元的有源层、源漏电极和数据线;

[0019] 沉积钝化层,并通过构图工艺形成过孔;

[0020] 沉积透明导电材料,并通过构图工艺形成对应第一像素单元和第二像素单元的第二层透明导电膜的图案;其中,在所述第一像素单元中,第二层透明导电膜通过过孔和薄膜晶体管的漏电极电性连接,在所述第二像素单元中,第二层透明导电膜通过过孔和公共电极线电性连接。

[0021] 一方面,提供一种液晶面板,包括相对设置的彩膜基板和阵列基板,以及填充于所述彩膜基板和所述阵列基板之间的液晶层,所述阵列基板是上述任一阵列基板。

[0022] 一方面,提供一种液晶显示器,包括外壳和驱动装置,还包括上述液晶面板,所述驱动装置与上述液晶面板的栅线、公共电极线和数据线分别相连,用于向公共电极线输入公共电压,向栅线输入栅极开关电压,且向数据线输入工作电压。

[0023] 本发明实施例提供的阵列基板及制造方法、液晶面板和液晶显示器,在阵列基板中沿数据线方向间隔设置第一像素单元和第二像素单元,各个像素单元中形成有两层导电膜。其中,在第一像素单元中,第一层导电膜作为第一像素单元的公共电极,第二层导电膜作为第一像素单元的像素电极;在第二像素单元中,第一层导电膜作为第二像素单元的像素电极,第二层导电膜作为第二像素单元的公共电极。这样,第一像素单元的像素电极和公共电极与第二像素单元的像素电极和公共电极位置反向。这样,无需反转驱动信号序列就

能够实现第一像素单元和第二像素单元之间电场的反向,从而可以降低实现反转驱动所需的驱动功耗。本发明结构所提供的液晶显示器配合按帧反转或按列反转的驱动信号序列,能实现点反转的显示效果,从而降低现有技术中实现点反转所需的驱动功耗。

附图说明

[0024] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0025] 图 1 为本发明实施例提供的阵列基板中第一像素单元和第二像素单元的一种排列方式;

[0026] 图 2 为本发明实施例提供的阵列基板中第一像素单元和第二像素单元的另一种排列方式;

[0027] 图 3 为本发明实施例提供的阵列基板中第一像素单元和第二像素单元的结构示意图;

[0028] 图 4 为沿图 3 中 A1-A2 线的部分结构剖视图;

[0029] 图 5 为本发明另一实施例提供的阵列基板中第一像素单元和第二像素单元的结构示意图;

[0030] 图 6 为沿图 5 中 A1-A2 线的部分结构剖视图;

[0031] 图 7 为第一像素单元和第二像素单元在图 1 所示排列方式下,工作电压极性与像素单元电场极性的对应关系示意图;

[0032] 图 8 为第一像素单元和第二像素单元在图 2 所示排列方式下,工作电压极性与像素单元电场极性的对应关系示意图。

[0033] 图 9 为本发明实施提供的一种阵列基板的制造方法的流程图;

[0034] 图 10 为本发明实施例提供的阵列基板制造方法过程中第一种结构状态的示意图;

[0035] 图 11 为本发明实施例提供的阵列基板制造方法过程中第二种结构状态的示意图;

[0036] 图 12 为本发明实施例提供的阵列基板制造方法过程中第三种结构状态的示意图;

[0037] 图 13 为本发明实施例提供的阵列基板制造方法过程中第四种结构状态的示意图;

[0038] 图 14 为本发明实施例提供的阵列基板制造方法过程中第五种结构状态的示意图。

具体实施方式

[0039] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他

实施例,都属于本发明保护的范围。

[0040] 在本发明所有实施例中,同层设置是针对至少两种图案而言的,是指将至少两种图案设置在同一层薄膜上的结构。具体的,是通过构图工艺在采用同种材料制成的一层薄膜上形成所述至少两种图案。例如,栅线和栅极同层设置的制作过程,可以是:利用钼、铜等材料制作薄膜,通过构图工艺在该薄膜上形成栅极和栅线的图案。当然,如通常的做法栅极的图案和栅线的图案是直接接触的。直接相连也是针对至少两种图案而言的,其中,两种图案直接相连可以是同层设置的两种图案直接接触,例如,栅线和栅极直接相连;还可以是相邻层的两种图案直接接触,例如,图4中右图所示,漏电极16与第一层透明导电膜12(作为像素电极)直接接触相连。与直接相连对应的是,通过过孔电性连接;两种图案通过过孔电性连接是指,两种图案分别为不相邻的两层薄膜上的图案,且上述不相邻的两层薄膜之间设置有起到绝缘作用的薄膜,通过在该绝缘层薄膜上设置过孔使得不相邻的两层薄膜上的图案电性连接;例如,图4中左图所示,第二层透明导电膜19(作为像素电极)与漏电极16之间设置有钝化层18,作为像素电极的第二层透明导电膜19与漏电极16通过钝化层过孔181电性连接。

[0041] 本发明实施例提供一种阵列基板,包括:衬底基板,设置在所述衬底基板上的栅线和数据线,以及公共电极线,所述栅线和数据线限定有多个像素单元;在所述像素单元中形成有两层透明导电膜和薄膜晶体管。所有像素单元分为第一像素单元和第二像素单元两种,且沿所述数据线方向所述第一像素单元和第二像素单元间隔排列。其中,在所述第一像素单元中,第一层透明导电膜与公共电极线电性连接,第二层透明导电膜与薄膜晶体管的漏电极电性连接;在所述第二像素单元中,第一层透明导电膜与薄膜晶体管的漏电极电性连接,第二层透明导电膜与公共电极线电性连接;各像素单元中的公共电极线电性连接。

[0042] 通过上述结构设置,在第一像素单元中,第一层导电膜作为第一像素单元的公共电极,第二层导电膜作为第一像素单元的像素电极;在第二像素单元中,第一层导电膜作为第二像素单元的像素电极,第二层导电膜作为第二像素单元的公共电极。这样,第一像素单元的像素电极和公共电极与第二像素单元的像素电极和公共电极位置反向。当第一像素单元和第二像素单元通入相同极性工作电压时,由于第一像素单元的像素电极和公共电极与第二像素单元的像素电极和公共电极位置反向,会在第一像素单元和第二像素单元的像素电极和公共电极对应位置形成方向相反的电场。这样无需反转数据线输入的工作电压,就可以实现第一像素单元和第二像素单元电场方向的反向,从而可以降低实现反转驱动所需的驱动功耗。

[0043] 可选的,第一像素单元和第二像素单元中的薄膜晶体管都为顶栅结构。在第一像素单元中,第二层透明导电膜与顶栅结构的薄膜晶体管的漏电极通过第一层绝缘层过孔电性连接,若公共电极线与该像素单元中的栅线同层设置,则在该像素单元中第一层透明导电膜与公共电极线直接相连;若公共电极线与该像素单元中的数据线同层设置,则在该像素单元中第一层透明导电膜与公共电极线通过栅绝缘层过孔电性连接。在第二像素单元中,第一层透明导电膜与顶栅结构的薄膜晶体管的漏电极直接相连,若公共电极线与该像素单元中的栅线同层设置,则第二层透明导电膜与公共电极线通过栅绝缘层过孔电性连接,若公共电极线与该像素单元中的数据线同层设置,则第二层透明导电膜与公共电极线通过栅绝缘层过孔和钝化层过孔电性连接。在包含顶栅结构薄膜晶体管的第二像素中,由

于源漏电极层的金属直接制作在第一层透明导电膜,即第二像素单元的像素电极上,避免现有技术中薄膜晶体管中通过过孔给像素电极充电引起开口率的损失,提高了画面质量。同时,在包含顶栅结构薄膜晶体管的各个像素单元中,有源层与栅极呈现立体式的接触形式,相比于包含底栅形薄膜晶体管的像素单元,有源层与栅极的接触面积更大,增强薄膜晶体管沟道的导电性。

[0044] 可选的,第一像素单元的薄膜晶体管为底栅结构,在所述第一像素单元中,第二层透明导电膜与底栅结构的薄膜晶体管的漏电极通过钝化层过孔电性连接;若公共电极线与该像素单元中的栅线同层设置,则第一层透明导电膜与公共电极线直接相连,若公共电极线与该像素单元中的数据线同层设置,则第一层透明导电膜与公共电极线通过栅绝缘层过孔电性连接。第二像素单元的薄膜晶体管为顶栅结构,在第二像素单元中的第一层透明导电膜与顶栅结构的薄膜晶体管的漏电极直接相连,若公共电极线与该像素单元中的栅线同层设置,则第二层透明导电膜与公共电极线通过栅绝缘层过孔电性连接,若公共电极线与该像素单元中的数据线同层设置,则第二层透明导电膜与公共电极线通过栅绝缘层过孔和钝化层过孔电性连接。在包含顶栅结构薄膜晶体管的第二像素中,由于源漏电极层的金属直接制作在第一层透明导电膜,即第二像素单元的像素电极上,避免现有技术中薄膜晶体管中通过过孔给像素电极充电引起开口率的损失,提高了画面质量。同时,在包含顶栅结构薄膜晶体管的第二像素单元中,有源层与栅极呈现立体式的接触形式,相比于包含底栅形薄膜晶体管的第二像素单元,有源层与栅极的接触面积更大,增强薄膜晶体管沟道的导电性。

[0045] 可选的,每一像素单元中的公共电极线可以有两种设置方式。即每一像素单元中的公共电极线均与该像素单元中的栅线同层设置;或者,每一像素单元中的公共电极线均与该像素单元中的数据线同层设置。这样,各像素单元中的公共电极线电性连接具体为,沿栅线方向,若相邻像素单元的公共电极线为同层,则相邻像素单元的公共电极线直接相连;沿栅线方向,若相邻像素单元的公共电极线为异层,则所述相邻像素单元的公共电极线通过栅绝缘层过孔电性连接。

[0046] 可选的,沿栅线的方向第一像素单元和第二像素单元间隔排列(如图1所示)。在第一像素单元和第二像素单元中的薄膜晶体管都是顶栅结构的情况下,第一像素单元和第二像素单元中的栅线同层连接,数据线同层连接。在第一像素单元中的薄膜晶体管是底栅结构,第二像素单元中的薄膜晶体管是顶栅结构的情况下,沿栅线的方向,第一像素单元中的栅线通过栅绝缘层过孔与其相邻的第二像素单元中的栅线电性连接。沿数据线的方向,第一像素单元中的数据线通过栅绝缘层过孔与其相邻的第二像素单元中的数据线电性连接。通过上述的排列及连接方式,向数据线输入帧反转的驱动数据信号,数据线仅需要每帧反转一次工作电压的信号即可实现点反转,相比于已有技术显著降低了驱动功耗,且同时实现了较佳的反转驱动效果。

[0047] 可选的,沿栅线方向相邻像素单元同为第一像素单元或者同为第二像素单元(如图2所示)。在第一像素单元和第二像素单元中的薄膜晶体管都是顶栅结构的情况下,第一像素单元和第二像素单元中的栅线同层连接,数据线同层连接。在第一像素单元中的薄膜晶体管是底栅结构,第二像素单元中的薄膜晶体管是顶栅结构的情况下,沿栅线的方向,第一像素单元中的栅线与其相邻的第二像素单元中的栅线直接相连。沿数据线的方向,第一

像素单元中的数据线通过栅绝缘层过孔与其相邻的第二像素单元中的数据线电性连接。通过上述的排列及连接方式,向数据线输入列反转的驱动数据信号,数据线仅需要每帧反转一次工作电压的信号即可实现点反转,相比于已有技术显著降低了驱动功耗,且同时实现了较佳的反转驱动效果。

[0048] 下面参照图 3 和图 4,以第一像素单元和第二像素单元沿栅线和数据线的方向均间隔排列,即按照图 1 的方式排列。且每一像素单元中的公共电极线均与该像素单元中的栅线同层设置且相互平行为例对本发明实施例提供的阵列基板的具体结构进行说明。

[0049] 本发明实施例提供的阵列基板,包括设置在衬底基板 11 上的纵横交叉的数据线 4 和栅线 2,公共电极线 3,以及由纵横交叉的数据线 4 和栅线 2 限定的第一像素单元 20 和第二像素单元 21。图 3 为本发明实施例提供的阵列基板中第一像素单元和第二像素单元沿栅线和数据线的方向均间隔排列,且每一像素单元中的公共电极线均与该像素单元中的栅线同层设置且相互平行的情况下,四个相邻的像素单元的俯视图。图 4 为沿图 1 中 A1-A2 线的剖视图。其中,第一像素单元 20 包括,横向设置的栅线 2 和纵向设置的数据线 4,以及与栅线 2 同层设置且相互平行的公共电极线 3;第一层透明导电膜 12;由栅电极 13、绝缘层 14、有源层 15 以及漏电极 16 和源电极 17 构成的底栅形薄膜晶体管;钝化层 18 和第二层透明导电膜 19。栅电极 13 与栅线 2 同层设置,第一层透明导电膜 12 作为第一像素单元 20 的公共电极与公共电极线 3 通过邻层设置直接电性相连。第二层透明导电膜 19 作为第一像素单元 20 的像素电极与底栅形薄膜晶体管的漏电极 16 通过钝化层过孔 181 电性相连。像素电极的图案为狭缝状,公共电极的图案为无缝隙的板状。第二像素单元 21 包括,横向设置的栅线 2 和纵向设置的数据线 4,以及与栅线 2 同层设置且相互平行的公共电极线 3;第一层透明导电膜 12;由栅电极 13、绝缘层 14、有源层 15 以及漏电极 16 和源电极 17 构成的顶栅形薄膜晶体管;钝化层 18 和第二层透明导电膜 19。栅电极 13 与栅线 2 同层设置,第一层透明导电膜 12 作为第二像素单元 21 的像素电极与顶栅形薄膜晶体管的漏电极 16 分别设置在相邻的两层薄膜上,通过相互接触直接电性相连。第二层透明导电膜 19 作为第二像素单元 21 的公共电极与公共电极线 3 通过钝化层过孔 182 电性相连。像素电极的图案为狭缝状,公共电极的图案为无缝隙的板状。

[0050] 图 3 中,沿栅线的方向第一像素单元 20 和第二像素单元 21 可以间隔排列。且每一像素单元 20 中的公共电极线 3 均与该像素单元中的栅线 2 同层设置且相互平行。则沿栅线 2 的方向,第一像素单元 20 和第二像素单元 21 的栅线 2 和公共电极线 3 均为异层。第一像素单元 20 中的栅线 2、公共电极线 3 分别通过栅绝缘层过孔 142、和栅绝缘层过孔 141 和与其相邻的第二像素单元 21 中的栅线 2、公共电极线 3 电性连接。沿数据线 4 的方向,第一像素单元 20 中的数据线 4 通过栅绝缘层过孔 143 和与其相邻的第二像素单元 21 中的数据线 4 电性连接。本领域技术人员根据已有的本领域知识及上述描述可以很容易得出,公共电极线与数据线同层设置且相互平行时,按照图 1 方式排列的相邻的各个像素电极中公共电极线、数据线及栅线的连接方式。同时,也很容易得出,公共电极线与数据线同层设置且相互平行时,按照图 2 方式排列的相邻的各个像素电极中公共电极线、数据线及栅线的连接方式。在此不再赘述。

[0051] 本发明实施例提供的另一种阵列基板,参见图 5 和图 6,与上一实施例中的阵列基板的区别在于,第一像素单元中的薄膜晶体管是顶栅结构。其中,第一层透明导电膜 12 作

为第一像素单元的公共电极与和栅电极 13 同层的公共电极线通过栅绝缘层过孔（图 5 中未标出）电性相连。第二层透明导电膜 19 作为第一像素单元的像素电极与底栅形薄膜晶体管的漏电极 16 通过钝化层过孔 181 和栅绝缘层过孔 141 电性相连。

[0052] 本发明实施例提供的阵列基板，当第一像素单元和第二像素单元沿栅线和数据线均间隔排列（即按照图 1 的方式排列）时，向数据线输入按帧反转的工作电压可以实现点反转，从而降低驱动功耗。

[0053] 具体的，如图 7 所示为第一像素单元 20 和第二像素单元 21 按照图 1 所示的方式排列形成的阵列基板中工作电压极性与像素单元电场极性的对应关系，其中示出了 4×4 矩阵的像素单元。上部分为工作电压信号序列。下部分为对应像素单元的电场极性。当向数据线中输入帧反转的数据信号，即每列数据线输入的工作电压在一帧内极性相同。图 7 中左图为一帧内工作电压极性与像素单元电场极性的对应关系，图 7 中右图为下一帧内工作电压极性与像素单元电场极性的对应关系。这样，数据线仅需要每帧反转一次工作电压的信号即可实现点反转。相比于现有技术中通过在同一帧的时间内不断反转数据线驱动各像素单元的工作电压实现点反转显著降低了驱动功耗，且同时实现了较佳的反转驱动效果。此外，帧反转驱动的方式也使得数据线信号的延迟更低，从而提高了像素的充电率。

[0054] 发明实施例提供的阵列基板，当第一像素单元和第二像素单元沿数据线均间隔排列，沿栅线方向，相邻像素单元同为第一像素单元或者同为第二像素单元（即按照图 2 的方式排列）时，向数据线输入按列反转的工作电压可以实现点反转，从而降低驱动功耗。

[0055] 如图 8 第一像素单元 20 和第二像素单元 21 按照图 2 所示的方式排列形成的阵列基板中工作电压极性与像素单元电场极性的对应关系，其中示出了 4×4 矩阵的像素单元。上部分为工作电压信号序列。下部分为对应像素单元的电场极性。当向数据线中输入列反转的数据信号，即相邻数据线输入的工作电压在一帧内极性相反。图 8 中左图为一帧内工作电压极性与像素单元电场极性的对应关系，图 8 中右图为下一帧内工作电压极性与像素单元电场极性的对应关系。这样，数据线仅需要每帧反转一次工作电压的信号即可实现点反转，相比于已有技术显著降低了驱动功耗，且同时实现了较佳的反转驱动效果。

[0056] 本发明实施例还提供一种阵列基板的制造方法，所述阵列基板包括第一像素单元和第二像素单元，参照图 9-14 以及图 3，该方法包括，

[0057] 901、在衬底基板上沉积透明导电材料，并通过构图工艺形成对应第一像素单元和第二像素单元的第一层透明导电膜的图案。

[0058] 其中，第一像素单元和第二像素单元沿所述数据线方向间隔排列。具体的，如图 10，在衬底基板 11 上沉积透明导电薄膜，并采用构图工艺，使第一像素单元 20 的公共电极和第二像素单元 21 的像素电极形成在衬底基板 11 的表面上。所谓构图工艺可以是任意对膜层进行处理以形成图案的工艺，典型的一种是采用光刻胶曝光显影、刻蚀、去除光刻胶的工艺。

[0059] 902、在形成有第一层透明导电膜的衬底基板上，制作第一层金属薄膜和第一层半导体薄膜，并通过构图工艺形成对应各个像素单元的栅线、栅电极和公共电极线。

[0060] 具体的，如图 11，在形成有第一层透明导电膜的衬底基板上制作第一层金属薄膜和第一层半导体薄膜，并通过构图工艺形成对应第一像素单元 20 的栅线 2、栅电极 13 和公共电极线 3，对应第二像素单元 21 的漏电极 16、源电极 17、有源层 15 和数据线 4。其中，第

一像素单元 20 的栅线 2 和公共电极线 3 的一端（对应图 11 中第一像素单元 20 的栅线 2 和公共电极线 3 的右端）延伸至第二像素单元 21，第二像素单元 21 的数据线 4 的一端（对应图 11 中第二像素单元 21 数据线 4 的下端）延伸至第一像素单元 20。当然，也可以是第一像素单元 20 的栅线 2 和公共电极线 3 的两端延伸至第二像素单元 21，第二像素单元 21 的数据线 4 的两端延伸至第一像素单元 20。

[0061] 如图 12，沉积栅绝缘层，并通过构图工艺在第一像素单元 20 的栅线 2 和公共电极线 3 的两端分别形成栅绝缘层过孔 142 和 141。在第二像素单元 21 的数据线 4 两端形成栅绝缘层过孔 143。

[0062] 如图 13，制作第二层半导体薄膜和第二层金属薄膜，并通过构图工艺形成对应第一像素单元 20 的有源层 15、漏电极 16、源电极 17 和数据线 4，对应第二像素单元 21 的栅线 2、栅电极 13 和公共电极线 3。其中，第一像素单元 20 的数据线 4 的两端覆盖栅绝缘层过孔 143，第一像素单元 20 中栅线 2 和公共电极线 3 的两端分别覆盖栅绝缘层过孔 142 和 141。这样，相邻的第一像素单元 20 和第二像素单元 21 中异层设置的栅线 2 和公共电极线 3 以及数据线 4 分别通过栅绝缘层过孔 142、141 和 143 电性连接。

[0063] 903、沉积钝化层，并通过构图工艺形成过孔。

[0064] 如图 14，沉积钝化层，并通过构图工艺在第一像素单元 20 中与漏电极 16 相对应的位置形成钝化层过孔 181，在第二像素单元 21 中的公共电极线 3 上形成钝化层过孔 182。

[0065] 904、沉积透明导电材料，并通过构图工艺形成对应第一像素单元和第二像素单元的第二层透明导电膜的图案。

[0066] 具体的，如图 3，沉积透明导电薄膜，并采用构图工艺形成对应第一像素单元 20 的像素电极，对应第二像素单元 21 的公共电极。其中，在第一像素单元 20 中，像素电极通过钝化层过孔 181 和薄膜晶体管的漏电极 16 电性连接，在所述第二像素单元 21 中，公共电极通过钝化层过孔 182 和公共电极线电性连接。

[0067] 本发明实施例提供的阵列基板的制造方法，通过修改构图工艺中的掩模板来改变各层次的结构图案即可在沿数据线方向间隔排列的第一像素单元和第二像素单元中分别形成底栅结构和顶栅结构的薄膜晶体管，使第一像素单元和第二像素单元的公共电极和像素电极的位置反向。向第一像素单元和第二像素单元通入相同极性工作电压时，会在第一像素单元和第二像素单元的像素电极和公共电极对应位置形成方向相反的电场。这样无需反转数据线输入的工作电压，就可以实现第一像素单元和第二像素单元电场方向的反向，相比于已有技术显著降低了驱动功耗。

[0068] 需要说明的是，上述步骤是以第一像素单元和第二像素单元沿栅线和数据线方向均间隔排列（即图 1 所示的排列方式）为例，本领域技术人员结合已有的本领域基础知识通过上述步骤可以很容易制造出沿栅线方向，相邻像素单元同为第一像素单元或者同为第二像素单元（即图 2 所示的排列方式）的阵列基板。在此不再赘述。

[0069] 本发明另一实施例提供的种阵列基板的制造方法，所述阵列基板包括第一像素单元和第二像素单元，所述方法包括：

[0070] 1001、在衬底基板上沉积透明导电材料，并通过构图工艺形成对应第一像素单元和第二像素单元的第一层透明导电膜的图案；其中，所述第一像素单元和第二像素单元沿所述数据线方向间隔排列。

[0071] 1002、在形成有第一层透明导电膜的衬底基板上制作第一层金属薄膜和第一层半导体薄膜,并通过构图工艺形成对应各个像素单元的栅线、栅电极和公共电极线。

[0072] 1003、沉积栅绝缘层,并通过构图工艺形成过孔。

[0073] 1004、制作第二层半导体薄膜和第二层金属薄膜,并通过构图工艺形成对应各个像素单元的有源层、源漏电极和数据线。

[0074] 1005、沉积钝化层,并通过构图工艺形成过孔。

[0075] 1006、沉积透明导电材料,并通过构图工艺形成对应第一像素单元和第二像素单元的第二层透明导电膜的图案;其中,在所述第一像素单元中,第二层透明导电膜通过过孔和薄膜晶体管的漏电极电性连接,在所述第二像素单元中,第二层透明导电膜通过过孔和公共电极线电性连接。

[0076] 本发明实施例还提供了一种液晶面板,包括上述任意实施例所提供的阵列基板,还包括彩膜基板,与该阵列基板对盒设置,其间填充液晶层,所采用的彩膜基板可以为衬底基板上形成黑矩阵和彩色树脂的彩膜基板。

[0077] 本发明实施例还提供了一种液晶显示器,包括外壳和驱动装置,其中还包括本发明任意实施例所提供的液晶面板,驱动装置与液晶面板的栅线、公共电极线和数据线分别相连,用于向公共电极线输入公共电压,向栅线输入栅极开关电压,且向数据线输入工作电压。

[0078] 本发明上述实施例中阵列基板和彩膜基板上公共电极线、数据线、栅线和薄膜晶体管的层次、图案设计并不限于上述实施例和附图所述,能够实现以公共电极线向公共电极供电,且实现栅线、数据线 and 薄膜晶体管配合向像素电极供电即可。

[0079] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

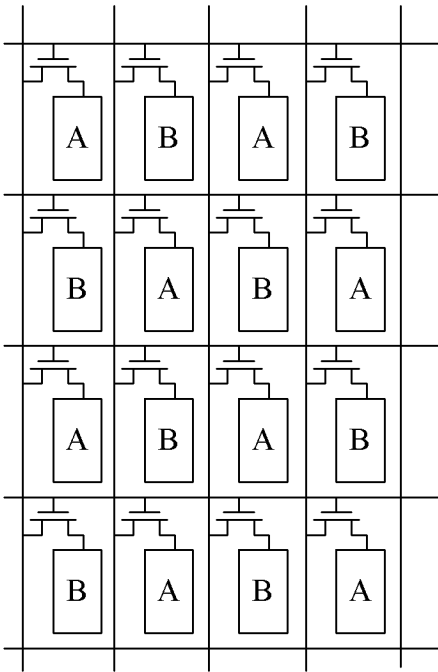


图 1

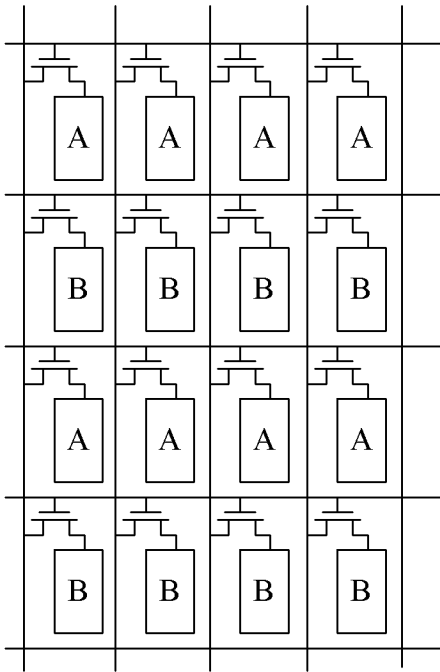


图 2

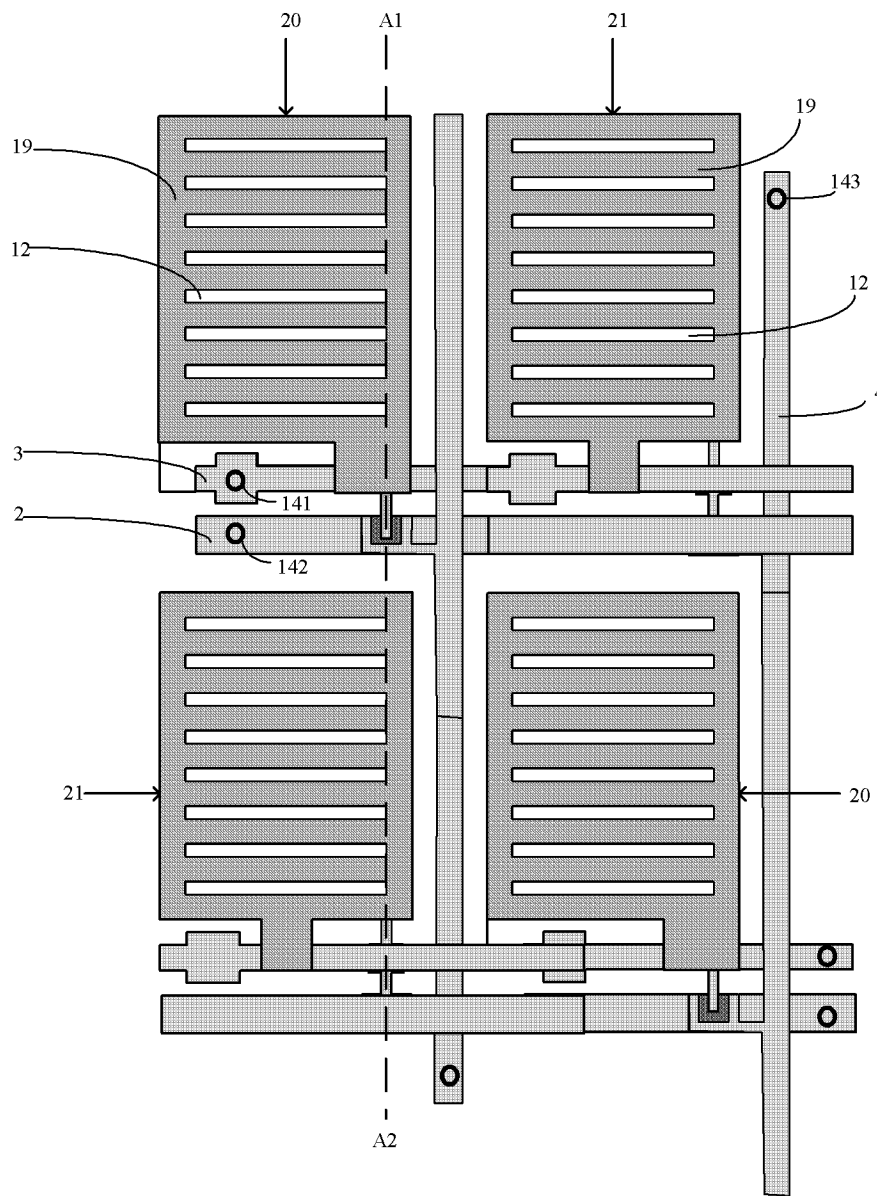


图 3

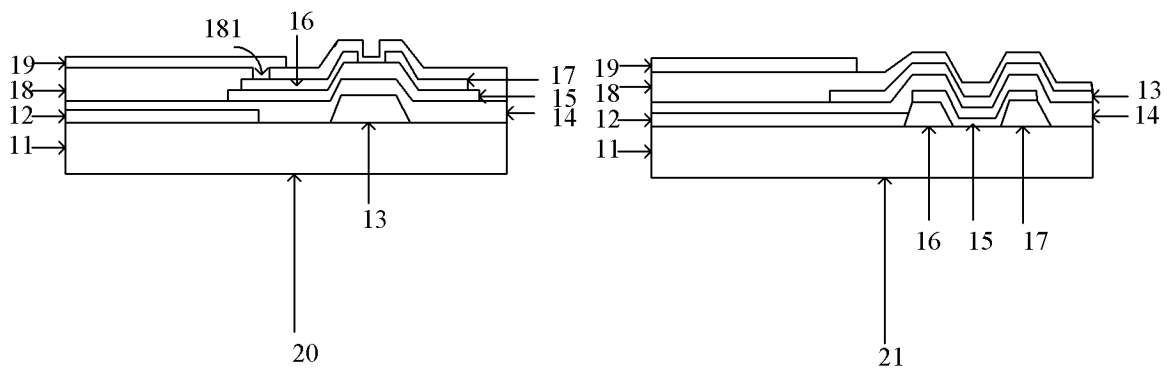


图 4

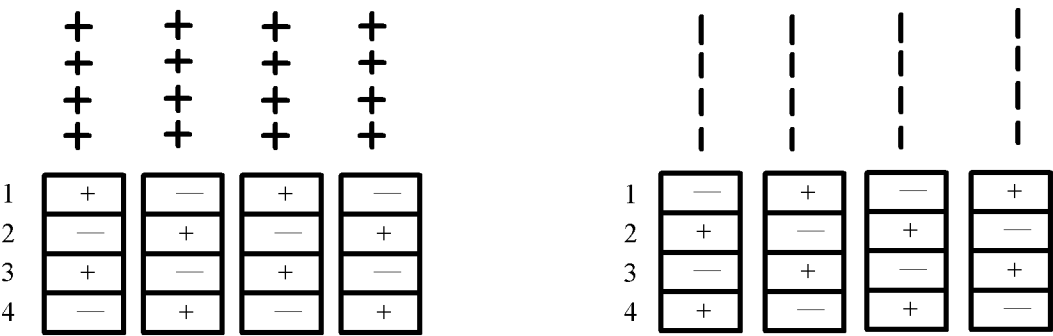


图 7

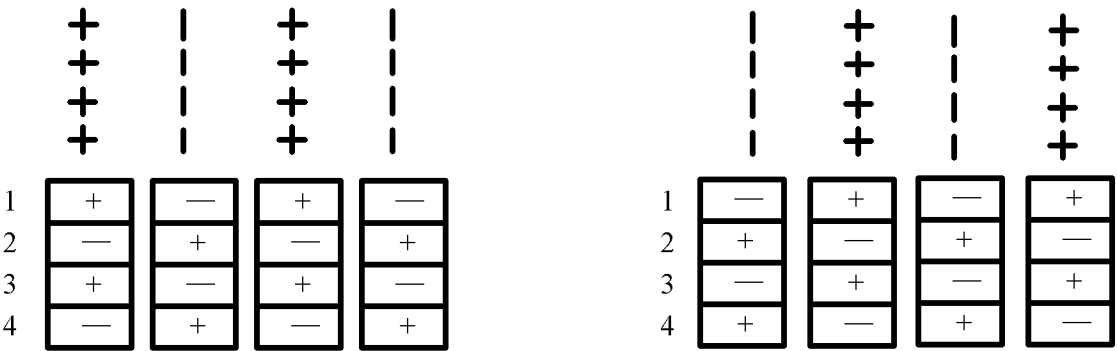


图 8

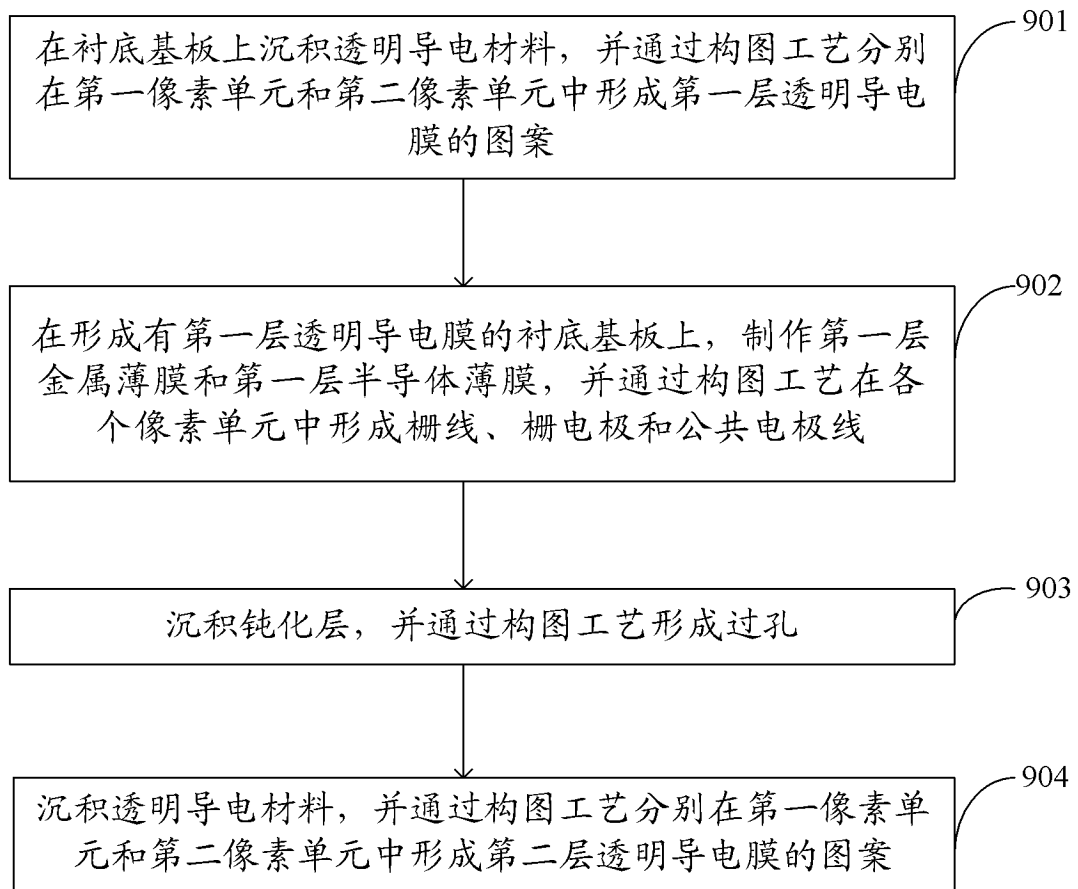


图 9

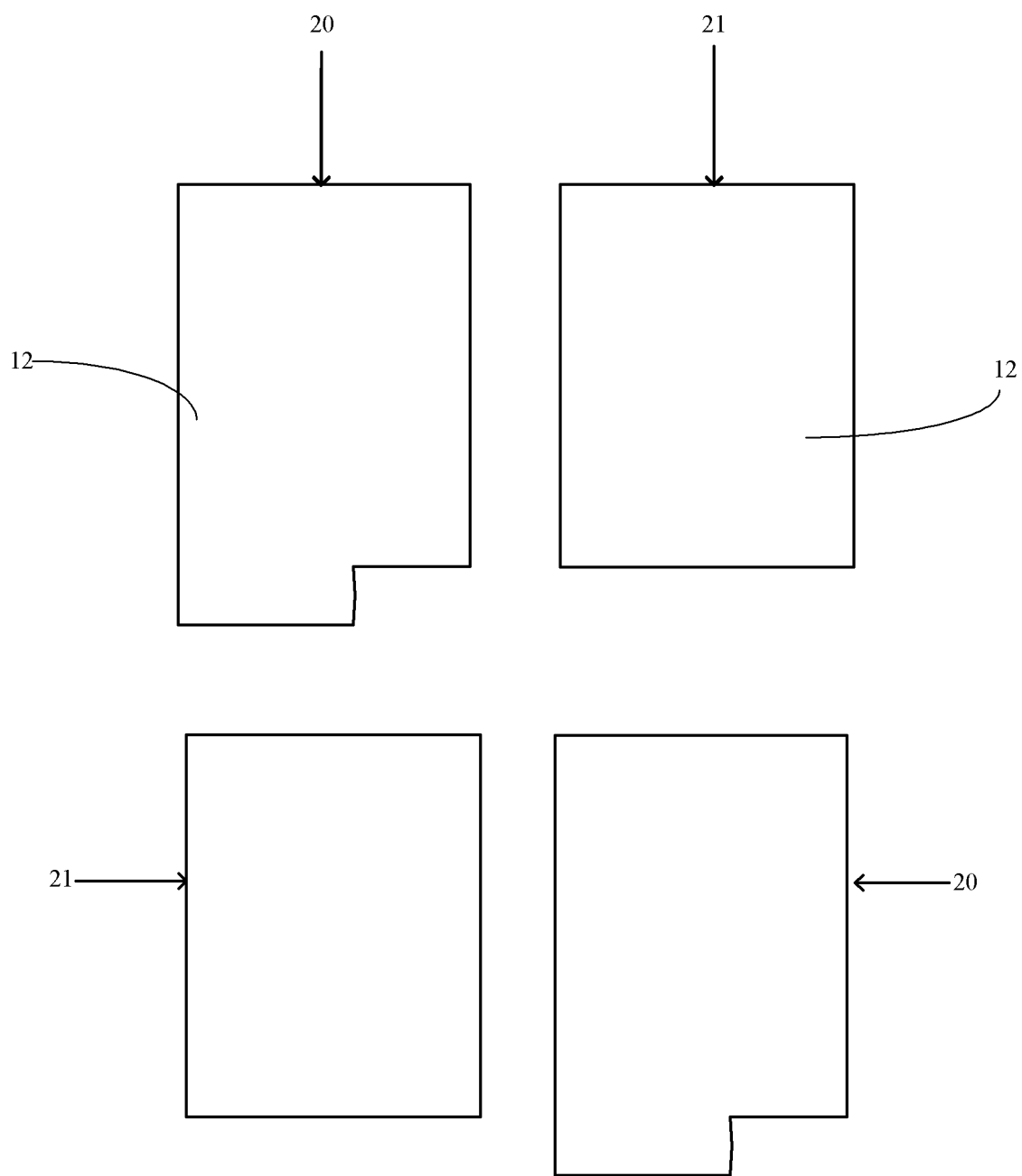


图 10

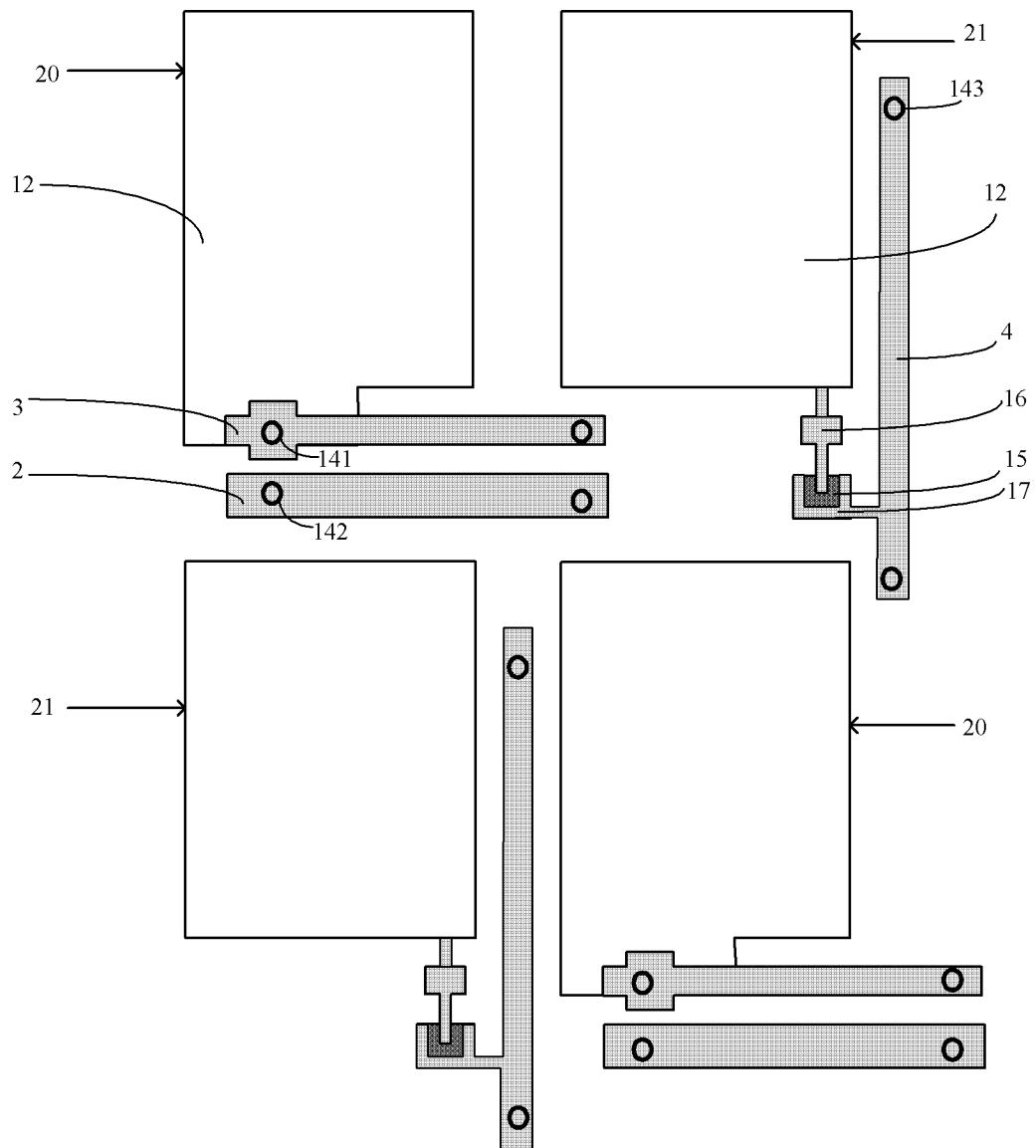


图 12

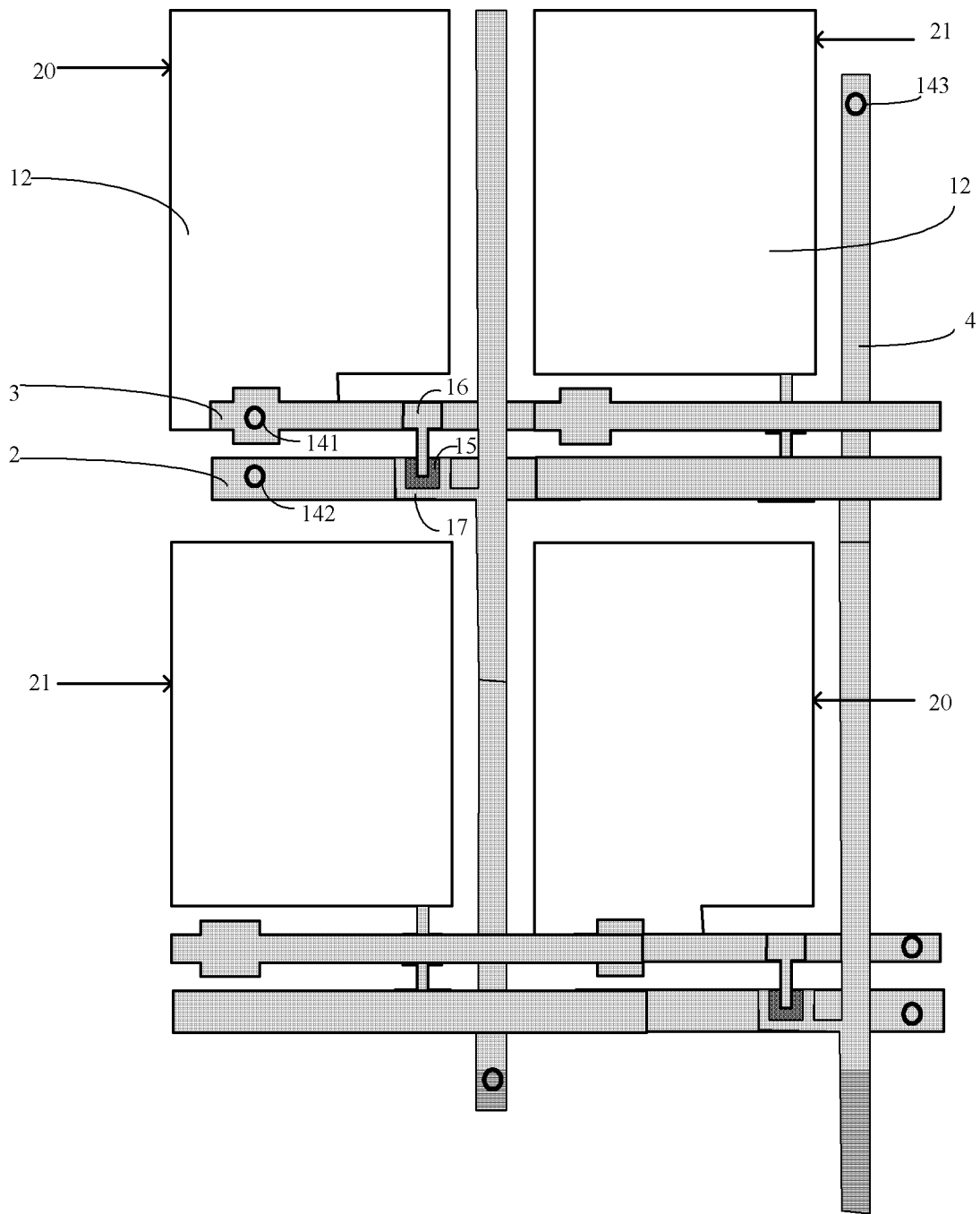


图 13

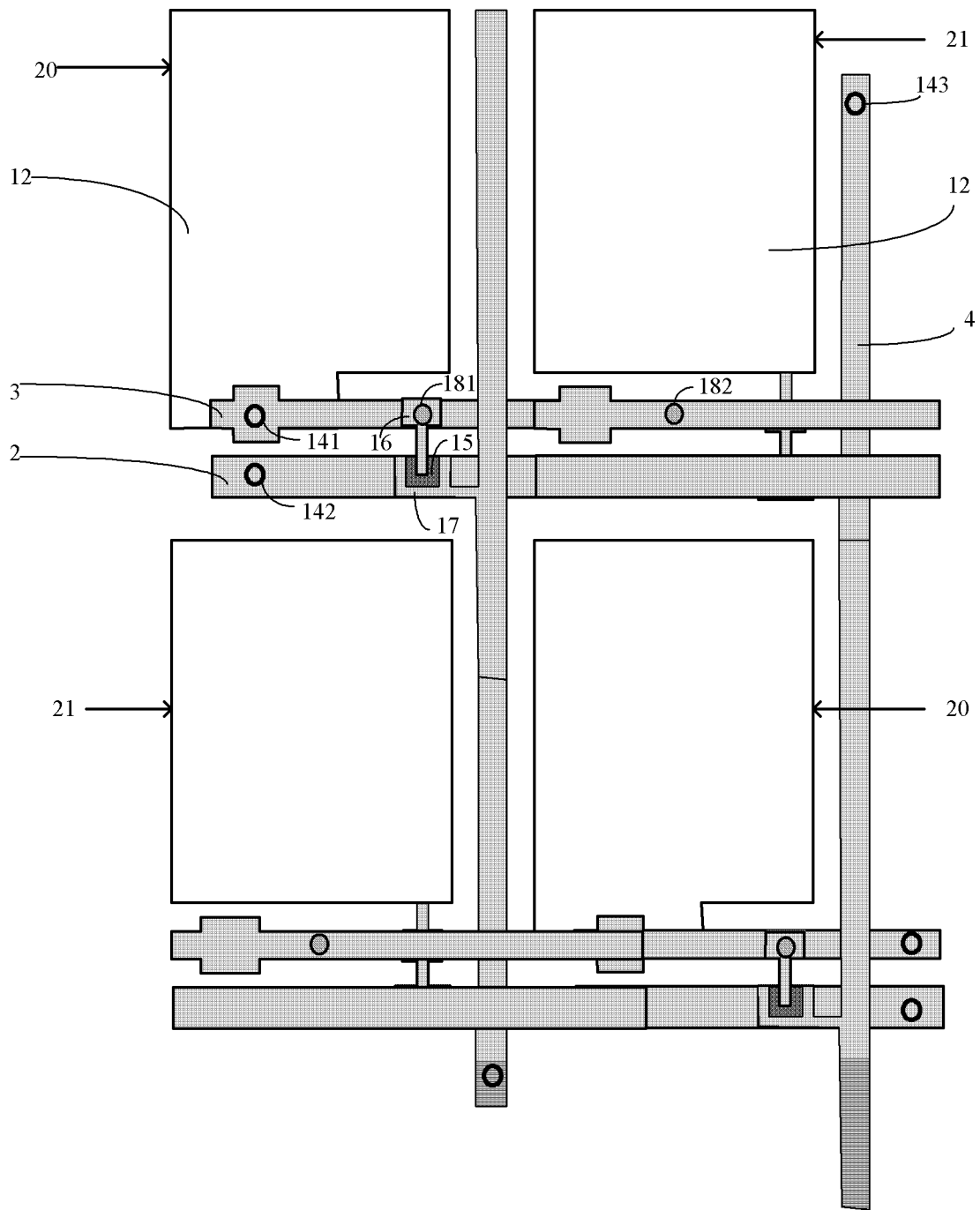


图 14

专利名称(译)	阵列基板及制造方法、液晶面板和液晶显示器		
公开(公告)号	CN102629059B	公开(公告)日	2015-05-27
申请号	CN201210021820.X	申请日	2012-01-31
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
[标]发明人	刘莎 王宝强		
发明人	刘莎 王宝强		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/133 H01L21/77 H01L27/12		
CPC分类号	H01L27/124 G02F1/136286 G02F1/1368 G02F2001/134372 G02F2001/13685 G09G3/3614 G09G3/3648 G09G2300/0426 G09G2320/0252 H01L27/1214 H01L27/1251 H01L27/1262		
代理人(译)	申健		
审查员(译)	宋萍		
其他公开文献	CN102629059A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板及制造方法、液晶面板和液晶显示器，涉及液晶显示技术领域，用以降低实现反转驱动所需的驱动功耗。其中，阵列基板包括衬底基板、栅线、数据线和像素单元；所述像素单元包括两层透明导电膜和薄膜晶体管；所有像素单元分为第一像素单元和第二像素单元两种，沿数据线方向所述第一像素单元和第二像素单元间隔排列；在第一像素单元中，第一层透明导电膜与公共电极线电性连接，第二层透明导电膜与薄膜晶体管的漏电极电性连接；在第二像素单元中，第一层透明导电膜与薄膜晶体管的漏电极电性连接，第二层透明导电膜与公共电极线电性连接；各像素单元中的公共电极线电性连接。本发明用于液晶显示技术领域。

