

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200480003635.1

[43] 公开日 2006 年 3 月 15 日

[11] 公开号 CN 1748239A

[22] 申请日 2004.2.10

[21] 申请号 200480003635.1

[30] 优先权

[32] 2003. 2. 11 [33] US [31] 60/446,651

[86] 国际申请 PCT/US2004/003805 2004.2.10

[87] 国际公布 WO2004/072936 英 2004.8.26

[85] 进入国家阶段日期 2005.8.5

[71] 申请人 科比恩公司

地址 美国马萨诸塞州

[72] 发明人 弗雷德里克·P·赫尔曼

[74] 专利代理机构 永新专利商标代理有限公司
代理人 过晓东

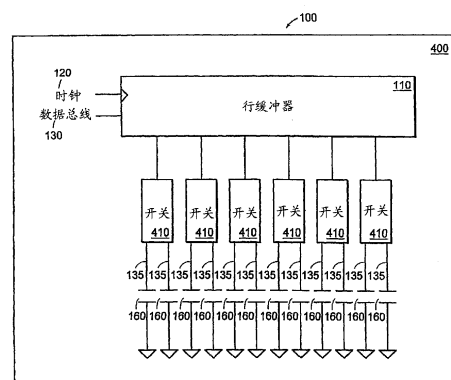
权利要求书 3 页 说明书 7 页 附图 12 页

[54] 发明名称

具有使用数据线电容的集成的数 - 模转换器的液晶显示器

[57] 摘要

一种能使用 LCD 的数个列线对上的列负荷电容将数字数据转换成模拟数据的装置和方法。所述装置包括包含数字数据的数据总线。行缓冲器与数据总线耦合用来接收和分配数字数据。开关网络与行缓冲器耦合,用来使用 LCD 的数个列线对上的列负荷电容将从行缓冲器收到的数字数据转换成模拟数据。



1. 一种用来驱动液晶显示器(LCD)的数据扫描器, 其中包括:

数据总线, 所述数据总线包含数字数据;

与数据总线耦合用来接收和分配从数据总线收到的数字数据的行缓冲器;以及

与行缓冲器耦合的开关网络, 所述的开关网络使用LCD的数个列线对上的列负荷电容将从行缓冲器收到数字数据转换成模拟数据。

2. 根据权利要求1的数据扫描器, 其中所述开关网络包括众多切换装置, 每个切换装置与LCD中各自的列线对耦合。

3. 根据权利要求2的装置, 其中每个切换装置包括:

一个逻辑电路, 所述逻辑电路接收来自行缓冲器的数字数据;至少三个MOSFET(金属氧化物半导体场效应晶体管), 所述的MOSFET将从逻辑电路收到数字数据转换成模拟数据并且通过各自的列线传输模拟数据。

4. 根据权利要求3的装置, 其中所述的MOSFET是n-沟道MOSFET。

5. 根据权利要求3的装置, 其中所述的MOSFET是p-沟道MOSFET。

6. 根据权利要求3的装置, 其中所述的MOSFET是n-沟道MOSFET和p-沟道MOSFET的组合。

7. 根据权利要求1的装置,其中所述列线对中的第一列线与第一列像素中交替的像素耦合,而所述列线对中的第二列线与第二列像素中交替的像素耦合,第一列线的像素相对于第二列线的像素处在交替的行中。
8. 根据权利要求7的装置,其中像素是按矩形布局安排的。
9. 根据权利要求7的装置,其中像素是按三角形布局安排的。
10. 一种用来驱动液晶显示器(LCD)的方法,其中包括:
 - 接收行缓冲器中的数字数据;
 - 将数字数据分配给开关网络;
 - 使用LCD的数个列线对上的列负荷电容将数字数据转换成模拟数据。
11. 根据权利要求10的方法,其中所述开关网络包括众多切换装置,每个切换装置与LCD中各自的列线对耦合。
12. 根据权利要求11的方法,其中每个切换装置包括:
 - 逻辑电路,所述逻辑电路接收来自行缓冲器的数字数据;
 - 以及至少三个MOSFET,所述的MOSFET将从逻辑电路收到的数字数据转换成模拟数据并且通过各自的列线传输模拟数据。
13. 根据权利要求12的方法,其中所述的MOSFET是n-沟道MOSFET。
14. 根据权利要求12的方法,其中所述的MOSFET是p-沟道MOSFET。

-
15. 根据权利要求 12 的方法，其中所述的MOSFET是n-沟道MOSFET和p-沟道MOSFET的组合。
 16. 根据权利要求 10 的方法，其中所述列线对中的第一列线与第一列象素中的交替象素耦合，而所述列线对中的第二列线与第二列象素中的交替象素耦合，第一列线的象素相对于第二列线中的象素处在交替的行中。
 17. 根据权利要求 16 的方法，其中象素是按矩形布局安排的。
 18. 根据权利要求 16 的方法，其中象素是按三角形布局安排的。

具有使用数据线电容的集成的数-模转换器的液晶显示器

相关的申请

这份申请要求在此通过引证将其全部教导并入于 2003 年 2 月 11 日提出的第 60/446,651 号美国专利临时申请的利益。

本发明的现有技术

液晶显示器(LCD)装置通常由薄膜电路元件(像素)的二维阵列组成。每个像素都与液晶材料共同作用以便允许或阻止光线通过液晶材料柱。像素阵列的实际大小是应用确定的。

举例来说,二维(2D)阵列可以包括两组沿着垂直方向延伸的导线。沿着一个方向延伸的每条线能将信号提供给阵列中的列;沿着另一个方向延伸的每条线能将信号提供给阵列中的行。

传统上,2D阵列中的每个行列位置包括一个像素,该像素响应在适合于该像素的行和列组合的线上的信号。通过一组被直观地称为“数据线”的平行线,每个像素接收决定其状态的信号。通过另一组被直观地称为“扫描线”的平行线,沿着一条扫描线的每个像素接收准许该像素从其数据线接收信号的信号。

在传统的阵列中,每条扫描线提供周期性的扫描信号,以准许与所述扫描线连接的每个像素中的元器件在每个周期中短暂的时间间隔期间接收来自它的数据线的信号。所以,扫描信号与

数据线上的信号的严格同步对成功的阵列操作是至关重要的。严格同步依次要求给数据线的驱动信号具有精确的时间安排。

驱动数据线的电路被称为“数据扫描器”。驱动扫描线的电路被称为“选择扫描器”。

所述阵列是在通常是在玻璃或石英的基体上建造的。象素阵列需要驱动和接口电路，而且在大多数情况下这个电路是模拟电路而不是数字电路，从而使该电路有能力递送或测知多种输入信号。然而，在许多应用中，视频信号以数字形式出现，而且必须转换成模拟形式来驱动显示器。适当的数模转换(DAC)电路能使用传统的硅集成电路(ICs)中众所周知的技术建造。这些集成电路被安装在包含象素阵列的基体之上或附近，而且在两个集成电路之间形成大量的电连接。显示器的外设驱动器、接口芯片、安装和电连接的成本在包含显示器的系统的总成本中能构成相当大的比例。

本发明的概述

如果能通过在基体上集成适当的电路取消或大大减少硅集成电路和连接，那么系统成本能减少而且它的可靠性也能提高。

一种装置和方法通过使用LCD的列线对上的列负荷电容将数字数据转换成模拟数据。所述装置可以包括包含数字数据的数据总线。行缓冲器能与数据总线耦合用来接收和分配数字数据。开关网络能与行缓冲器耦合以便使用LCD的列线对上的列负荷电容将从行缓冲器收到的数字数据转换成模拟数据。

开关网络可以包括众多的切换装置，其中每个切换装置都能与LCD中各自的列线对耦合。每个切换装置可以包括能接收来自

行缓冲器的数字数据的逻辑电路和至少三个能将从逻辑电路收到的数字数据转换成模拟数据并且通过各自的列线传输所述模拟数据的MOSFET(金属氧化物半导体场效应晶体管)。MOSFET可能是n-沟道MOSFET、p-沟道MOSFET、或n-沟道和p-沟道MOSFET的组合。

所述列线对的第一列线能与第一列象素中的交替象素耦合,而所述列线对的第二列线能与第二列象素中的交替象素耦合。第一列线的象素相对于第二列线的象素能处在交替的行中。所述象素可以是按矩形布局安排的,或所述象素可以是按三角形布局安排的。

附图简要说明

本发明上述的和其它的目的、特征和优势从下面用相似的参考字符在不同的视图中处处表示同一部份的附图举例说明的本发明的特定的实施方案的更具体的描述将变得更加明显。这些图画不必依比例绘制,而是用于举例强调说明本发明的原则。

图 1 是现有技术的数据扫描器的示意图;

图 2A是用于适合于图 1 的数据扫描器的黑白(B/W)显示器的典型的象素布局示意图;

图 2B是用于适合于图 1 的数据扫描器的彩色显示器的典型的象素布局示意图;

图 2C是图 2A和 2B的典型象素的电路图;

图 3A-3I是图 1 中将数字信号转换成模拟信号的DAC的电路图;

图 4 是依照本发明的实施方案的数据扫描器的示意图;

图 5A是图 4 所示的数据扫描器的典型象素布局示意图;

图 5B是图 4 所示的数据扫描器的典型象素布局示意图;而

图 6 是图 4 所示的开关装置的电路图。

本发明的详细描述

图 1 展示LCD100 的数据扫描器 50 和列负荷电容 160。数据扫描器 50 包括集成的DAC140 和放大器 150, 以便驱动显示器 100 的列负荷电容 160。所述配置能用来驱动黑白(B/W)或彩色显示器的列负荷电容 160。通常, 行缓冲器 110 分配在从时钟 120 收到的脉冲期间从数据总线 130 到达DAC140 的数字数据。这些 DAC140 并行操作并且接收数字数据而且将数字数据转换成模拟信号。因为这些DAC140 通常提供高阻抗输出, 所以显示器应用需要放大器 150 来驱动列负荷电容 160。具体地说, 开关电容器 DAC140 需要放大器 150, 因为列负荷电容 160 通常大于实际上可实现的DAC电容器 330、340(图 3A-3I)。因此, 放大器 150 将较大的输出提供给显示器 100 的列线 135 的列负荷电容 160。

图 2A展示用于按“矩形”安排象素 200 的显示器 100 的典型的象素阵列和列线 135 的布局, 而图 2B展示用于按“三角形”安排象素的显示器 100 的典型的象素阵列和列线 135 的布局。“矩形的”安排通常用于B/W显示器, 而“三角形的”安排通常用于彩色显示器。本领域普通技术人员应该理解“矩形的”和“三角形的”安排都能用于B/W或彩色显示器。字母RGB代表用于彩色显示器的红色、绿色和蓝色而且是技术上众所周知的。矩形的

象素 200 被用在黑白和彩色显示器中,通常正万象素用于单色,而矩形条纹(高度/宽度比 = 3:1)用于彩色。

图 2C展示图 2A和 2B所示的典型象素 200 的电路图。典型象素 200 包括MOSFET晶体管 220 和电容器 160。每个象素 200 都被接到行线 210 和列线 135 上。行线 210 控制开启和关闭象素的 MOSFET220 的门极。当MOSFET220 被接通的时候,象素 200 是由列线 135 上的列负荷电容 160(图 1)驱动的。

图 3A-3I展示将数字信号转换成模拟信号的开关电容器DAC 140。简单的位串行DAC140 包括两个电容器 330、340 和两个开关 310、320。开关 310 可以与高电平连接、与低电平连接,或者是开启的。开关 320 可以连接电容器 330 和 340 的顶板,或者可以是开启的。使用较多的电容器和适当的开关配置的位并行DAC也能使用。在这个例子中,如同图 3A-3I连续地展示的那样,16 位数字输入代码(1101 或十进制数 16)被转换成 $13/16V_{FS}$ 的模拟信号,其中 V_{FS} = 满刻度输出电压。

在使用开关电容器DAC140 和相关联的放大器 150 的时候(图 1),出现许多问题。首先,DAC140 的电容器 330、340 为了可预期的电荷分享必须正确匹配。图 3A-3I的例子依靠电容器 330、340 相等,以致当开关 320 闭合的时候,电荷被相等地分享。其次,将这些DAC140 集成在细距列线 135 上是困难的,因为需要较大的面积用于正确匹配的DAC电容器 330, 340。如果DAC电容器 330、340 太小,那么不合乎需要的寄生电容变得更重要。第三,将许多放大器 150(图 1)集成在显示器 100 上是困难的,因为放大器 150 需要是低功率的,有良好的匹配(即,避免图像中的垂直线),和与细距列线集成在一起。最后,因为尺寸限制,为了共享DAC140 和放大器 150,可能需要多工器,从而使显示器 100 变得更复杂。

本发明的实施方案取消了对特殊的开关电容器DAC140和它们相关的放大器150的需要。如图4所示,数据扫描器50的DAC140和放大器150(图1-3I)被开关网络代替,后者利用列线电容160将数字信号转换成模拟信号。换言之,新的开关电容器DAC是使用开关网络和列负荷电容160作为DAC电容器构成的。在这种配置中,行缓冲器110将从数据总线130抵达的数字数据在收到来自时钟120的脉冲时分配给开关410。开关410使用列线对135的列负荷电容160将数字数据转换成模拟信号。

图5A展示在显示器采用矩形布局时使用开关410和列负荷电容160将数字信号转换成模拟信号所必需的像素阵列布局连接,而图5B展示显示器采用三角形布局之时的像素阵列布局连接显示。如所示,矩形布局通常用于B/W显示器而“三角形”布局通常用于彩色显示器。每个列线对500被接到每行中的一个像素200上。如果它们左边和右边连接的像素200的数目相同,那么列线对500已与列电容匹配。列线对500的使用提供较多的显示面积,这将减少有效像素孔径。然而,在预期的技术中,像素孔径受光学问题、LC和其它问题的限制而不受互连程度的限制。

图6展示图4中的开关410的电路图。开关410包括五个MOSFET晶体管610、620、630、640和650。每个MOSFET的门极都与逻辑电路660连接。逻辑电路660包含从行缓冲器110(图4)收到的数字数据而且将数字数据分配给这些MOSFET。MOSFET610和630完成图3中开关310的类似操作。MOSFET610能将该列驱动到高电平 V_{FS} , MOSFET630能将它驱动到低电平,或这两个MOSFET能被关掉以便断开连接。类似地, MOSFET650完成图3中开关320的类似操作,将两列连接起来使电荷相等。非必选的MOSFET620和640是为与MOSFET610和630对称准备的。该电路能在电荷在右边列线上积累的同时用驱动左边列线

的MOSFET610 和 630 操作，或相反在电荷在左边列线上积累的同时用驱动右边列线的MOSFET620 和 640 操作。

图 6 将n-沟道MOSFET用于开关。然而，P-沟道MOSFET或n-和p-沟道MOSFET的互补对也可以使用。使用众所周知的技术(其中补偿MOSFET的源极和漏极被接到开关的高阻抗一侧，补偿MOSFET的门极是借助开关MOSFET的门极的逻辑反转驱动的，而且补偿MOSFET的大小是开关MOSFET的一半)，附加的MOSFET可以被用于取消电荷注入。

尽管这项发明已经参照其特定的实施方案已被具体地展示和描述，但是本领域普通技术人员将理解在不脱离权利要求书所囊括的本发明的范围的情况下可以在形式和细节方面实现各种不同的改变。

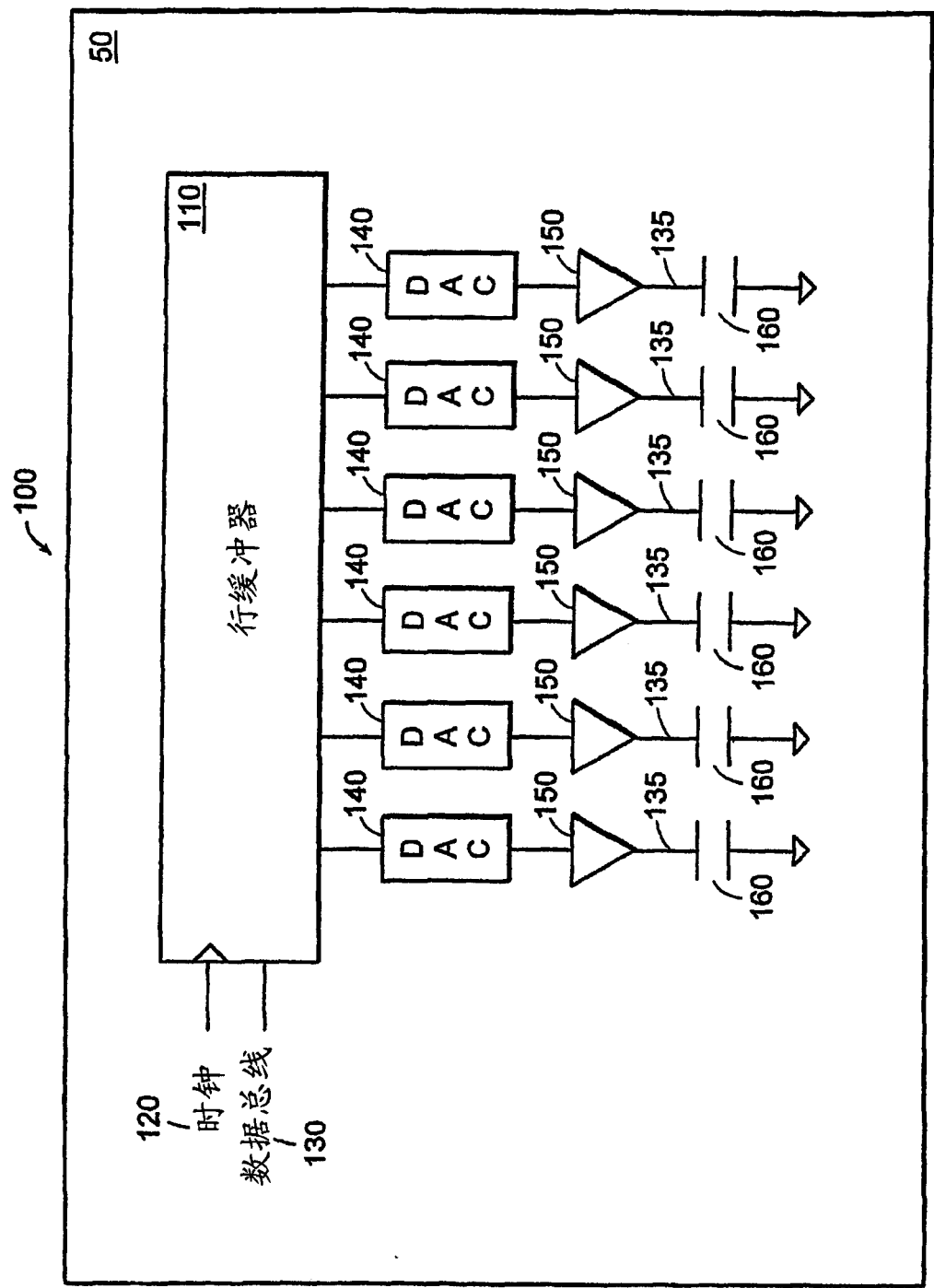


图 1
(现有技术)

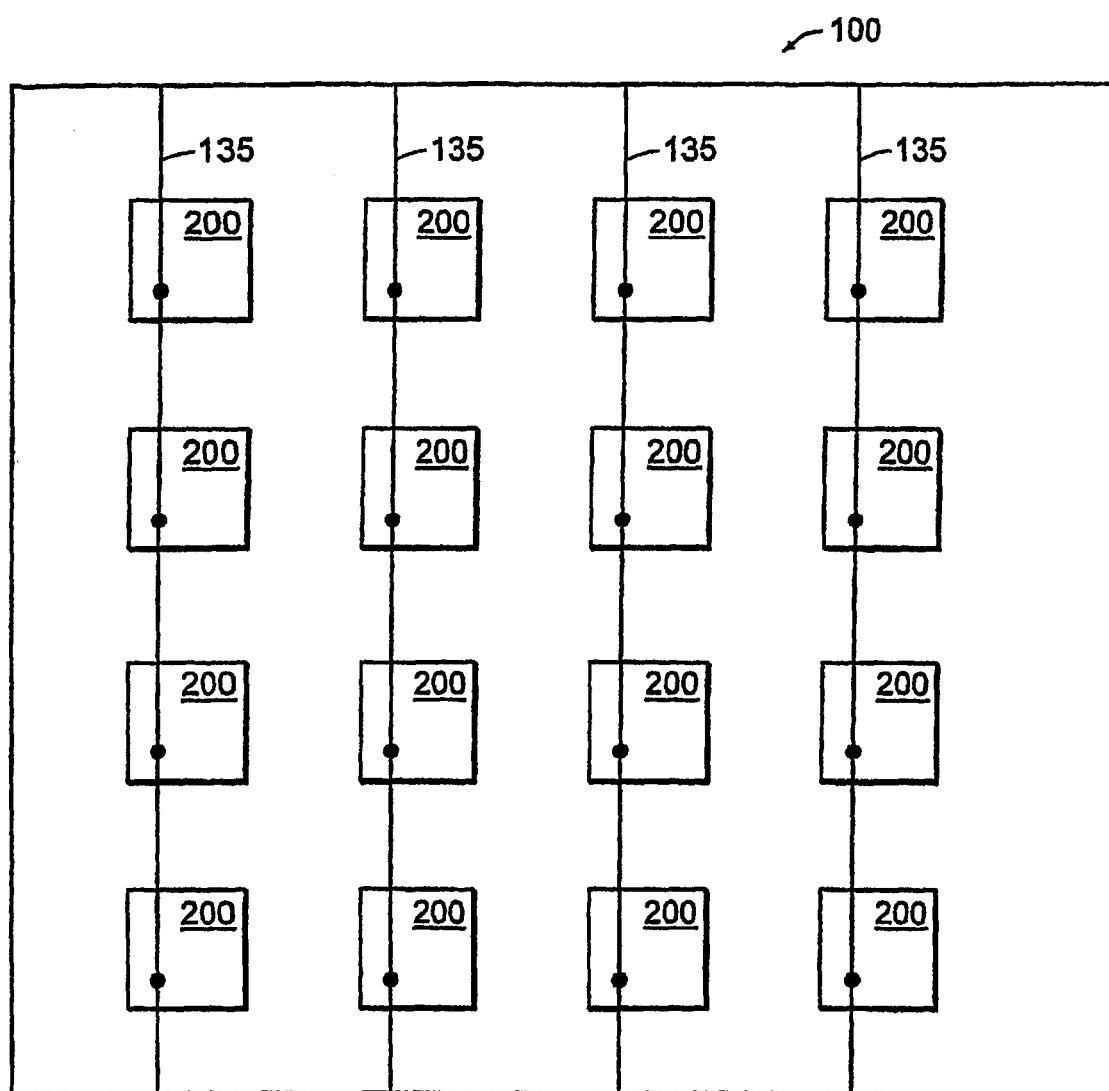


图 2A
(现有技术)

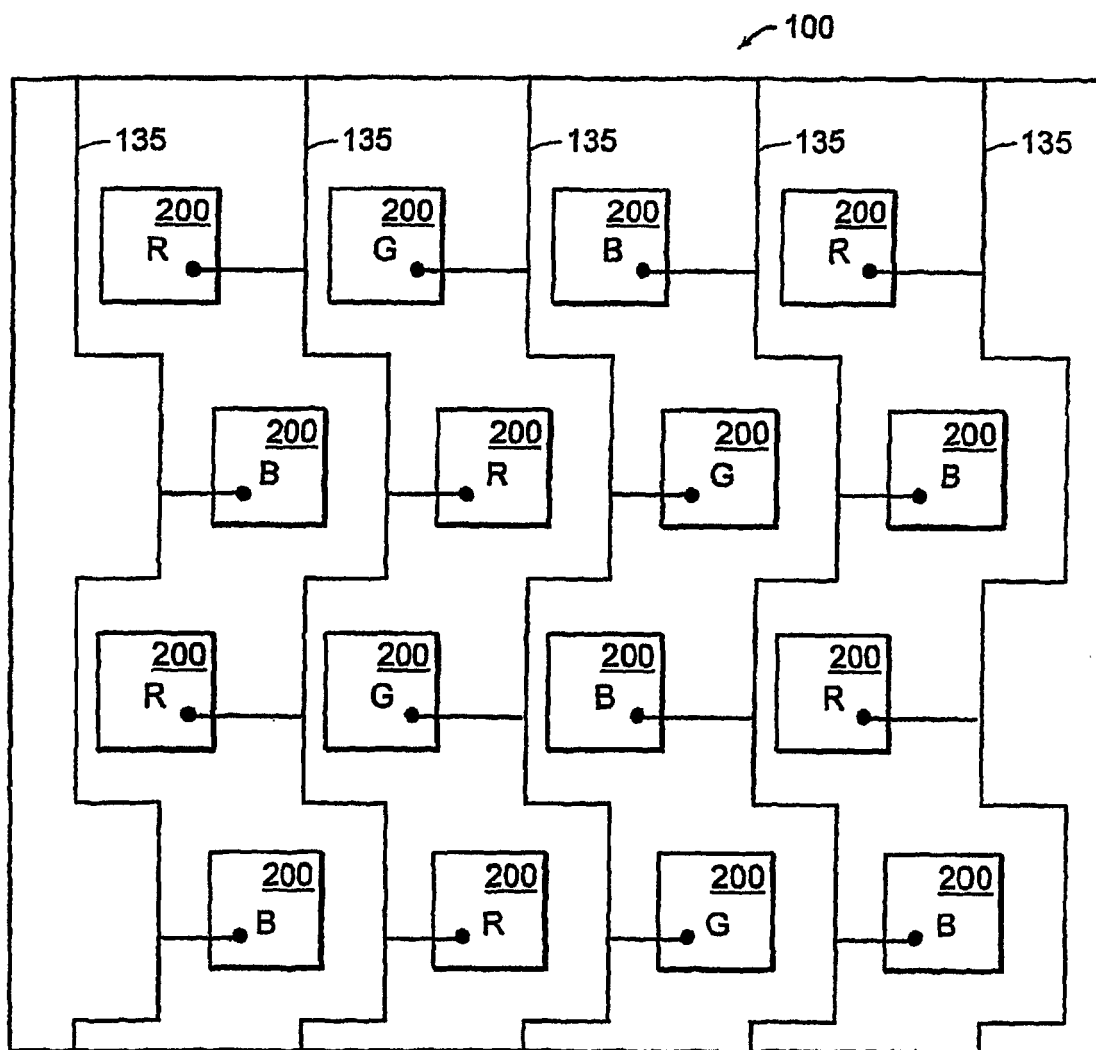


图 2B
(现有技术)

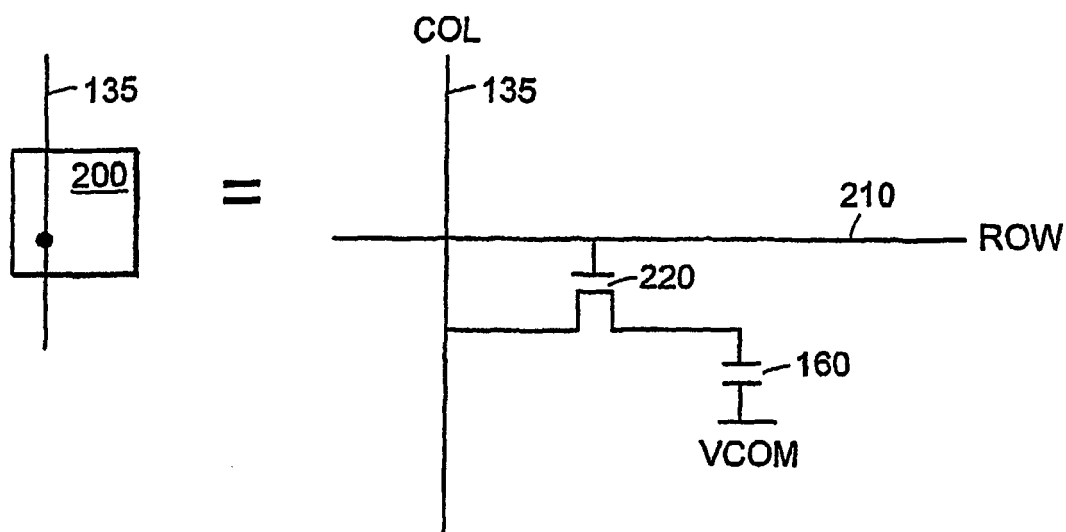


图 2C
(现有技术)

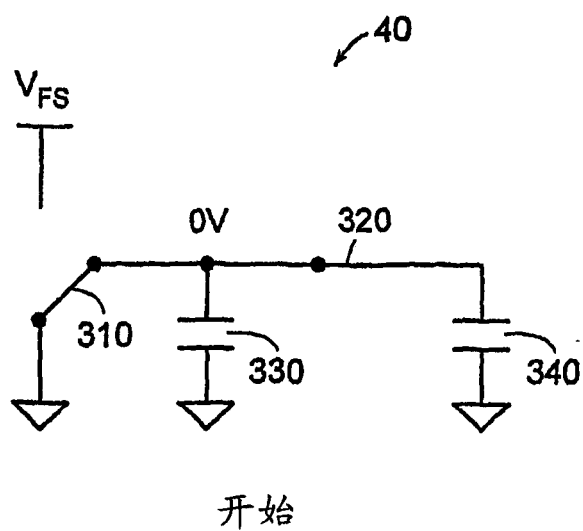


图 3A
(现有技术)

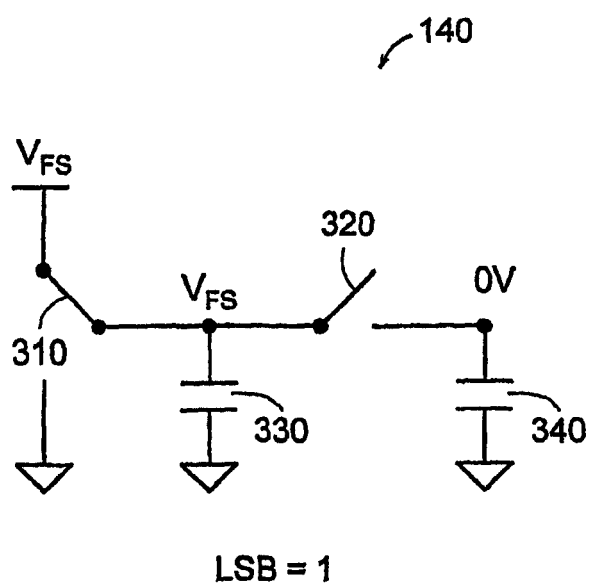
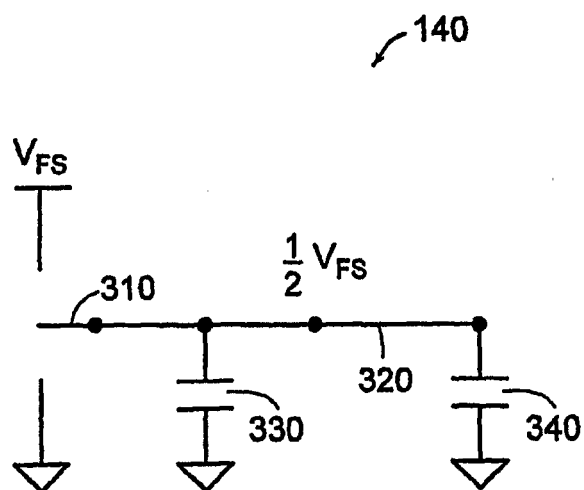


图 3B
(现有技术)



使相等

图 3C
(现有技术)

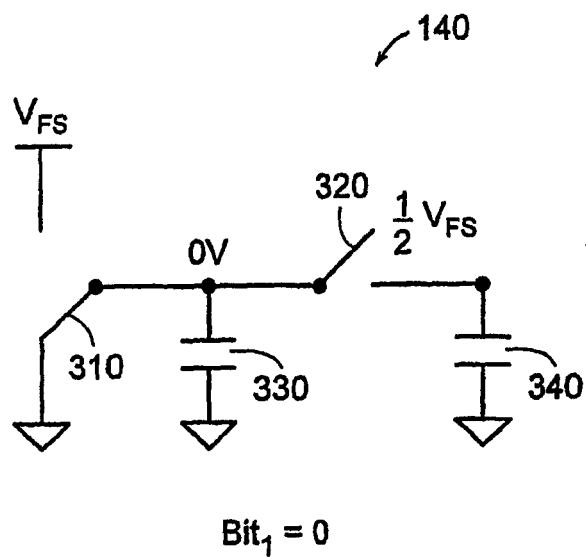


图 3D
(现有技术)

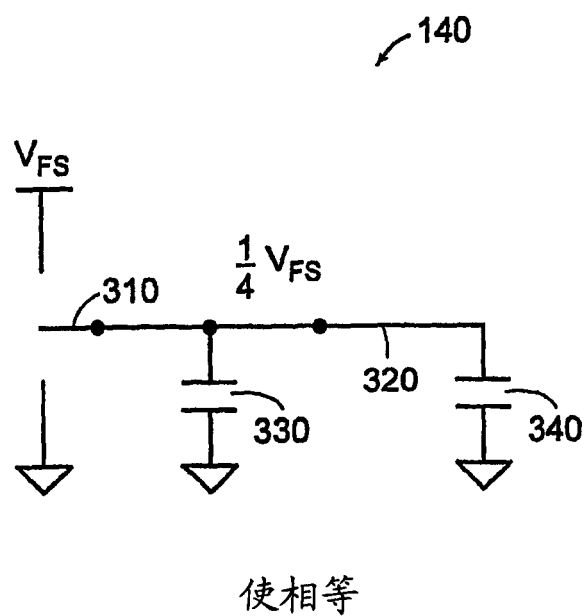


图 3E
(现有技术)

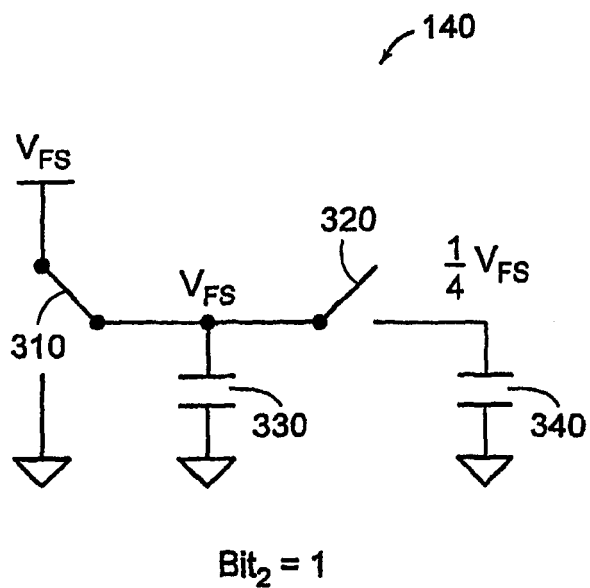
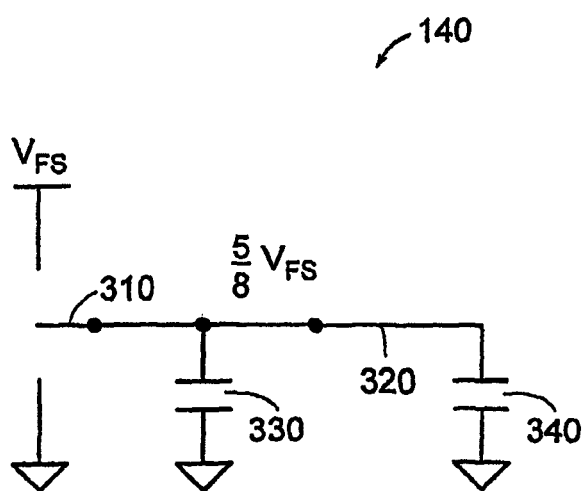


图 3F
(现有技术)



使相等

图 3G
(现有技术)

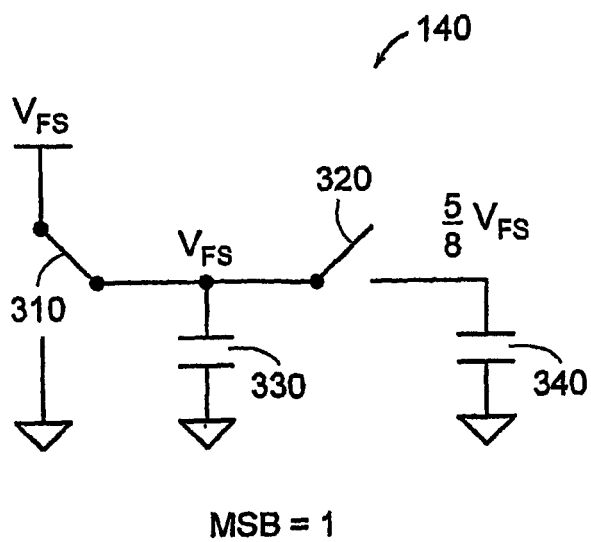
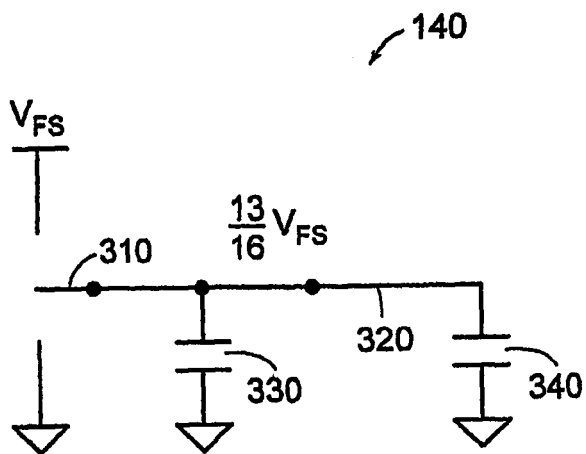


图 3H
(现有技术)



结束

图 3I
(现有技术)

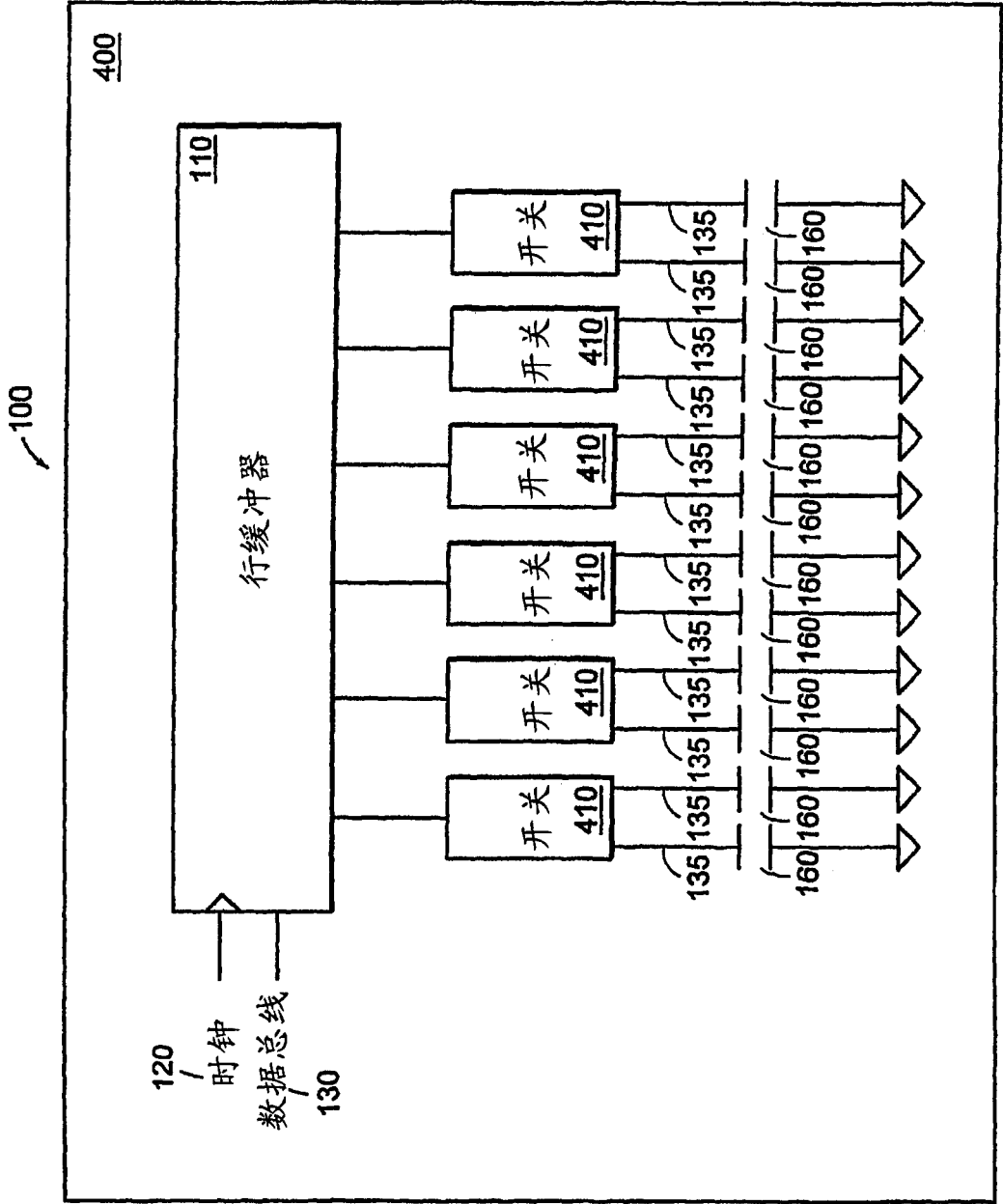


图 4

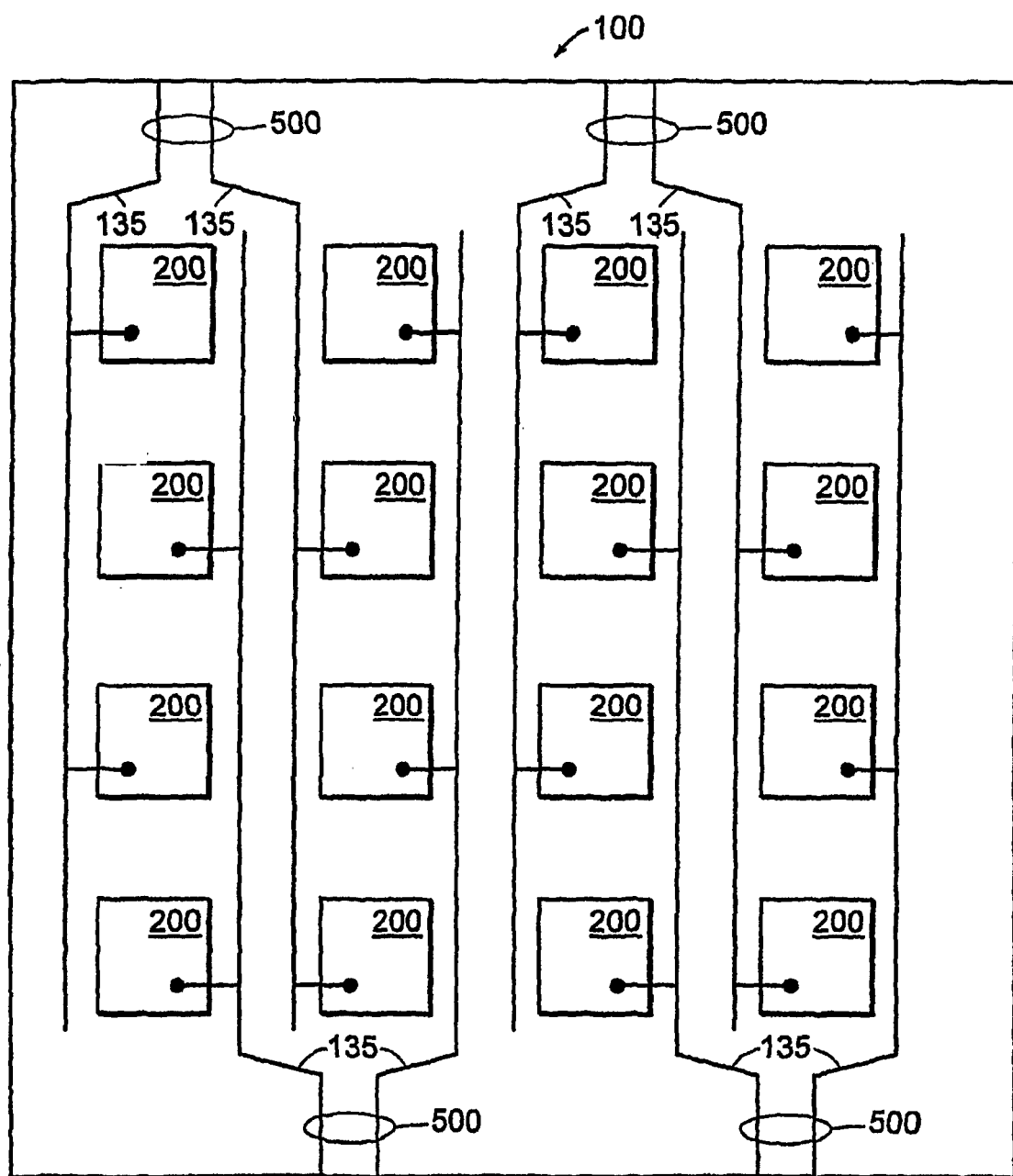


图 5A

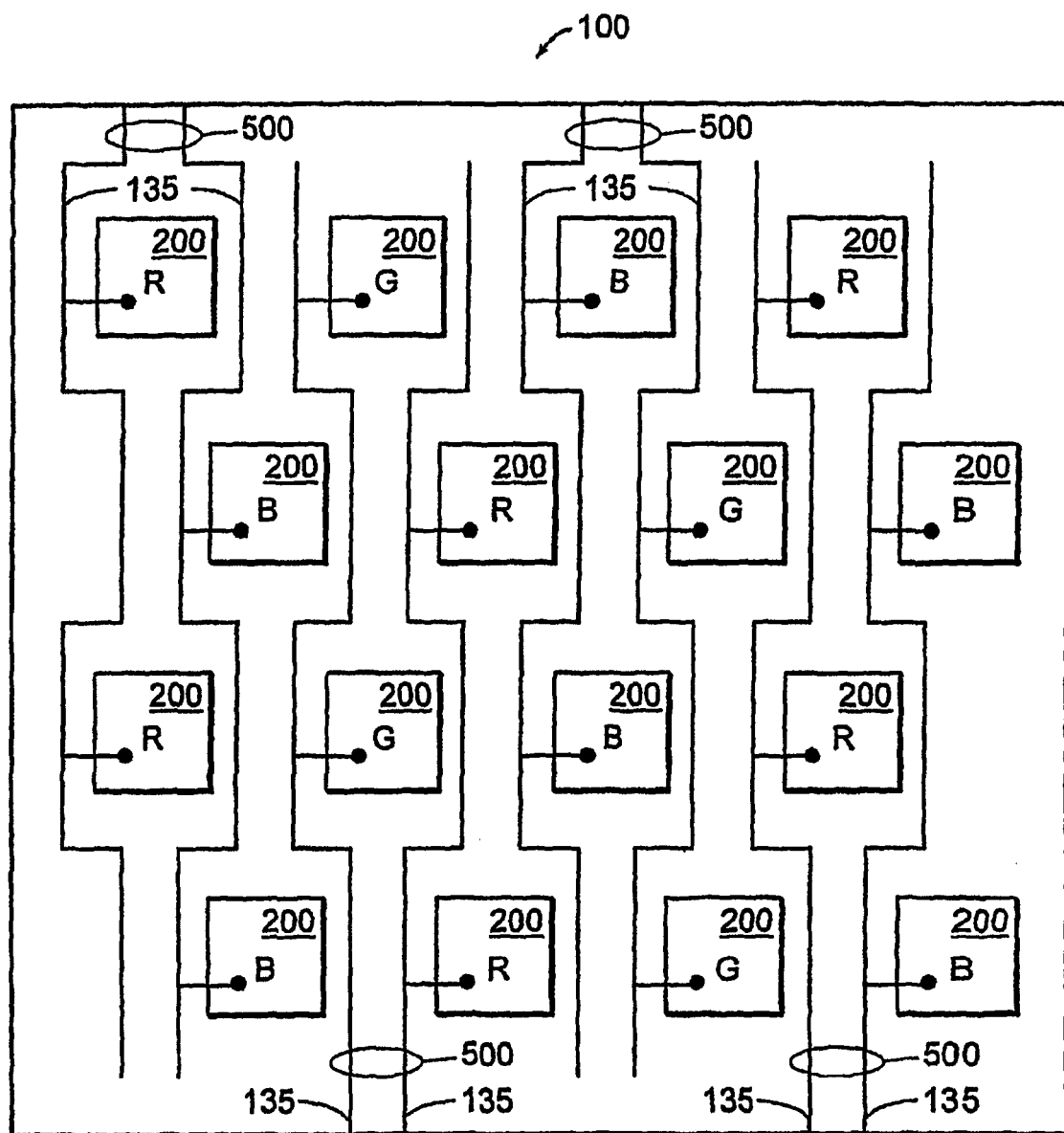


图 5B

专利名称(译)	具有使用数据线电容的集成的数 - 模转换器的液晶显示器		
公开(公告)号	CN1748239A	公开(公告)日	2006-03-15
申请号	CN200480003635.1	申请日	2004-02-10
[标]申请(专利权)人(译)	寇平公司		
申请(专利权)人(译)	科比恩公司		
当前申请(专利权)人(译)	科比恩公司		
[标]发明人	弗雷德里克P赫尔曼		
发明人	弗雷德里克·P·赫尔曼		
IPC分类号	G09G3/36 G02F1/1335		
CPC分类号	G09G3/3607 G09G3/3648 G09G2300/0439 G09G2300/0452 G09G3/3688 G09G2310/027 G09G2300/0408		
优先权	60/446651 2003-02-11 US		
其他公开文献	CN1748239B		
外部链接	Espacenet SIPO		

摘要(译)

一种能使用LCD的数个列线对上的列负荷电容将数字数据转换成模拟数据的装置和方法。所述装置包括包含数字数据的数据总线。行缓冲器与数据总线耦合用来接收和分配数字数据。开关网络与行缓冲器耦合，用来使用LCD的数个列线对上的列负荷电容将从行缓冲器收到的数字数据转换成模拟数据。

