



[12] 发明专利申请公开说明书

[21] 申请号 200380104025.6

[43] 公开日 2005 年 12 月 28 日

[11] 公开号 CN 1714386A

[22] 申请日 2003.11.18

[21] 申请号 200380104025.6

[30] 优先权

[32] 2002.11.25 [33] EP [31] 02102642.2

[86] 国际申请 PCT/IB2003/005214 2003.11.18

[87] 国际公布 WO2004/049295 英 2004.6.10

[85] 进入国家阶段日期 2005.5.24

[71] 申请人 皇家飞利浦电子股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 M·多姆 P·布奇-沙彻尔

[74] 专利代理机构 中国专利代理(香港)有限公司

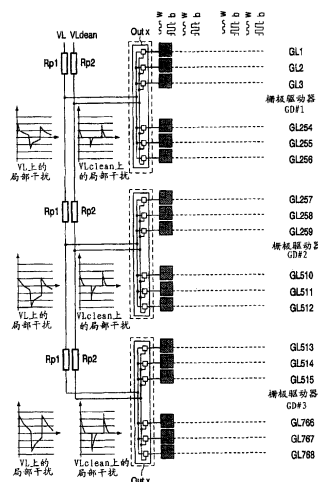
代理人 王岳 张志醒

权利要求书 1 页 说明书 9 页 附图 8 页

[54] 发明名称 具有减小的“块模糊”效应的显示器

[57] 摘要

本发明一般涉及一种 LCD 面板, 尤其涉及一种没有印刷电路板 (PCB) 的情况下装配其栅极驱动器 (GD) 的 LCD 面板。该技术称作无 PCB, 其中没有将栅极驱动器 (GD) 的配线连在常规的印刷电路板 (PCB), 而是直接做在 LCD 玻璃上。本发明还用于玻璃上芯片技术 (COG), 其中栅极驱动器 (GD) 直接与玻璃配线相连。为了避免块模糊效应, 在保持效果和较低的成本同时, 提出给每个输出级 (OUTx) 添加额外的线 (V_{clean}), 由此单独使用所述额外的线 (V_{clean}) 为被选择的栅极线 (GL_y) 的存储电容器 (C_{st}) 提供参考电压。所有其它的 (未被选择的) 栅极线与通常的栅极关断电源线 (VL) 极相连。V_{clean} 作为单独的迹线在 LCD 玻璃上引出, 并在玻璃边缘或接近电源输出的地方与 VL 电源相连。



1. 一种具有 n 个栅极驱动器 (GD) 和一个源极驱动器 (SD) 的 LCD 显示器, 所述栅极驱动器和源极驱动器用于驱动具有沿 x 行 (R_x) 和 y 列 (C_y) 排列的点的显示器, 所述栅极驱动器 (GD_n) 具有多个用于驱动所述显示器的栅极线 (GL_y) 的输出级 (OUT_x), 其特征在于, 设置额外的电压线 (V_{lclean}), 其耦合到所述驱动器 (GD_n) 的输出级 (OUT_x)。

2. 权利要求 1 所述的显示器, 其中所述输出级设置有一个 PMOS 和两个 NMOS 晶体管, 所述 PMOS 晶体管 ($MP1$) 设置在电源线 V_H 和输出级的输出 (OUT_x) 之间, 并且第一个 NMOS 晶体管 $MN1$ 设置在电源线 (V_L) 和输出级的输出 (OUT_x) 之间, 第二个 NMOS 晶体管 ($MN2$) 设置在电源线 (V_{lclean}) 和输出级的输出 (OUT_x) 之间。

3. 权利要求 1 所述的显示器, 其中所述额外的电源线 (V_{lclean}) 从 V_L 电位的单独的迹线上引出。

4. 权利要求 1 所述的显示器, 其中所述电源线 (V_L) 的迹线和电源线 (V_{lclean}) 的迹线耦合到相同的电源电压上。

5. 权利要求 1 所述的显示器, 其中所述电源线 (V_L) 的迹线和电源线 (V_{lclean}) 的迹线在其中对电源电路输出的迹线阻抗较低的地方连接在一起。

6. 一种用于驱动显示器的方法, 所述显示器具有 n 个栅极驱动器 (GD_n) 和至少一个源极驱动器 (SD), 其中在 x 行 (R_x) 和 y 列 (C_y) 上排列多个点, 栅极驱动器 (GD_n) 具有多个用于驱动显示器的栅极线 (GL_y) 的输出级 (OUT_x), 并且将被选择的栅极线 (GL_y) 的电容 (C_{st}) 与前一个栅极线 (GL_{y-1}) 相连, 其特征在于, 当行 (GL_{y+1}) 被激励时, 行 (GL_y) 的所述输出级的额外电源线 (V_{lclean}) 被激励。

7. 一种用于驱动显示器的方法, 所述显示器具有 n 个栅极驱动器 (GD) 和一个源极驱动器 (SD), 其中在 x 行 (R_x) 和 y 列 (C_y) 上排列多个点, 栅极驱动器 (GD_n) 具有多个用于驱动显示器的栅极线 (GL_y) 的输出级 (OUT_x), 并且将被选择的栅极线 (GL_y) 的电容 (C_{st}) 与下一个栅极线 (GL_{y+1}) 相连, 其特征在于, 当行 (GL_{y+1}) 被激励时, 行 (GL_y) 的所述输出级的额外电源线 (V_{lclean}) 被激励。

具有减小的“块模糊”效应的显示器

本发明一般涉及显示器或 LCD 面板，尤其涉及一种没有印刷电路板 (PCB) 的情况下装配其栅极驱动器的 LCD 面板。该技术称作无 PCB，其中不将栅极驱动器的配线做在常规的印刷电路板 (PCB)，而是直接做在 LCD 玻璃上。本发明还用于玻璃上芯片技术 (COG)。

LCD 面板具有广阔的应用范围，例如用于移动电话，个人数字助理，笔记本或 TV 屏幕。

这里有新的组装技术。第一是所谓的“无 PCB”技术，其中不将栅极驱动器的配线做在常规的印刷电路板 (PCB)，而是直接做在 LCD 玻璃上，栅极驱动器装配在与玻璃配线接触的金属薄片上 (金属薄片上芯片，COF)。第二是所谓的玻璃上芯片技术，其中栅极驱动器直接与玻璃配线相连。

这些新的组装技术成本低，但具有下述缺点，即玻璃上配线迹线电阻比印刷电路板上的迹线电阻高的多。玻璃互连上的薄层电阻比 PCB 技术的高 100 倍。该差别是由于，与经常使用蒸汽沉积大约 $0.2\mu\text{m}$ 厚的 Al 的玻璃上导体相比，PCB 导体较厚，并使用低电阻材料，即层叠的铜大约 $35\mu\text{m}$ 厚。两个栅极驱动器之间的迹线电阻的典型值对于栅极关断电源迹线 (gate off supply track) 为 25Ω ，对于其它信号的迹线高达 100Ω 。栅极关断电源迹线 (VL) 为栅极线提供 OFF 态电压，其将非寻址线上的 TFT 晶体管保持在非导电 (OFF) 态。

迹线电阻的升高导致应用问题，例如“块模糊”问题。块模糊问题主要是由栅极关断电源线 (VL) 上的迹线电阻导致的。为了降低玻璃上的迹线电阻，可以增加迹线的宽度，但 LCD 面板上可用于安排所有迹线的空间受到限制。结果，将栅极关断电源线 (VL) 迹线做的尽可能的宽，因为其是最挑剔的，而其它迹线较窄。

XGA 分辨率的 LCD 面板典型地使用 3 个栅极驱动器，每一个都具有 256 个输出沟道。在无 PCB 或 COG 面板上，所有连接到栅极驱动器和控制信号的电源线都从 LCD 面板角引出到 LCD 面板的有源板上的栅极驱动器上。结果，与第三个栅极驱动器相关的迹线电阻大约是第一个栅极驱动器的迹线电阻的 3 倍高。一般地，栅极驱动器的数量依赖于 LCD 面板

的尺寸。

有源矩阵 LCD 面板由像素阵列组成，像素的数量是面板分辨率的函数。例如，XGA 面板具有 1024×768 个像素。像素一般由 3 个点组成，每一个点对应于每个基色（红色，绿色和蓝色）。因此，XGA 面板例子在水平轴（x 轴）上具有总共 1024×3 个列，在垂直轴（y 轴）上具有 768 个行或线。每个点都通过开关与其各自的列电极相连。所述开关通过行电极寻址（例如 ON 或 OFF 切换）。为了驱动所选行的点，给列电极施加电压，且将开关切换到 ON。这使得所选行的所有点充电到存在于列电极上的电压。在寻址时间结束时，开关切换到 OFF，其意味着点与列电极断开，并保持它们的值（电荷）直到下次被选择。单个点的逐行寻址通常称作显示器的“水平扫描”。显示器的所有点通常以大约 60Hz 的帧频刷新。这意味着对于 XGA 面板例子，在 $(1/60)/768 \cong 20 \mu\text{sec}$ 内寻址单个线，该时间称作为线（寻址）时间。

在大多数有源矩阵 LCD 面板中，开关由所谓的薄膜晶体管（TFT）形成。TFT 晶体管具有 3 个端子：漏极，栅极和源极。在 TFT-LCD 点上，栅极与通常称作栅极线（GLy）的行电极相连。源极与通常称作源极线（SLx）的列电极相连。TFT 晶体管的漏极与 LC 电容（点节点（dot node））相连。点电容的第二板与公共反电极（Vcom）相连。由于 TFT 晶体管相当大的电荷泄漏，需要附加的存储电容器（Cst），该存储电容器与在一侧上的点节点和在另一侧上的参考节点相连。通常，前一个栅极线（GLy-1）或下一个栅极线（GLy+1）用作参考节点，因为这些节点很容易被访问。还可能具有平行于栅极线的额外参考线，大部分常与 Vcom 相连。仅当前一个栅极线（GLy-1）或下一个栅极线（GLy+1）用作存储电容器（Cst）的参考节点时才发生块模糊问题。接下来，将讨论前一个栅极线（GLy-1）作为存储电容器（Cst）的参考节点时的 LCD 面板，但提出的解决方法很容易应用到其中下一个栅极线（GLy+1）作为参考节点的面板。

给 LCD 面板施加不同的图案，但大多数至关重要的图案是在 VL 上产生较高返回电流的不对称图案。一个这样的图案称作 DoDo 图案，其意思是指对于相邻点的点开（Dot-on），点关（Dot-off）。当 LCD 面板用不对称图案驱动时，存在于 LCD 面板上的列到行的寄生电容在栅极驱动器的栅极关断电源线（VL）中耦合了大量的电荷。然而，由于栅极关断

电源线(VL)迹线较大的电阻,栅极关断电源线(VL)的放电不能在一个线时间内完成。

这种不完全的放电在单个点的采样电压中产生了误差,因为栅极关断电源线(VL)通过前一被寻址的栅极线(GLy-1)和存储电容(Cst)连接到所述点。对于LCD面板的每个栅极驱动器,所述采样电压误差是不同的,因为被每个栅极驱动器经历的栅极关断电源线(VL)电阻离散地计算总数。所述采样电压误差导致LCD面板上不同的灰度级。因为灰度级中的差别恰好在栅极驱动器之间的边缘处逐渐产生,所以使用者的眼睛很容易察觉该过渡,因而察觉到了水平的块模糊。

有很多克服水平的块模糊问题的公知方法。

第一个方法是尽量减小灰度块之间过渡的台阶。这可通过匹配由一个栅极驱动器的最后一条线经历的栅极关断电源线(VL)电阻与由下一个栅极驱动器的第一条线经历的栅极关断电源线(VL)电阻来获得。在给定的栅极驱动器上,为了不产生可视的台阶,从第一个到最后一个输出的栅极关断电源线(VL)电阻的增加必须逐渐地产生。这就需要栅极驱动器上的栅极关断电源线(VL)电阻极好地与玻璃上的栅极关断电源线(VL)迹线电阻相匹配,栅极驱动器电阻的值根据在面板中的位置(XGA的第一,第二或第三器件)对于每个栅极驱动器是不同的。栅极驱动器具有不同值是不可能的,因为栅极驱动器来自相同的制造卷轴。通过使用在每个栅极驱动器中使用平均值的这种的栅极驱动器VL迹线来将台阶最小化仍旧产生了可察觉的块模糊。

第二个方法是人工将位置依赖误差模糊(blur)成较大的,但仍是位置独立误差。这可通过将栅极关断电源线(VL)源极电阻增加到这样一个较大的值来获得,即当与源极电阻相比时,玻璃上的位置依赖VL迹线电阻台阶变成可忽略的。作为一个例子,如果两个驱动器之间的玻璃上电阻为 25Ω ,则栅极关断电源线(VL)源极电阻为 500Ω ,由每个栅极驱动器经历的栅极关断电源线(VL)电阻中的相对差值是很小的,由此采样误差中的差值也是很小的。不过该方法将误差的绝对值提高到对于所有点都近似相同的级别,由此对于仔细选择的特定图案,整个LCD面板的正面屏幕性能恶化。

避免上面提到的问题的第三个方法是极好地使从线到线的平滑灰度级变化。这可用特定的点布局来获得,其中电容(Cst)不与前一个或下

一个栅极线相连，而与单独的额外的线相连。与电容（Cst）相连的该额外的线通常与公共电极电压（Vcom）相连，由此对于该方法通常命名为“Cst 到 Vcom”。该方案的主要优点是在对于线的完整块的大台阶中 Vcom 迹线电阻不会变化，但在从线到线的较小增量中会变化。因为那些增量是规则的并且较小，所以它们不会被眼睛察觉到。然而该方法有缺陷。额外的线减小了孔径比（AR），即在一个点中透射光和阻挡区域的光之间的比率。此外，每行的所述额外的 Vcom 线需要通过接点连接到 Vcom 总线，该总线必须在第二金属上引出，以避免与栅极线交叉。这种额外的处理步骤降低了 LCD 面板的产量，并且是很昂贵的。

因此，本发明的一个目标是避免块模糊效应，同时保持低成本。这用权利要求 1 的特征来获得。

本发明基于将净栅极关断电源线（VL）提供到被寻址的栅极线的存储电容器（Cst）的观念。其基于下面的观察，即为了在点上采样正确的值，仅当前被寻址的线在其存储电容器的参考终端上需要净（无误差）栅极关断电源线（VL）连接。如果被寻址的线的存储电容器与前一个栅极线（GL）连接，则只有该前一个栅极线（GLy-1）需要无误差的栅极关断电源线（VL）。如果存储电容器与下一个 GL 连接，则只有该下一个栅极线（GLy+1）需要无误差的栅极关断电源线（VL）。所有其它的（未被寻址的）线具有它们的存储电容（Cst），该存储电容与没有完全放电的栅极关断电源线（VL）连接。

因此本发明的执行存在于一个电路中，所述电路将被寻址的栅极线的 GLy 的存储电容（Cst）参考端子（依赖于面板的 GLy-1 或 GLy+1）与下文称作 VLclean 线的单独的净栅极关断电源线相连。所有其它的电容器（Cst）都保持与通常的 VL 电源线连接。VLclean 线的迹线电阻并没有太大关注，因为在连接它时只是一条线。VLclean 线的返回电流是栅极关断电源线（VL）的返回电流值的 $\sim 1/n$ ，因此可以在一个线时间内完全放电。结果，所有线都用电容（Cst）处正确的参考电压采样。

这是有利的，因为本发明不需要 LCD 面板和驱动器之间的电阻匹配。因此其可用于任何 LCD 面板分辨率，并对 LCD 面板处理变化很宽容。此外，其没有给系统带来任何附加的误差。所有未被寻址线的放电只由 LCD 面板的栅极关断电源线（VL）迹线电阻来限制，不是额外由大的源极电阻来限制。因此，由未寻址的线的不完全放电引起的人为现象，例如减

小的视角，被最小化了。该提出的方法避免所述通过同时移除线到线的任何灰度级变化的第三个方法的成本和性能的缺陷。所以概括讲，本发明在恰当的地方以恰当的时间大大移除了栅极关断电源线（VL）产生的误差。本发明主要的优点是完全移除了由栅极关断电源线的不完全放电引起的水平的块模糊，因为所有被寻址的线用相同值的电容（Cst）参考线采样。这就导致了对于 LCD 面板的所有行的均匀和正确的采样点电压，不管它们的位置和与它们连接的驱动器。本方法的一个小缺陷是其需要额外的迹线连接 LCD 面板的所有栅极驱动器。

为了使本发明更好地理解，现在将通过例子的方式描述其一些实施方案，参考附图，其中：

- 图 1：现有技术公知的具有电源迹线电阻的示意性 XGA-LCD 面板
- 图 2：TFT-LCD 点模块
- 图 3：XGA LCD 面板上的块模糊影响
- 图 4：对于 6 比特分辨率的伽马曲线
- 图 5a：从源极线电容耦合进栅极线的示意性图表
- 图 5b：图 5a 的从源极线到栅极线的电容耦合的简化
- 图 6：具有由于 DOD0 图案而产生的 VL 迹线干扰的示意性的 XGA LCD 面板
- 图 7：在像素电压的采样时间处的 VL 迹线干扰波形
- 图 8：点电压的采样
- 图 9：具有由于栅极线 GLy 放电而产生的 VL 迹线干扰的 XGA-LCD 面板
- 图 10：具有额外的电源迹线 V1clean 的 LCD 面板
- 图 11a：仿真输出级的状态
- 图 11b：具有额外的电源线 V1clean 的输出级
- 图 12：所提出的输出级的时序图

在下面的图中，相同的参考标记用于表示各个附图中相同的部分。

图 1 显示了具有三个栅极驱动器 GD1 - GD2 的全 XGA LCD 面板，其由现有技术公知的无 PCB 或 COG 组装技术形成，并没有执行本发明。所有的电源和控制信号（VH，VL，VDD，GND，CLK，DIS，Start）从一个 LCD 面板的角引出到 TFT LCD 面板的有源板上的栅极驱动器 GD1 - GD3 内。结果，由栅极驱动器 GD3 经历的迹线电阻是由栅极驱动器 GD1 经历的迹线

电阻的大约 3 倍。

图 2 显示了 TFT-LCD 点的模块。在该结构中，栅极线 GLy 的存储电容器 Cst 与前一个栅极线 GLy-1 相连，但该模块也可用于 Cst 与下一条线 GLy+1 相连的结构。今天大多数的 LCD 面板使用与前一个线 GLy-1 相连的电容器 Cst。这样的点布局被广泛使用，因为这避免了对光透射率，视角，生产率，成本等产生了负面影响的每行使用额外的 Vcom 线。

电容器 Clc 是液晶单元的电容。Cst'是与 Cc 平行的存储电容器 Cst 的简写，Cc 是 GLy-1 和点之间的重叠电容。电容 Csgo 是源极线 SLx 与栅极线 Gly 之间的重叠电容。Rgl 是每个点的栅极线电阻。典型值的例子是：Clc = 250fF, Cst = 175fF, Cc = 18fF ->Cst' = 193fF, Csgo = 19fF, Rgl = 1Ω, Cgl = 109fF。

图 3 显示了 XGA LCD 面板上的块模糊效应。最关键的块模糊是与称作'DODO'图案的特定不对称图案一起产生的。DODO 图案例如在连续列中显示白-黑-白-黑-白-黑等值。

下面的表用 1 (对应白) 或 0 (对应黑) 显示了点的亮度，以及施加的电压关于 Vcom 的极性+和- (上面的或下面的伽马曲线)。由于从列到行的电容耦合，该不对称图案在 VL 电源上引起了较大的返回电流。该较大的返回电流在单个栅极驱动器的局部 VL 电源上产生了显著的干扰。由于 VL 迹线有限的阻抗，局部 VL'的干扰不能在一个线时间内显著削弱。因为 VL 在每个点中用作参考 (与 Cst 相连)，所以每个栅极驱动器的不同 VL 级产生了不同的灰度值，其导致图 3 中所示的块模糊效应。

	红色	绿色	蓝色	红色	绿色	蓝色	红色	绿色	蓝色...
行 1	1 +	0 -	1 +	0 -	1 +	0 -	1 +	0 -	1 + ...
行 2	1 -	0 +	1 -	0 +	1 -	0 +	1 -	0 +	1 - ...
行 3	1 +	0 -	1 +	0 -	1 +	0 -	1 +	0 -	1 + ...
行 4	1 -	0 +	1 -	0 +	1 -	0 +	1 -	0 +	1 - ...
行 5	1 +	0 -	1 +	0 -	1 +	0 -	1 +	0 -	1 + ...
行 6	1 -	0 +	1 -	0 +	1 -	0 +	1 -	0 +	1 - ...
...	...	...	...	...	...	...	...	...	...

对于 DODO 图案，所有奇数列都是白色的，所有偶数列都是黑色的。行 1 的包括 3 个点的像素显示红色和蓝色点 (洋红)，第二个像素显示绿色。DODO 图案被眼睛观察为灰色，因为洋红和绿色的光学平均是灰色。

因为选择的反相方案，施加的信号极性对于每列和每行都变化（逐点）。

如该表所显示的，第一行的一半点是 $1+$ ，另一半是 $0-$ 。对于行 2，一半的点是 $1-$ ，另一半是 $0+$ 。对应于 ‘0’ 和 ‘1’ 的电压电平由伽马曲线确定，如图 4 中所示：

如果例如 ‘1’ = $V_{com} + / - 0.5V$ ，和 ‘0’ = $V_{com} - / + 5.0V$ ，对于行 1，平均列电压为 $V_{com} = +2.25V$ ，对于行 2， $V_{com} = -2.25V$ 。因此，平均列电压在每个线时间跳越了 $4.5V$ 。这就是 DOD0 图案称为不对称图案的原因。

图 5a 示出了从源极线 SL 到栅极线 GL 的电容耦合的示意性图表。由于在每个点处行到列交迭电容 C_{sgo} ，所以平均列电压的该 $4.5V$ 跳越是电容耦合进 LCD 面板的所有栅极线 Gly 。电容 C_{gl} 是电容 $C_{st'}$ 和 C_{lc} 的简化，如图 2 中所述。电容 C_{sgo} 与电容 C_{gl} 之间的比率大约为 1:5。这意味着源极线上存在的脉冲振幅的大约 $1/6$ 被耦合进栅极线 GL。考虑到一对 TFT-LC 单元，通过平均 (SL 奇数 + SL 偶数) / 2 代替源极线 SL 奇数和源极线 SL 偶数，其在图 5b 中有描述。所以在该例子中耦合进栅极线的电容电压为 $4.5V/6 = 750mV$ 。注意到脉冲 SL 奇数和 SL 偶数是异相的，因为施加的电压的极性由于点反相驱动方案而对于两个相邻的列是相反的。

图 6 显示了由于 DOD0 图案而具有 VL 迹线干扰的示意性 XGA LCD 面板。由电容耦合带给栅极线 GL 的电荷然后通过栅极驱动器 (GD1-GD3) 的输出级 (OUTx) 放电给相应的栅极驱动器的局部 VL (VL-1, VL-2, VL-3 等)。放电电流穿过 VL LCD 面板迹线的电阻器 R_p 。

XGA LCD 面板的总栅极线电容典型为 $257nF$ ($= 768\text{-线} \times 3072\text{-列} \times 109fF/\text{栅极线}$)，并且平均 LCD 面板迹线电阻为 50Ω ($2 \times 25\Omega$ (平均值是从 VL 电源到中间栅极驱动器元件))。因此对于放电过程的最终 RC 时间常数为 $12.9ms$ ($50\Omega \times 257nF$)，其非常接近大约 $20ms$ 的 XGA 行时间。这意味着放电过程不会在一个行时间内完成，因为在 6 比特 LCD 面板的精确度内对于放电 VL 典型需要 6τ 。

局部 VL 上的电压显示了与流过单个电阻 R_p 的电流相同的放电曲线。因而，放电振幅和波形对于 VL-1, VL-2 或 VL-3 是大大不同的，因为对于 VL 电源的阻抗是依赖位置的 (串联 R_p 的数量)。

图 7 显示了当给列施加 DOD0 图案时在 VL-1, VL-2 和 VL-3 上具有局部波形的 XGA LCD 面板。明显显示出, 当有源栅极线 GLy 下降时, VL-1, VL-2 和 VL-3 上的干扰在采样点 $t_{\text{采样}}$ 处显著不同。

图 8 显示了点电压的采样。在采样点 $t_{\text{采样}}$ 处, 源极线 SLx 的电压在所述点处被采样。不同于理想 VL 值的电压 $V_{\text{GLy-1}}$ 导致所述点上的额外电荷, 一旦 TFT 晶体管关闭, 其就保存在电容 Cst 和 Clc 上。因为 GLy-1 上的平均电压是 VL, 所以所述点单元上的平均电压获得一个偏移电压 $\Delta V_{\text{dot}} = -(V_{\text{Ly-1}}(t_{\text{采样}}) - VL) * C_{\text{st}}' / (C_{\text{st}}' + C_{\text{lc}})$ 。

因为 Cst 和 Clc 是大致相同的, 所以平均点电压在采样时刻具有大约 $V_{\text{Ly-1}} - VL$ 的一半的偏移量(误差)。因为在栅极驱动器的输入处, $V_{\text{GLy-1}}$ 上的干扰等于局部 VL-1 到 VL-3 线的干扰, 所以所述点中的误差依赖于局部 VL 干扰。因为 VL 迹线电阻从栅极驱动器到栅极驱动器以有限的台阶增加, 所以点误差电压 ΔV_{dot} 也在两个驱动器之间的边界处产生台阶。在误差函数中的该台阶被眼睛观察到, 并显示在图 3 中。该可见的结果是具有不同强度的灰色阴影和具有对应每个栅极驱动器元件边界的边缘的水平块模糊。

这里还有导致块模糊的另一个影响。第二个块模糊影响可以由任何图案发生。其不如第一个块模糊影响强烈, 且通常不被人眼观察到。然而 LCD 面板上或在芯片上 VL 的疏忽的电源路线, 或一般大的 VL 迹线电阻可以将该影响变为可观察到的程度。导致 VL 上干扰的第二个原因是当栅极驱动器切换到“OFF”状态(VL)时栅极线 GLy 的放电电流。GLy 的电荷通过输出级放电到相应的栅极驱动器的局部 VL-x 电源上, 然后通过 VL 迹线电阻 R_p 放电到 VL 电源。在 GLy 切换后的第一时间处, 大部分电荷局部分布在相同驱动器的所有其它栅极线上, 例如, 用作 VL 去耦电容器的所有未被选择的栅极线的电容。该局部 VL 去耦大大减小了局部 VL-x 上的干扰幅度。相邻栅极驱动器的未被选择的线也用作局部去耦电容, 进一步减小了干扰的幅度。

图 9 示出了每个局部 VL-x 的 3 个脉冲。第一个脉冲显示了当从元件栅极驱动器 GD1 驱动的任何 GL 下降时的局部干扰。第二个脉冲是来自栅极驱动器 GD2 的 GL 切换时的局部干扰, 在来自栅极驱动器 GD3 的 GL 切换时发生第三个脉冲。VL 上的干扰或尖峰信号恰好发生在采样时刻。因为 TFT 快速关闭, 所以仅仅一小部分误差 $V_{\text{GLy-1}}(t_{\text{采样}}) - VL$ 会注入所述

点。然而在一些应用中这可能导致可视的模糊。

图 10 显示了具有额外电源迹线 V1clean 的 LCD 面板,其中示意性地图解了栅极驱动器 GD1-GD3。具有 DOD0 图案的主要问题是栅极驱动器的局部电源 (VL-1, VL-2, VL-3 等) 不会从源极线的耦合足够快速地复原。

5 由于大的 LCD 面板电阻和大的 LCD 面板栅极线电阻的和,所以时间常数太大了。该时间常数实际上不能减小。然而,VL 误差电压在采样点处只对 LCD 面板的寻址线的存储电容器有坏的影响。非寻址线是否具有它们的从线到线周围的跳越的电容 Cst 参考电压仅仅是第二重要的,因为其不会改变点的采样操作。本发明基于该单一的观察:为了在采样点处存

10 储正确的点电压,仅仅当前被寻址的线需要一个与电容 Cst 连接的净或无误差的 VL 线。

通过在 LCD 面板上添加专用于栅极线 GLy-1 放电的额外的电源线(在 Cst 与前一个 GL 连接的情况下),可以很快削弱通过源极线耦合进栅极线 GLy-1 的脉冲,因为需要放电的电容仅仅是总 LCD 面板电容的 1/768

15 (对于 XGA 面板)或 1/1024 (对于 SXGA 面板)。结果,V1clean 电源迹线的 LCD 面板迹线电阻 Rp2 大大高于 VL 的 LCD 面板迹线电阻 Rp1。可以给下述 LCD 面板应用相同的原理,所述 LCD 面板具有通过将 V1clean 连接到栅极线 GLy+1 而与下一个栅极线 GL 连接的 Cst。

图 11a 显示了传统的 2 级栅极驱动器的输出级构造。在传统的栅极驱动器中,当栅极线被选择时,PMOS 晶体管 MP1 导通。当所述线未被选择时,NMOS 晶体管 MN1 导通。

20

图 11b 显示了具有 2 条栅极关断 VL 电源线的栅极驱动器的输出级构造。代替一个 PMOS MP1 和一个 NMOS 晶体管 MN1,这里对于具有额外 V1clean 线的栅极驱动器具有一个 PMOS MP1 和 2 个 NMOST(MN1 和 MN2)。

25 在具有额外 V1clean 线的输出级中,MP1 的时序保持与传统栅极驱动器的相同。然而 MN1 和 MN2 的驱动稍微不同。如图 12 中所述的,在整个相位 GLy-1 过程中,MN2 导通,所以当选择栅极线 GLy 时,栅极线 GLy-1 与 V1clean 线相连。在所有其它未被选择的相位中,MN1 导通,所以其它所有的栅极线与 VL 相连。注意到可取的是当 OUTx 从 VH 切换到 VL 时

30 已经在相位 GLy 的结束处已经打开 MN1。通常由激励信号 DIS (“禁止”)或 EON (“不能输出”)来产生确定采样点 ($t_{\text{采样}}$) 的该转换。

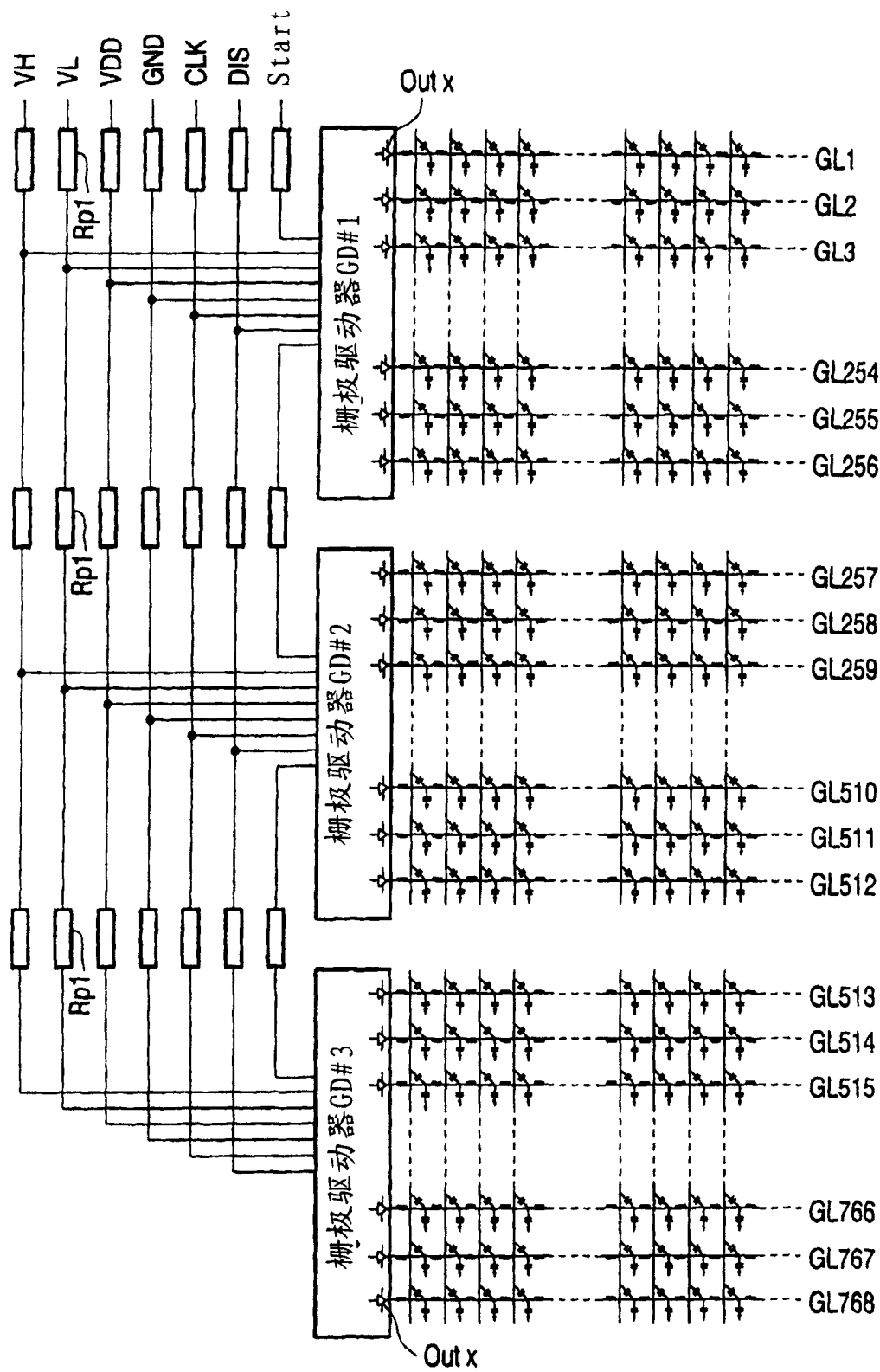


图 1

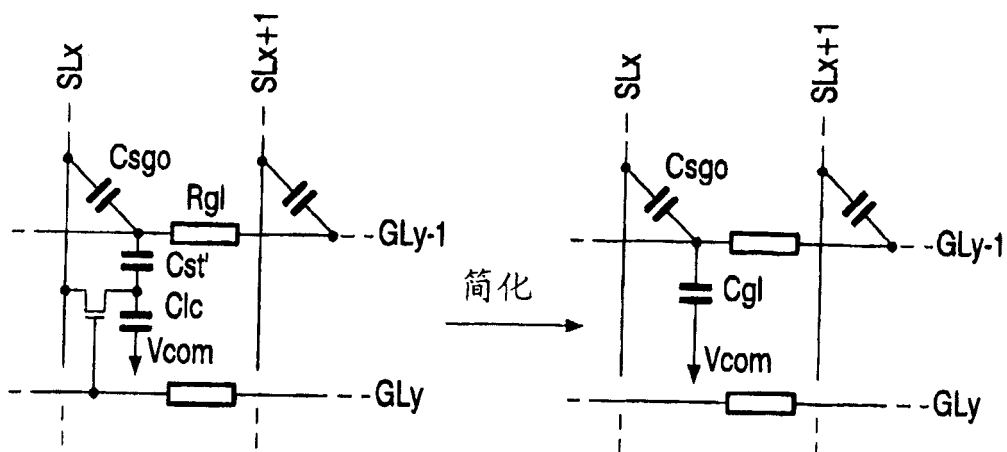


图 2

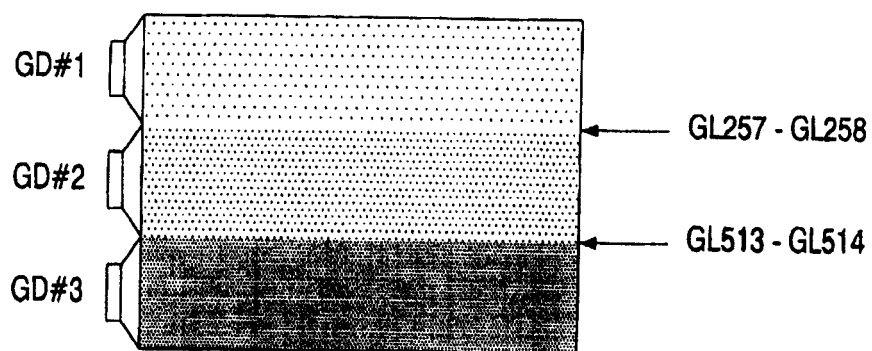


图 3

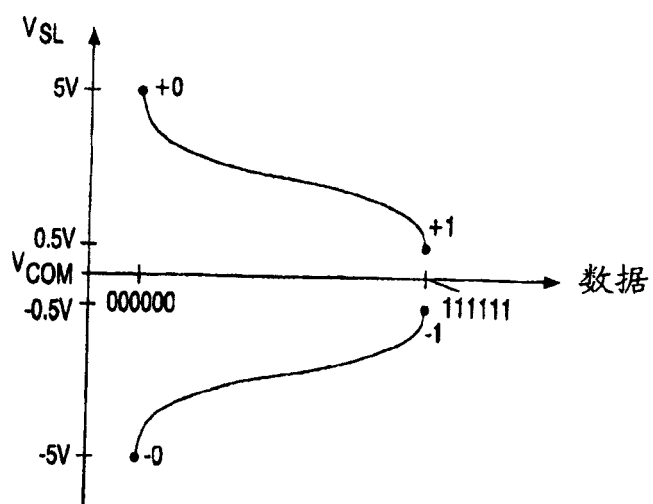


图 4

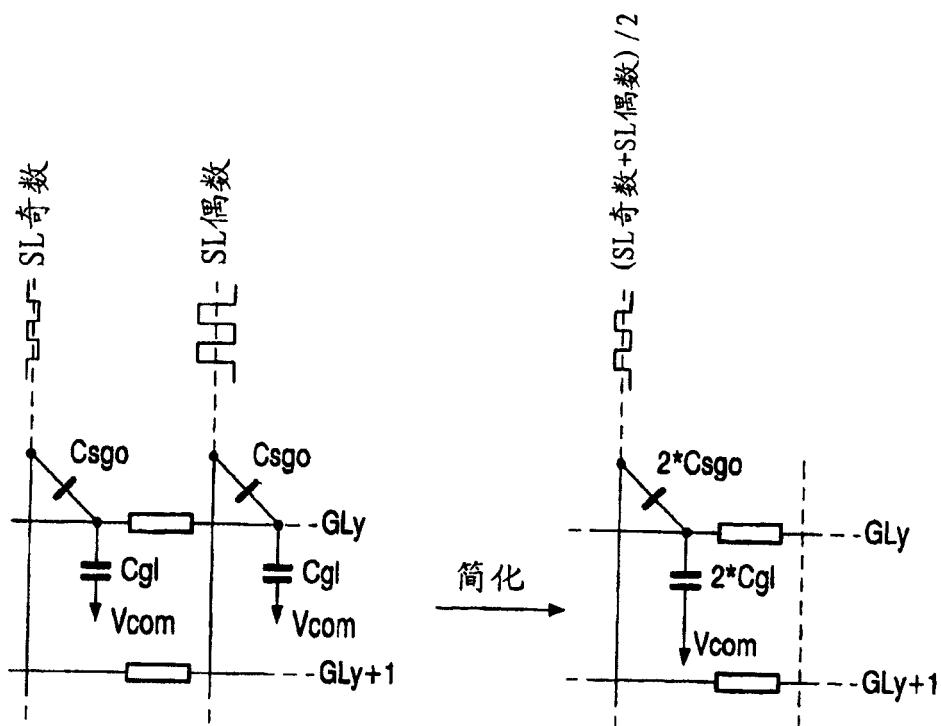


图 5a

图 5b

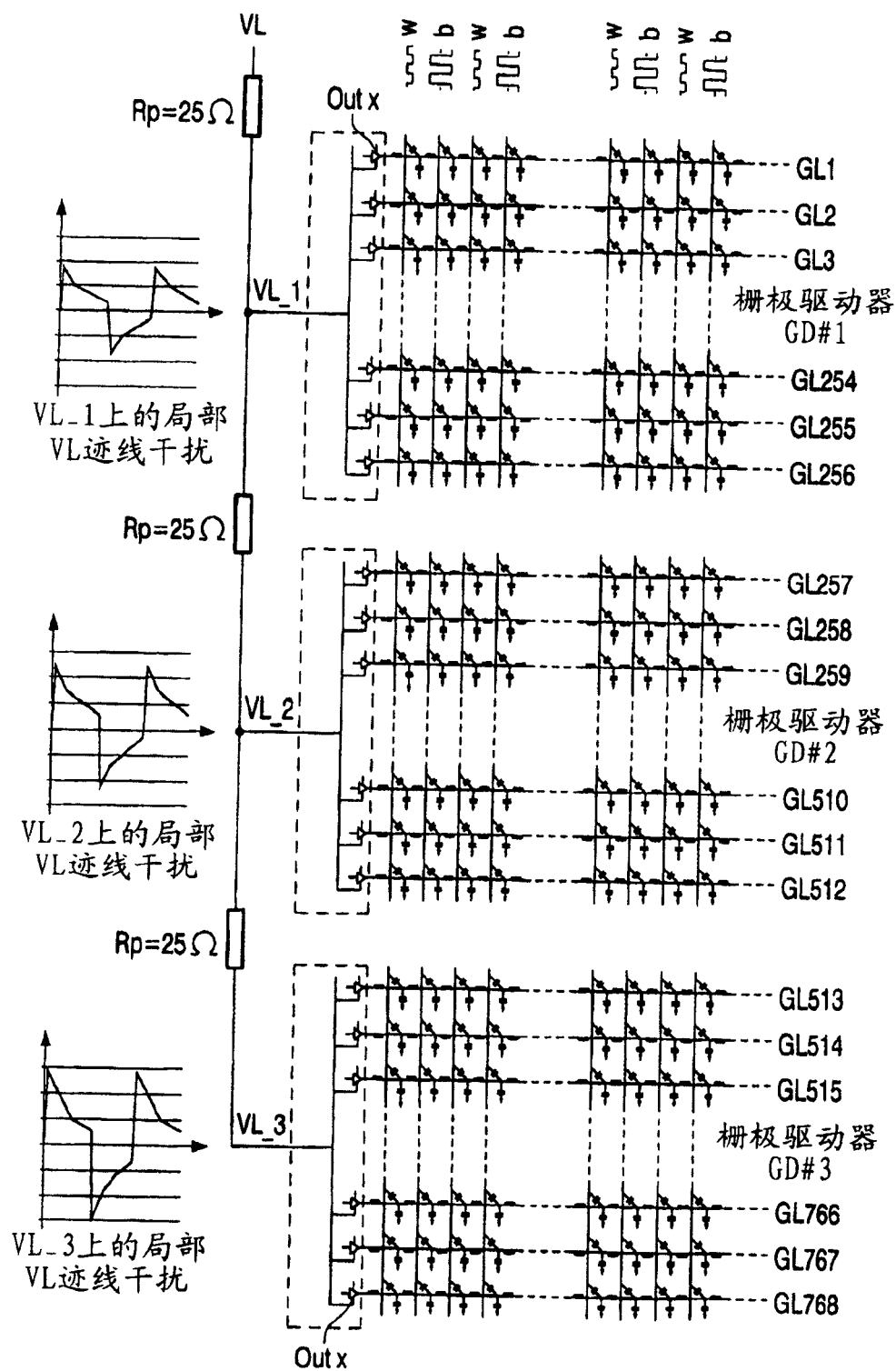


图 6

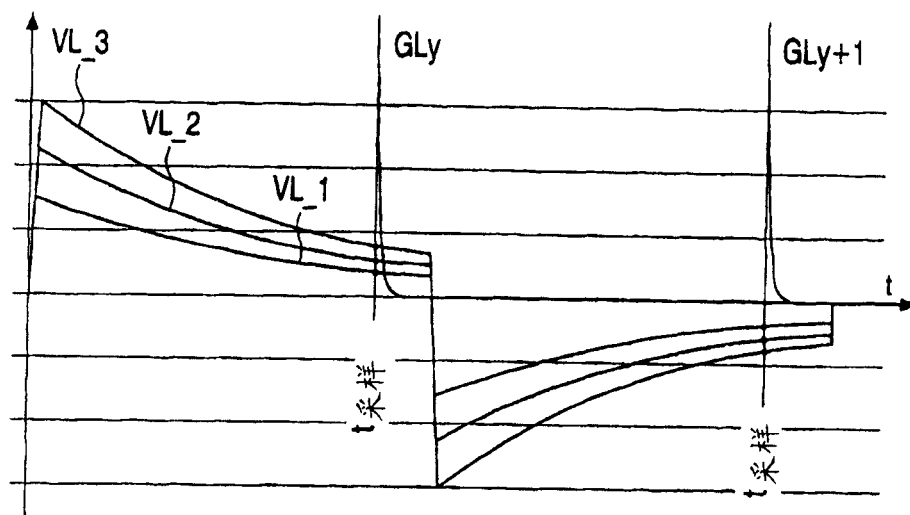


图 7

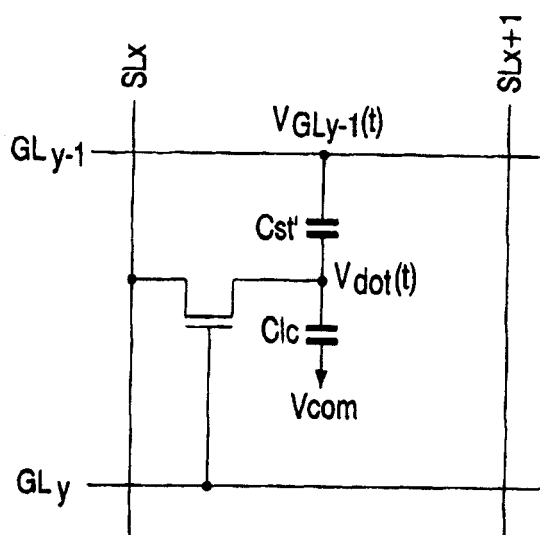


图 8

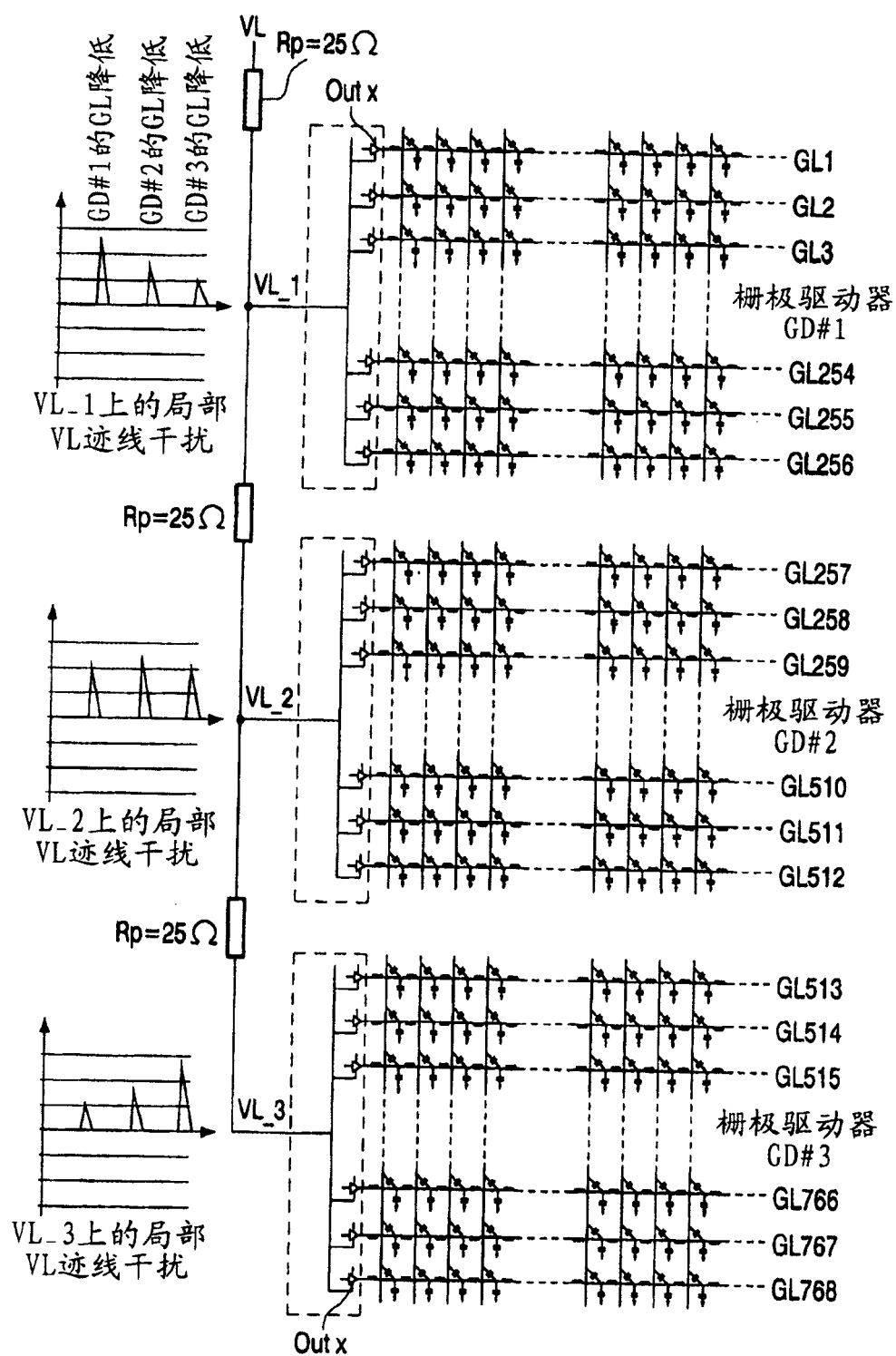


图 9

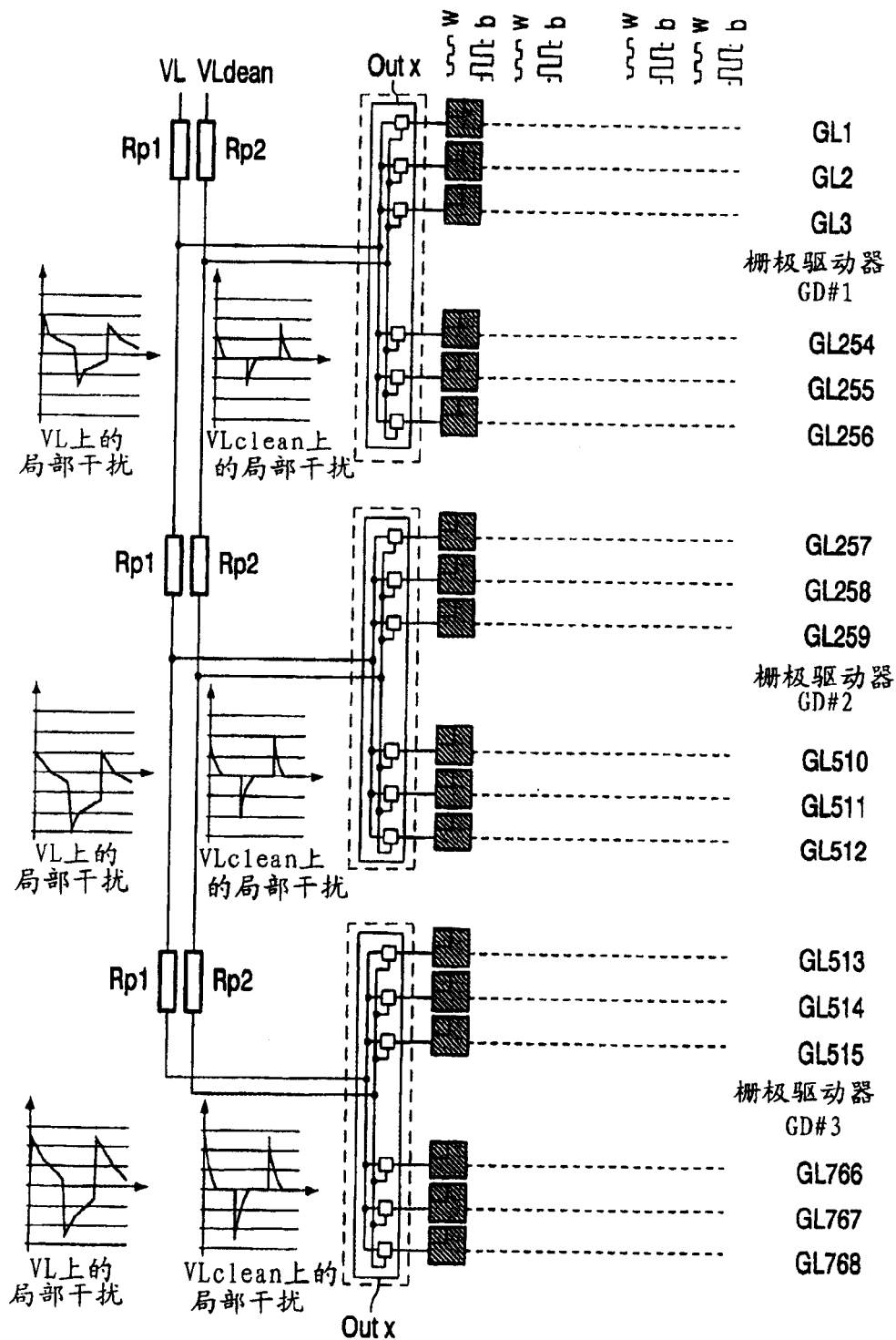


图 10

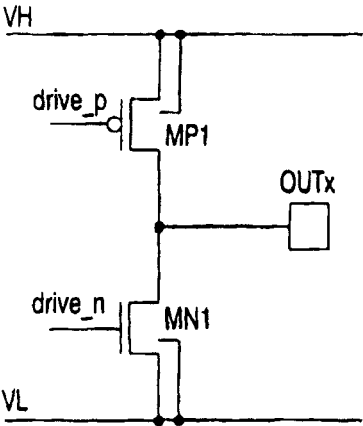


图 11a

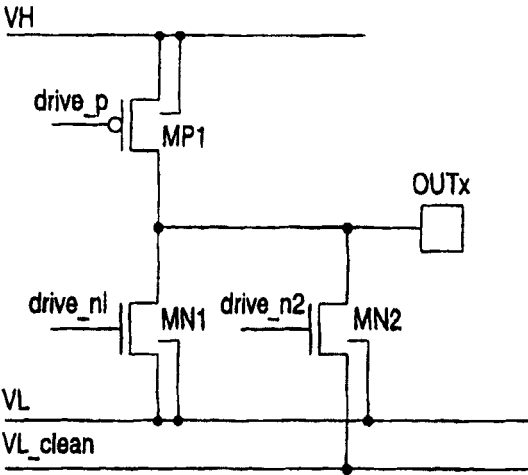


图 11b

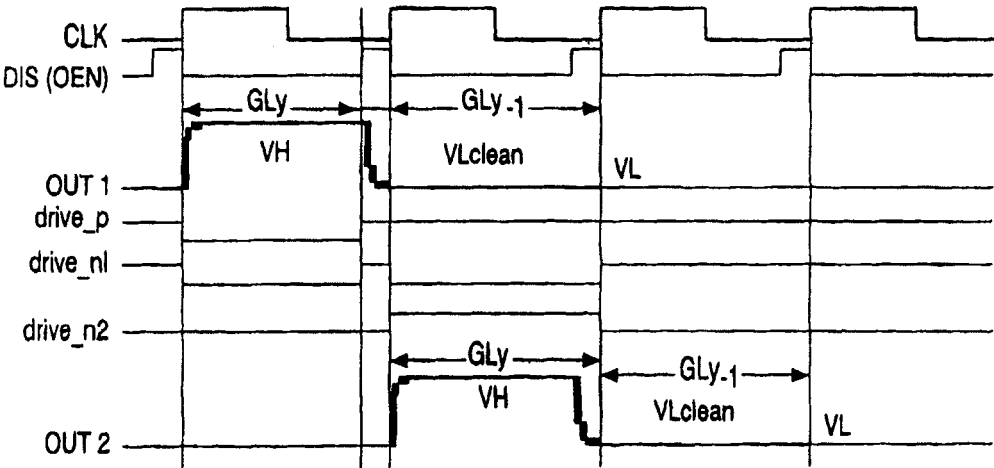


图 12

专利名称(译)	具有减小的“块模糊”效应的显示器		
公开(公告)号	CN1714386A	公开(公告)日	2005-12-28
申请号	CN200380104025.6	申请日	2003-11-18
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
当前申请(专利权)人(译)	瀚通信有限公司		
[标]发明人	M多姆 P布奇 沙彻尔		
发明人	M·多姆 P·布奇 - 沙彻尔		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G3/3659 G09G3/3666 G09G2310/06 G09G2320/0233		
代理人(译)	王岳		
优先权	2002102642 2002-11-25 EP		
其他公开文献	CN1714386B		
外部链接	Espacenet SIPO		

摘要(译)

本发明一般涉及一种LCD面板，尤其涉及一种没有印刷电路板(PCB)的情况下装配其栅极驱动器(GD)的LCD面板。该技术称作无PCB，其中没有将栅极驱动器(GD)的配线连在常规的印刷电路板(PCB)，而是直接做在LCD玻璃上。本发明还用于玻璃上芯片技术(COG)，其中栅极驱动器(GD)直接与玻璃配线相连。为了避免块模糊效应，在保持效果和较低的成本同时，提出给每个输出级(OUTx)添加额外的线(Viclean)，由此单独使用所述额外的线(Viclean)为被选择的栅极线(GLy)的存储电容器(Cst)提供参考电压。所有其它的(未被选择的)栅极线与通常的栅极关断电源线(VL)极相连。Viclean作为单独的迹线在LCD玻璃上引出，并在玻璃边缘或接近电源输出的地方与VL电源相连。

