



[12] 发明专利申请公开说明书

[21] 申请号 02142043.2

[43] 公开日 2003 年 3 月 12 日

[11] 公开号 CN 1402425A

[22] 申请日 2002.8.23 [21] 申请号 02142043.2

[30] 优先权

[32] 2001. 8.24 [33] JP [31] 2001-254755

[71] 申请人 株式会社东芝

地址 日本东京

[72] 发明人 南崎浩德 板仓哲朗

[74] 专利代理机构 上海专利商标事务所

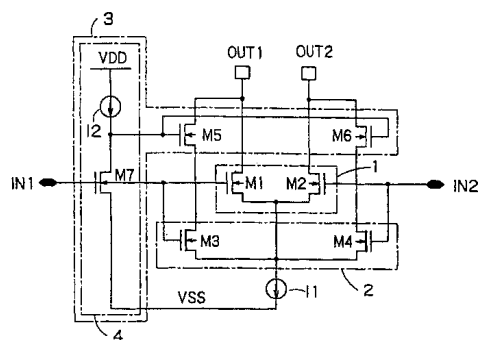
代理人 沈昭坤

权利要求书 2 页 说明书 9 页 附图 9 页

[54] 发明名称 差动放大电路以及液晶显示装置驱动用半导体集成电路

[57] 摘要

本发明提供一种可充分扩大差动输入信号的共模电压动态范围的差动放大电路。该差动放大电路具备：由 NMOS 晶体管 (M1、M2) 构成的第 1 差动对；由 NMOS 晶体管 (M3、M4) 构成的第 2 差动对；向所述第 1 及第 2 差动对供给电流的电流源 (I1)；切换控制第 2 差动对是否工作的差动对控制电路，差动对控制电路具有：连接在来自电流源 I1 的电流流过 NMOS 晶体管 (M3、M4) 的电流路径上的 NMOS 晶体管 (M5、M6)；控制 NMOS 晶体管 (M5、M6) 的栅极电压的电平变换电路。当输入 IN 的电压低时，仅使第 2 差动对动作，当输入 IN 的电压高时，仅使第 1 差动对动作，故能够扩大差动输入信号的共模电压的动态范围。



1. 一种差动放大电路，具备：具有相同导电型的第 1 以及第 2 晶体管并且向所述第 1 以及第 2 晶体管的栅极端供给差动输入信号的第 1 差动对；具有与所述第 1 以及第 2 晶体管导电型相同且阈值电压不同的第 3 以及第 4 晶体管并且将所述差动输入信号供给所述第 3 以及第 4 晶体管的栅极端的第 2 差动对；以及向所述第 1 以及第 2 差动对供给偏置电流的偏置电流供给手段，其特征在于，

具备控制所述第 2 差动对是否工作的差动对控制手段。

2. 如权利要求 1 所述的差动放大电路，其特征在于，
所述偏置供给手段具有向所述第 1 以及第 2 差动对供给电流的单个的电流源。

3. 如权利要求 1 或 2 所述的差动放大电路，其特征在于，
所述差动对控制手段具有：连接在来自所述偏置供给手段的电流通过所述第 3 晶体管的电流路径上且与所述第 3 晶体管导电型相同的第 5 晶体管；连接在来自所述偏置供给手段的电流通过所述第 4 晶体管的电流路径上且与所述第 4 晶体管导电型相同的第 6 晶体管。

4. 如权利要求 3 所述的差动放大电路，其特征在于，
所述差动对控制手段具有串联在基准电压端之间的阻抗元件与第 7 晶体管，

所述第 7 晶体管与所述第 1～第 6 晶体管导电型相同，并且向所述第 7 晶体管的栅极端供给所述差动输入信号的其中之一，

向所述第 5 以及第 6 晶体管的栅极端，供给所述阻抗元件与所述第 7 晶体管的连接点上的电压。

5. 如权利要求 3 所述的差动放大电路，其特征在于，

由外部信号控制所述第 5 以及第 6 晶体管的栅极电压。

6. 一种液晶显示装置驱动用半导体集成电路，具有将数字像素数据变换成模拟像素电压的 D/A 变换电路；将所述模拟像素电压缓冲后供给相应的信号线的模拟缓冲器，其特征在于，

所述模拟缓冲器具有将从所述 D/A 变换电路以差动输出的所述模拟像素电压进行差动放大的、即权利要求 5 所述的差动放大电路，

根据对所述信号线进行极性反转驱动的时刻，控制所述外部信号的逻辑。

差动放大电路以及液晶显示装置驱动用半导体集成电路

技术领域

本发明涉及放大差动输入信号并输出的差动放大电路及液晶显示装置驱动用半导体集成电路。

背景技术

以往的差动放大电路一般采用晶体管的差动对来实现，而由于构成差动对的 MOS 晶体管的栅极·源极电压 V_{gs} 的影响，存在差动输入信号的共模 (common mode) 电压的动态范围受到限制的问题。

作为解决上述问题的方法，在美国专利公报 USP4, 554, 515 以及日本专利特公平 4-76246 号公报中，揭示了下述方法，即对导电型不同的 2 组差动对的输出进行电流相加，由此扩大差动输入信号的共模电压的动态范围。然而，该方法存在下述 1)~3) 的问题。

1) 根据差动输入信号的共模电压的大小，将 2 组差动对各自的输入换算偏差进行相加，则输出偏差变大。

2) 由于 2 组差动对各自的输出电流的方向相反，必需要电流加法电路，由于部件个数增多，电路规模变大。

3) 差动的输出电流之和随着差动输入的共模电压的工作点而变动。

另一方面，在特开平 8-256026 号公报中，通过将 2 组导电型相同、阈值不同的差动对的输出进行电流相加来扩大差动输入信号的共模电压的动态范围的方法。

图 17 是表示特开平 8-256026 号公报中所揭示的差动放大电路的电路图。图 17 的差动放大电路具备：由 NMOS 晶体管 M1、M2 构成的第 1 差动对；由 NMOS 晶体管 M3、M4 构成的第 2 差动对；构成向第 1 差动对供给电流的电流源的 NMOS 晶体管 M31；构成向第 2 差动对供给电流的电流源的 NMOS 晶体管 M32；构成与第 1 以及第 2 差动对输出端连接的有源负载的 PMOS 晶体管 M15、M16；构成输出电路 PMOS 晶体管 M34 以及 NMOS 晶体管 33。

然而，图 17 的差动放大电路由于从各个电流源向各差动对供给电流，故存在

与上述 3)相同的问题,即,存在差动的输出电流之和随着差动输入信号的共模电压的工作点而变化。因此,不能够获得稳定的输出,不能够充分扩大差动输入信号的共模电压的动态范围。

本发明鉴于上述问题,目的在于,提供一种能够充分扩大差动输入信号的共模电压的动态范围的差动放大电路以及采用它的液晶显示装置驱动用半导体集成电路。

发明内容

为了解决上述问题,本发明提供一种差动放大电路,它具有导电型相同的第 1 以及第 2 晶体管、向这些晶体管的栅极端供给差动输入信号的第 1 差动对、与所述第 1 以及第 2 晶体管导电型相同且阈值电压不同的第 3 以及第 4 晶体管、向这些晶体管的栅极端供给所述差动输入信号的第 2 差动对、向所述第 1 以及第 2 差动对供给偏置电流的偏置供给手段。且具有控制所述第 2 差动对动作与否的差动对控制手段。

在本发明中,在差动输入信号的电压电平的较大范围与较小范围中,由于使得第 1 以及第 2 差动对中的任意一个工作,比以往能够进一步扩大共模电压的动态范围。

附图说明

图 1 是表示本发明的差动放大电路的第 1 实施形态的电路图。

图 2 表示第 1 以及第 2 差动对 1、2 的动作电压范围的图。

图 3 是表示构成差动输入信号之一的输入 IN1 的电压与流过第 1 以及第 2 差动对 1、2 的电流的关系的图。

图 4 是表示构成差动输入信号之一的输入 IN1 的电压与电平变换电路 4 的输出电压的关系的图。

图 5 是表示本实施形态的电路与以往电路的输入特性的图。

图 6 表示本实施形态的电路与以往电路相对于时间的输出变化。

图 7 是表示本发明的差动放大电路的第 2 实施形态的电路图。

图 8 是表示本发明的差动放大电路的第 3 实施形态的电路图。

图 9 是内部装有图 8 的差动放大电路的液晶显示装置驱动用半导体集成电路的框图。

图 10 为本发明的差动放大电路的第 4 实施形态的电路图。

图 11 是本发明的差动放大电路的第 5 实施形态的电路图。

图 12 是本发明的差动放大电路的第 6 实施形态的电路图。

图 13 是本发明的差动放大电路的第 7 实施形态的电路图。

图 14 是表示实现第 1 实施形态的差动放大电路的具体的电路图。

图 15 是表示实现图 11 的差动放大电路的具体的电路图。

图 16 是表示实现图 18 的差动放大电路的具体的电路图。

图 17 是以往的差动放大电路的电路图。

符号说明

1 第 1 差动对, 2 第 2 差动对, 3 差动对控制电路, 4 电平控制电路, 11 移位寄存器, 12 触发器, 13 负载锁存器, 14 电平变换器(level shifter), 15 D/A 变换器, 16 模拟缓冲器, 17 分压器, 20 差动放大电路, 21 偏置电路, 22 有源负载, 23 输出电路

具体实施方式

以下, 参照附图对于本发明的差动放大电路进行具体说明。

(第 1 实施形态)

图 1 是表示本发明的差动放大电路的第 1 实施形态的电路图。图 1 的差动放大电路具备: 由 NMOS 晶体管(第 1 以及第 2 晶体管)M1、M2 构成的第 1 差动对; 由 NMOS 晶体管(第 3 以及第 4 晶体管)M3、M4 构成的第 2 差动对; 向第 1 以及第 2 差动对 1、2 供给电流的电流源(偏置供给手段)I1; 切换控制是否使第 2 差动对 2 工作的差动对控制电路(差动对控制手段)3。

差动对控制电路 3 具有连接在来自电源 I1 的电流流过 NMOS 晶体管 M3、M4 的电流路径上的 NMOS 晶体管(第 5 以及第 6 晶体管)M5、M6; 控制 NMOS 晶体管 M5、M6 的栅极电压的电平变换电路 4。

将构成第 1 差动对的 NMOS 晶体管 M1、M2 的阈值电压设定为高于构成第 2 差动对 2 的 NMOS 晶体管 M3、M4 的阈值电压的值。例如, 前者的阈值电压为 0.8V 左右, 后者的阈值电压为-0.6V 左右。例如可以通过改变注入各晶体管的沟道区域中的杂质离子掺入量来调整阈值电压。

电平变换电路 4 具有串联连接在电源端 VDD 与接地端 Vss 之间的串联电流源(阻抗元件)I2 以及 NMOS 晶体管(第 7 晶体管)M7, 将电流源 I2 与 NMOS 晶体管 M7

的接点上的电压供给 NMOS 晶体管 M5、M6 的栅极端。

向 NMOS 晶体管 M1、M3 供给差动输入信号的一个 IN1，向 NMOS 晶体管 M2、M4 的栅极端供给差动输入信号另一个 IN2。

图 1 的差动放大电路的特点在于，在图 17 所示的以往的差动放大电路的构造上附加了差动对控制电路 3。以下，说明图 1 的差动放大电路的动作。以下，对于当第 2 差动对 2 的阈值电压 < 第 1 差动对 1 的阈值电压 < NMOS 晶体管 M7 的阈值电压的关系成立时的情况进行说明。

当构成差动输入信号的一输入 IN1 低于第 2 差动对 2 的阈值电压时，则第 1 以及第 2 差动对都为非工作状态。

当输入 IN1 大于第 2 差动对 2 的阈值电压并小于第 1 差动对 1 的阈值电压时，使得构成第 2 差动对 2 的 NMOS 晶体管 M3、M4 导通。此时，由于 NMOS 晶体管 M7 为截止，NMOS 晶体管 M5、M6 导通，电流从电流源 I1 流过第 2 差动对 2 与 NMOS 晶体管 M5、M6。又，第 1 差动对 1 没有产生相位变化而处于非工作状态，仅第 2 差动对 2 工作。

当输入 IN1 超过第 1 差动对 1 的阈值电压时，构成第 1 差动对 1 的 NMOS 晶体管 M1、M2 导通，第 1 以及第 2 差动对 1、2 都为工作状态。此时，由于阈值电压低的第 2 差动对 2 的阻抗值较小，故来自电流源 I1 的电流几乎都流过第 2 差动对。

另一方面，当输入 IN1 超过电平变换电路 4 内的 NMOS 晶体管 M7 的阈值电压时，NMOS 晶体管 M7 导通并且 NMOS 晶体管 M5、M6 截止。由此，截断了第 2 差动对 2 的电流路径，第 2 差动对 2 为非工作状态。此时，由于第 1 差动对正在工作，来自电流源 I1 的电流仅通过第 1 差动对 1。即，输入 IN1 在高于 NMOS 晶体管 M7 的阈值电压的高压范围中，图 1 的差动放大电路仅由第 1 差动对进行差动放大动作。

图 2 是表示第 1 以及第 2 差动对 1、2 的工作电压范围的图，图 3 是表示构成差动输入信号的一输入 IN1 的电压与流过第 1 以及第 2 差动对 1、2 的电流的关系的图。如图 2 所示，第 2 差动对 2 在输入 IN1 的电压为较低的范围(图 2 中的区域 1)中工作，第 1 差动对 1 在输入 IN1 的电压较高的范围(图 2 中的区域 2)中工作。电平变换电路 4 在第 1 以及第 2 差动对 1、2 都工作的范围(区域 3)内切换 NMOS 晶体管 M7 导通、截止。在 NMOS 晶体管 M7 导通、截止的前后，流过第 1 以及第 2 差动对的电流如图 3 所示变化很大。由此，图 1 的差动放大电路的输出电压如图 2 的区域 4 所示那样在较宽的电压范围中摆动。

图 4 是表示构成差动输入信号的一 IN1 的电压与电平变换电路 4 的输出电压

的关系的图。图 4 的 3 条曲线 a、b、c 表示电平变换电路 4 内的晶体管元件尺寸分别不同时的特性，直线 d 表示图 1 的输入输出电压的关系。如图所示，通过调整电平变换电路 4 内的晶体管的元件尺寸，能够可变地控制电平变换电路 4 的输出电压。上述元件尺寸的调整，可以对于构成电平变换电路 4 内的 NMOS 晶体管 M7 与电流源 I1 的晶体管中的至少一方进行。

又，替代图 1 的电平变换电路 4 内的电流源 I2，也可以连接电阻元件等的阻抗元件。

图 5 是表示本发明实施形态电路与以往电路的输入输出特性的图，横轴表示输入电压、纵轴表示输出电压。图 5 的实线表示图 1 中的该实施形态的电路特性，虚线表示图 17 的以往电路的特性。如图所示，根据本实施形态电路，不论输入电压是低是高，相对于输入电压的变化，输出电压都产生线性变化。

图 6 是表示本实施形态的电路与以往电路相对于时间的输出变化的图，横轴表示时间、纵轴表示输出电压。图 6 的实线表示图 1 的本实施形态的电路的特性、虚线表示图 17 的以往电路的特性。如图所示，根据本实施形态的电路，当输入电压发生变化时，输出电压紧跟着发生变化并且输出电压最大摆动到电源电压附近。

如此，本实施形态的差动放大电路由于在输入 IN1 的电压较低时仅使第 2 差动对 2 工作、在输入 IN1 的电压较高时仅使第 1 差动对 1 工作，故无论输入 IN1 是高还是低时，一差动对的工作不会妨碍另一差动对的工作。由此，能够扩大差动输入信号的共模电压的动态范围。又，由于第 1 以及第 2 差动对 1、2 共用一个电流源 I1，不会受到电流源 I1 特性偏差的影响，并且能够简化电路结构。

(第 2 实施形态)

第 2 实施形态的特点在于，具有与第 1 实施形态不同构造的差动对控制电路 3。

图 7 是表示本发明的差动放大电路的第 2 实施形态的电路图。在图 7 中，对于与图 1 相同的构造部分，采用同一符号，以下以不同之处为中心进行说明。

图 7 的差动放大电路具有与图 1 构造不同的差动对控制电路 3a。图 7 的差动对控制电路 3a 具有连接在构成第 2 差动对 2 的 NMOS 晶体管 M3、M4 的源极端与电流源 I1 之间的 NMOS 晶体管 M8。向该 NMOS 晶体管 M8 的栅极端，供给电平变换电路 4a 内的电流源 I1 与 NMOS 晶体管 M7 的连接点上的电压。

当输入电压在大于第 2 差动对 2 的阈值电压且小于第 1 差动对 1 的阈值电压时，NMOS 晶体管 M8 截止，来自电流源 I1 的电流仅流过第 2 差动对 2。

当输入电压大于电平变换电路 4a 内的 NMOS 晶体管 M7 的阈值电压时，NMOS

晶体管 M8 截止且截断第 2 差动对 2 的电流路径。

又, 图 3 的差动放大电路内的电平变换电路 4a 具有连接在 NMOS 晶体管 M7 的源极端与接地端之间的电流源 I3, 这一点与图 1 的电平变换电路 4 不同。通过设置该电流源 I3, 能够容易地调整 NMOS 晶体管 M8 的栅极电压。然而, 也可以省略该电流源 I3。

如此, 第 2 实施形态也与第 1 实施形态相同地, 能够扩大差动输入信号的共模电压的动态范围, 而且第 1 以及第 2 差动对 1、2 能够共用一个电流源 I1。

(第 3 实施形态)

第 3 实施形态的特点在于, 由外部信号控制差动对控制电路内的 NMOS 晶体管的导通、截止。

图 8 是表示本发明的差动放大电路的第 3 实施形态的电路图。在图 8 中, 对于与图 1 通用的结构部分采用相同的符号, 以下以不同之处为中心进行说明。

图 8 的差动放大电路具有与图 1 不同构造的差动对控制电路 3b。图 8 的差动对控制电路 3b 并不具备图 1 所示的电平变换电路 4, 取而代之由外部信号控制 NMOS 晶体管 M5、M6 的导通、截止。

将外部信号供给到 NMOS 晶体管 M5、M6 的栅极端。当外部信号的电压大于 NMOS 晶体管 M5、M6 的阈值电压时, NMOS 晶体管 M5、M6 导通, 当外部信号的电压小于 NMOS 晶体管 M5、M6 的阈值电压时, NMOS 晶体管 M5、M6 截止。

NMOS 晶体管 M5、M6 导通时, 构成差动输入信号的一输入 IN1 在第 2 差动对 2 的阈值电压以上时, 第 2 差动对工作, 来自电流源 I1 的电流流过第 2 差动对 2。又, 在第 2 差动对 2 工作中, 当外部信号的电压小于 NMOS 晶体管 M5、M6 的阈值电压时, NMOS 晶体管 M5、M6 截止, 第 2 差动对 2 为非工作状态。

如此, 第 3 实施形态中, 由于由外部信号切换控制是否使得第 2 差动对动作, 故不需要如第 1 以及第 2 实施形态那样设置电平变换电路 4, 能够简化电路构造。

然而, 作为分开的信号从外部输入图 8 的外部信号与差动输入信号, 而最好使得两信号相互同步地输入。图 9 是在内部装有图 8 所示的差动放大电路的液晶显示装置驱动用半导体集成电路的框图。

图 9 的液晶显示装置驱动用半导体集成电路具备: 输出使得起始脉冲与传送时钟同步地顺次移位的移位脉冲的移位寄存器 11; 使得与移位脉冲同步并且对于数字等级数据进行锁存的触发器 12; 使得触发器 12 的锁存输出与负载信号同步并进行锁存的负载锁存器 13; 将负载锁存器 13 的输出进行电平变换的电平变换器 14;

将经电平变换后的数据转换成模拟信号的 D/A 变换器 15；将变换后的模拟信号放大的与图 8 结构相同的模拟缓冲器 16；以及向 D/A 变换器 15 供给多种基准电压的分压器 17，将模拟缓冲器 16 的输出供给像素阵列内相应的信号线。

D/A 变换器 15 的输出相当于图 8 的差动输入信号，输入到模拟缓冲器 16 的极性反转信号相当于图 8 的外部信号。图 9 的极性反转信号用于切换驱动信号线的电压极性。例如，当以正极性驱动信号线时，使得极性反转信号为低电平。由此，图 8 的 NMOS 晶体管 M5、M6 截止，第 2 差动对 2 为非动作状态。因此，相应于 D/A 变换器 15 的输出的电流从电流源 I1 流过第 1 差动对 1。

另一方面，当以负极性驱动信号线时，使得极性反转信号为高电平。由此，第 2 差动对 2 为工作状态，相应于 D/A 变换器 15 的输出的电流从电流源 I1 流过第 2 差动对 2。

如此，输入与输入信号不同的外部信号并且控制差动对控制电路 3b 内的 NMOS 晶体管 M5、M6 的导通、截止，能够在任意的时刻切换控制第 2 差动对 2 的导通、截止。

(第 4 实施形态)

在第 4 实施形态中，省略了第 2 实施形态的电平变换电路 4 并供给外部信号。

图 10 是本发明的差动放大电路的第 4 实施形态的电路图。在图 10 中，对于与图 7 通用的部分，采用相同的符号，以下，以不同之处为中心进行说明。

图 10 的差动放大电路具有与图 7 不同构造的差动控制电路 3c。该差动控制电路 3c 向 NMOS 晶体管 M8 的栅极端供给外部信号，以取代图 7 的差动对控制电路 3a 内的电平变换电路 4。

由此，与第 3 实施形态相同地，能够利用外部信号切换控制第 2 差动对 2 的动作。

(第 5 实施形态)

第 5 实施形态中，在第 2 实施形态的电路中追加了用于使工作稳定的二极管。

图 11 是本发明的差动放大电路的第 5 实施形态的电路图。在图 11 中，对于与图 7 相同的结构部分采用相同的符号，以下对于不同之处进行说明。

图 11 的差动放大电路与图 7 的差动放大电路构造不同之处在于，与构成第 2 差动对 2 的 NMOS 晶体管 M3、M4 的漏极端分别串联连接 NMOS 晶体管 M5、M6。NMOS 晶体管 M5、M6 各自的栅极端与漏极端短路而作为二极管进行工作。

如此，通过在 NMOS 晶体管 M3、M4 的漏极端上连接二极管构造的 NMOS 晶体管

M5、M6，能够提高差动放大电路输出端的信号电平，能够使得电路的工作稳定。

(第6实施形态)

第6实施形态中，在第4实施形态的电路中追加了用于使得工作稳定的二极管。

图12是表示本发明的差动放大电路第6实施形态的电路图。在图12中，对于与图10通用的构造部分，采用相同的符号，以下以不同点为中心进行说明。

图12的差动放大电路中，在图10电路的NMOS晶体管M3、M4的漏极端分别串联二极管构造的NMOS晶体管M5、M6，由此，能够使得电路工作稳定。

(第7实施形态)

第7实施形态是第3实施形态的变形例，新追加了用于切换控制第1差动对1的工作/非工作的晶体管。

图13是本发明的差动放大电路的第7实施形态的电路图。图13中，对于与图8通用的构造部分，采用相同的符号，以下以不同之处为中心进行说明。

图13的差动对控制电路3d是在图8的差动对控制电路3b的构造的基础上，还具有连接在构成第1差动对1的NMOS晶体管M1的漏极端与输出端之间OUT1之间的NMOS晶体管M9、连接在NMOS晶体管M2的漏极端与输出端OUT2之间的NMOS晶体管10。NMOS晶体管M9、M10用于切换控制第1差动对1的工作/非工作，将外部信号由倒相器反转后的信号供给NMOS晶体管M9、M10的栅极端。

当外部信号为高电平时，NMOS晶体管M5、M6导通并且NMOS晶体管M9、M10截止。因此，来自电流源I1的电流仅通过第2差动对2。

另一方面，当外部信号为低电平时，NMOS晶体管M5、M6截止并且NMOS晶体管M9、M10导通。因此，来自电流源I1的电流仅流过第1差动对1。

如此，通过设置NMOS晶体管M9、N10，能够仅使得第1以及第2差动对1、2中的任意一个工作，能够可靠地扩大差动输入信号的共模电压的动态范围。

(第8实施形态)

第8实施形态是实现第1实施形态的差动放大电路的具体示例的电路图。

图14的电路具备控制流过差动放大电路内的电流源I1的电流的偏置电路21、连接在与图1相同构造的差动放大电路20的输出端上的有源负载22、同样地连接在输出端上的输出电路23。

偏置电路21具有将偏置电压VB输入到栅极端的PMOS晶体管M11、构成与该PMOS晶体管M11串联的电流源I1的NMOS晶体管M12。与流过NMOS晶体管M12的

电流相同的电流，也流过构成电流源 I1 的 NMOS 晶体管 M13。

有源负载 22 由电流镜构造的 PMOS 晶体管 M15、M16 构成。输出电路 23 具有将差动放大电路 20 的输出电压输入栅极端的 PMOS 晶体管 M17、作为与该 PMOS 晶体管 M17 串联的电流源 I1 发挥作用的 NMOS 晶体管 M18。

如此，图 14 的电路由于都由 MOS 晶体管构成，故易于使差动放大电路 20 整体集成化。

对于上述的图 7、图 8、图 10、图 11～图 13 所示的各个差动放大电路 20，也能够连接与图 14 相同的偏置电路 21、有源负载 22 以及输出电路 23。例如，图 15 以及图 16 表示分别在图 11 以及图 8 的电路中追加了偏置电路 21、有源负载 22 以及输出电路 23。

在上述的各实施形态中，主要对于采用 NMOS 晶体管构成差动放大电路 20 的示例进行了说明，而也可以采用 PMOS 晶体管构成。此时，除了电源端与接地端的连接位置相反之外，与上述各电路的构造相同。

如上所述，根据本发明，由于能够控制使得第 2 差动对是否工作，在差动输入信号的电压电平为较大电压范围与较小电压范围中，能够仅使得任意之一的差动对工作，能够扩大差动输入信号的共模电压的动态范围。

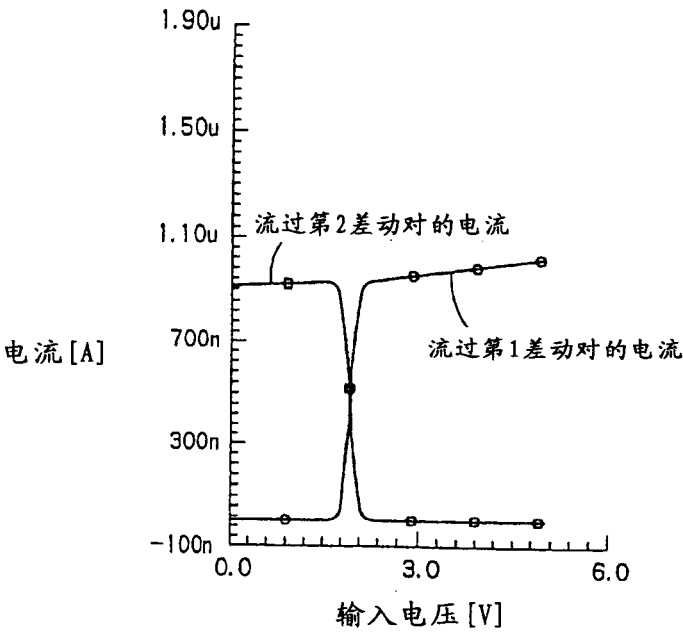


图 3

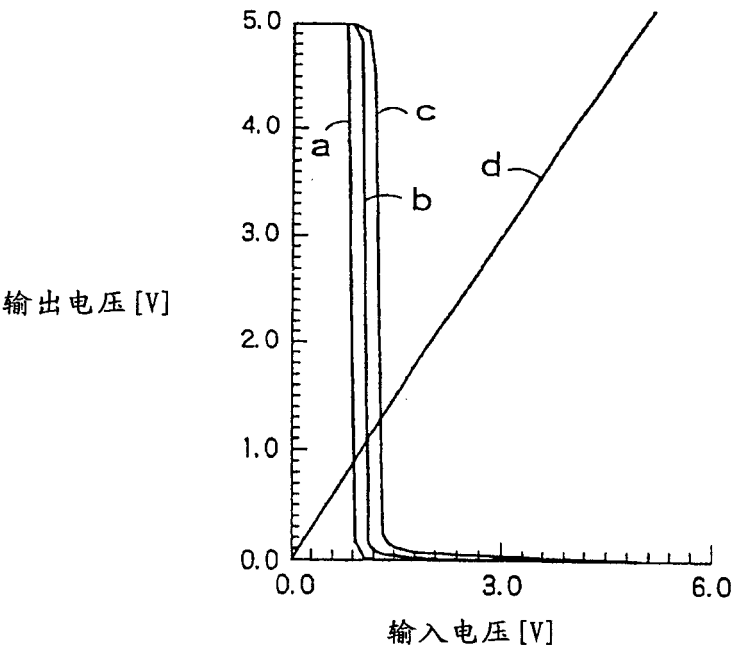


图 4

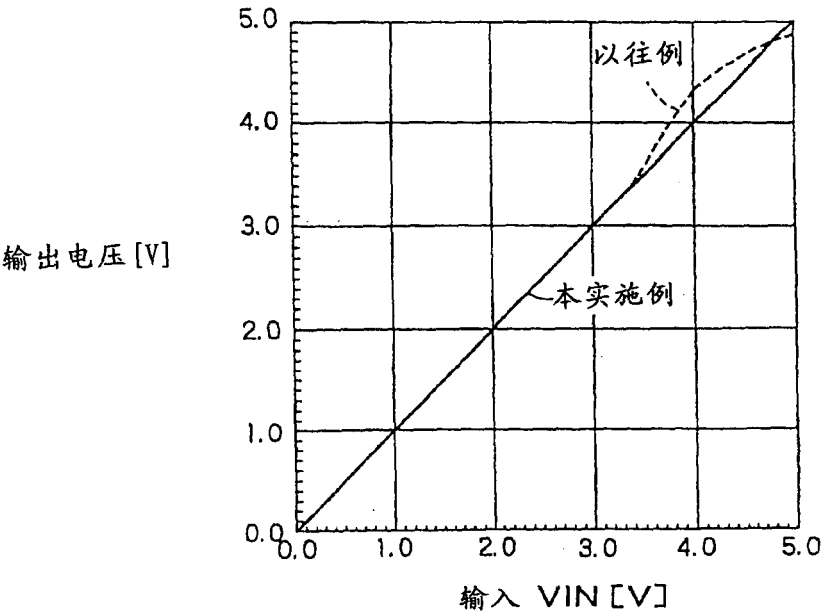


图 5

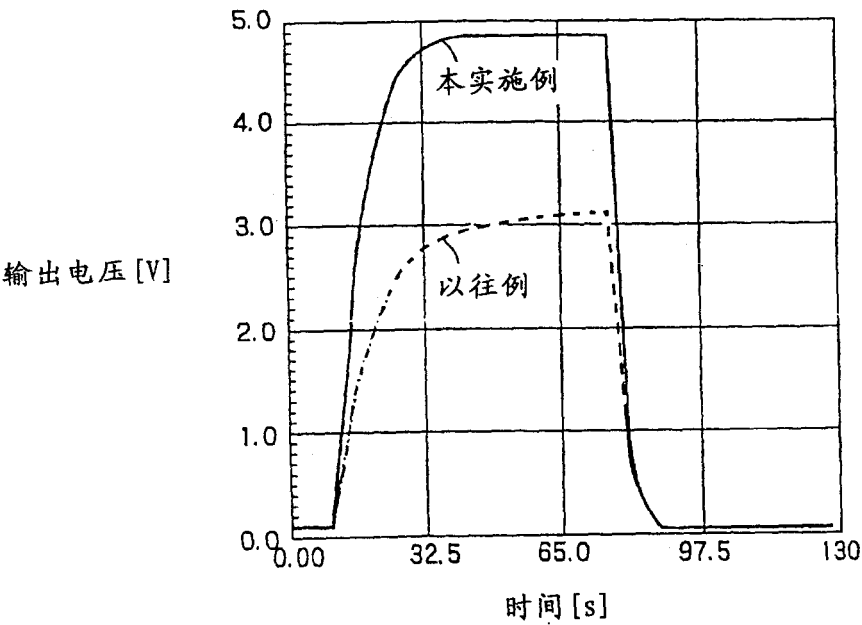


图 6

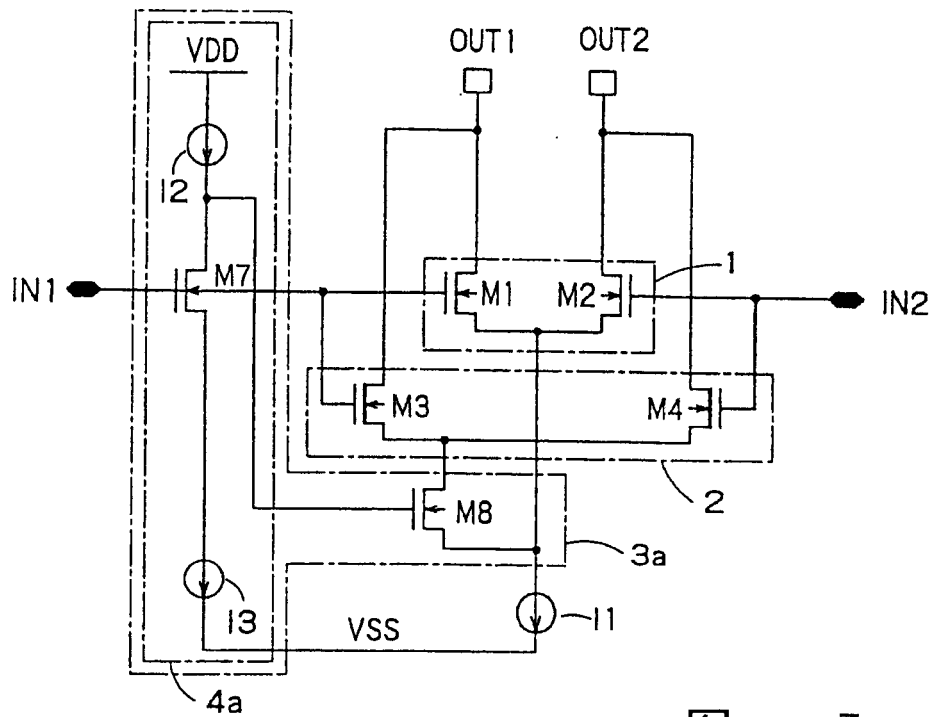


图 7

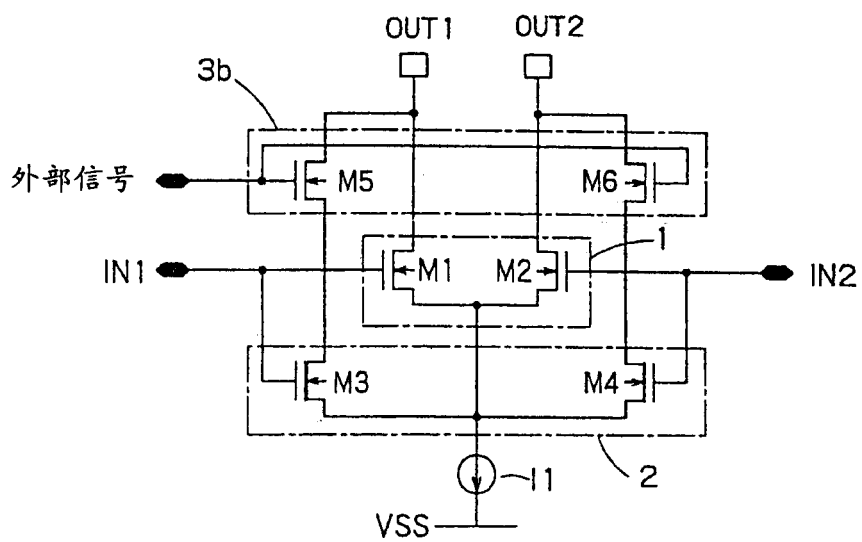


图 8

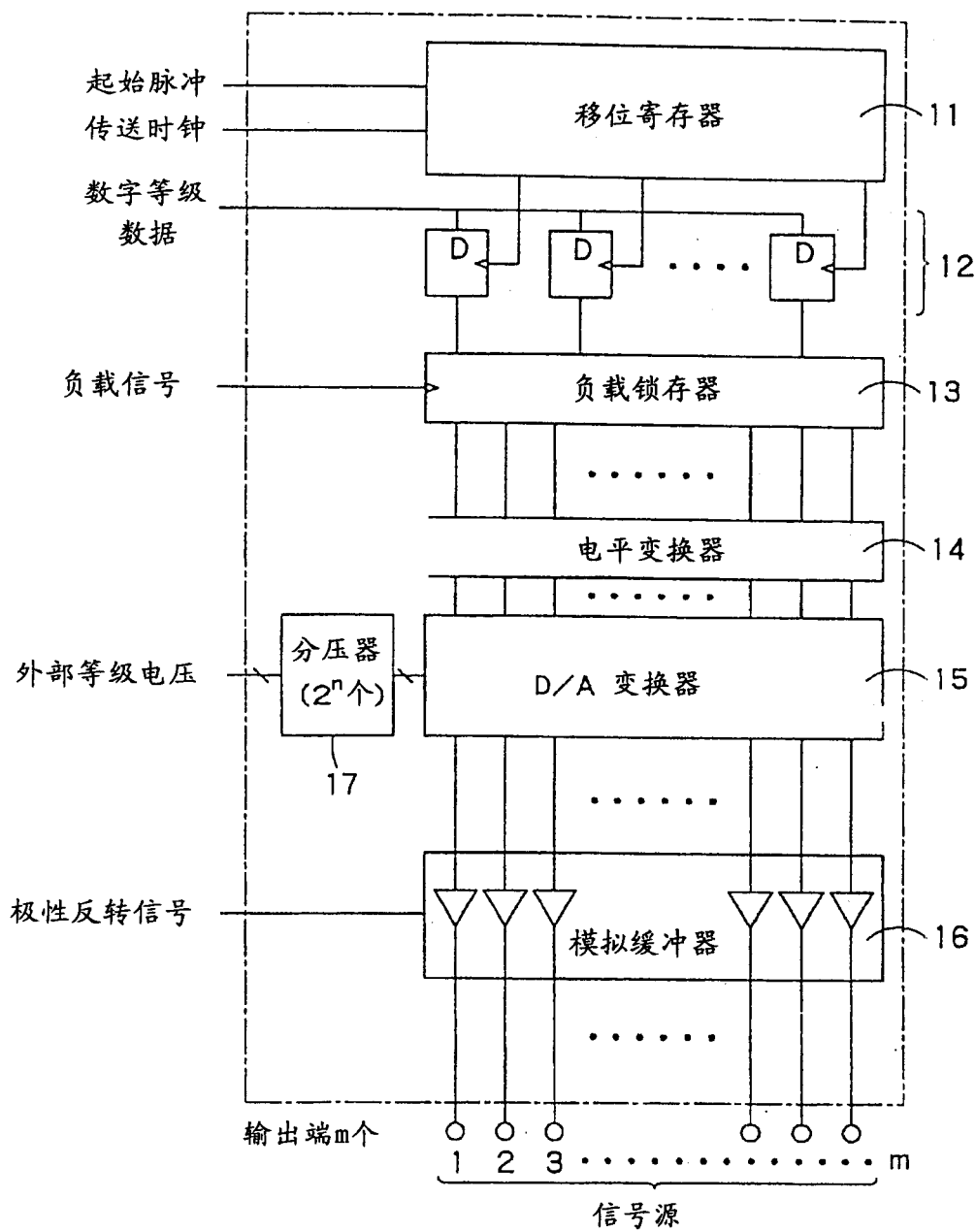


图 9

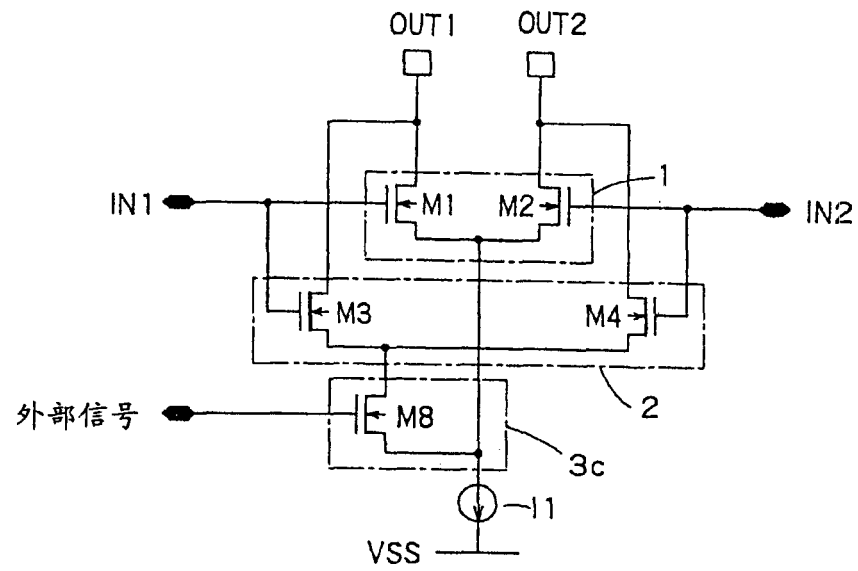


图 10

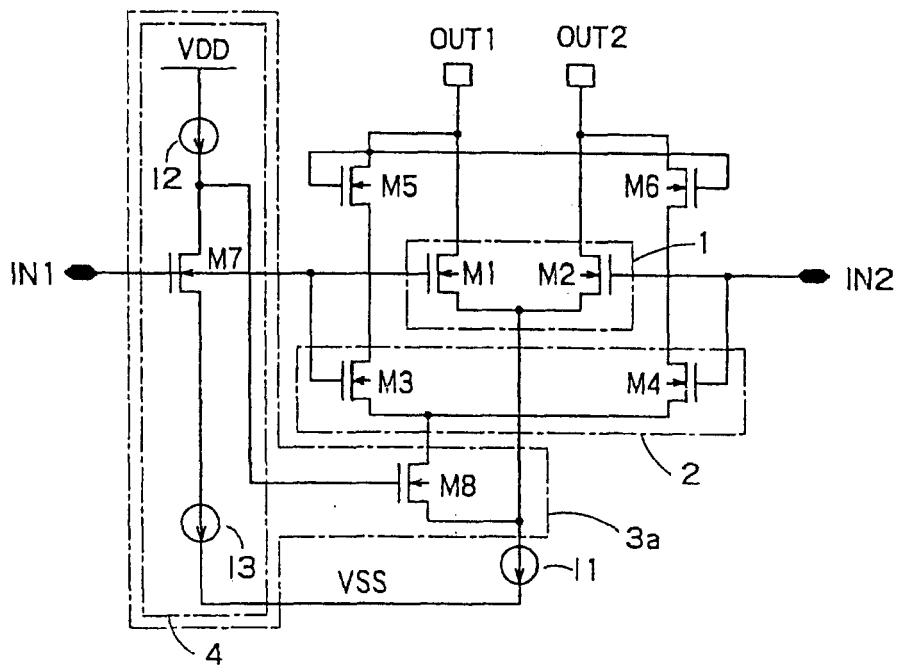


图 11

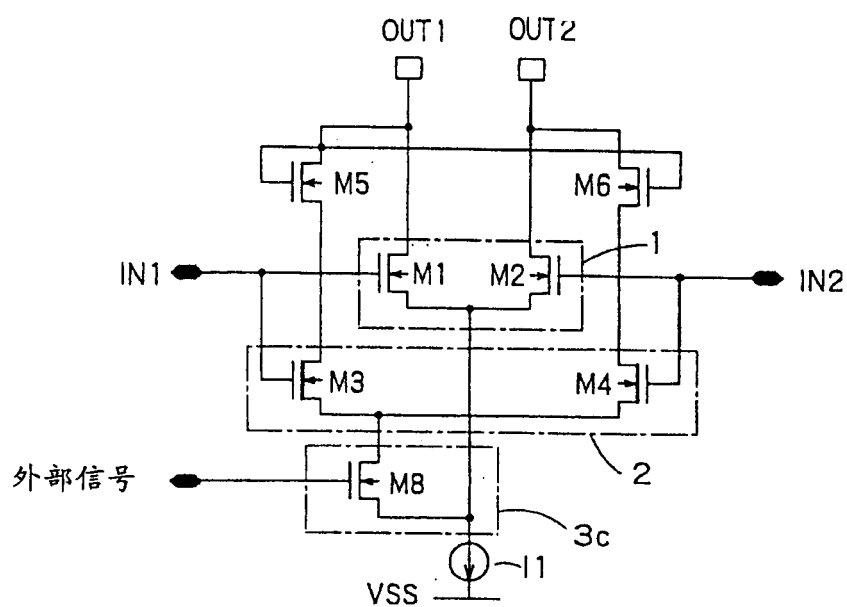


图 12

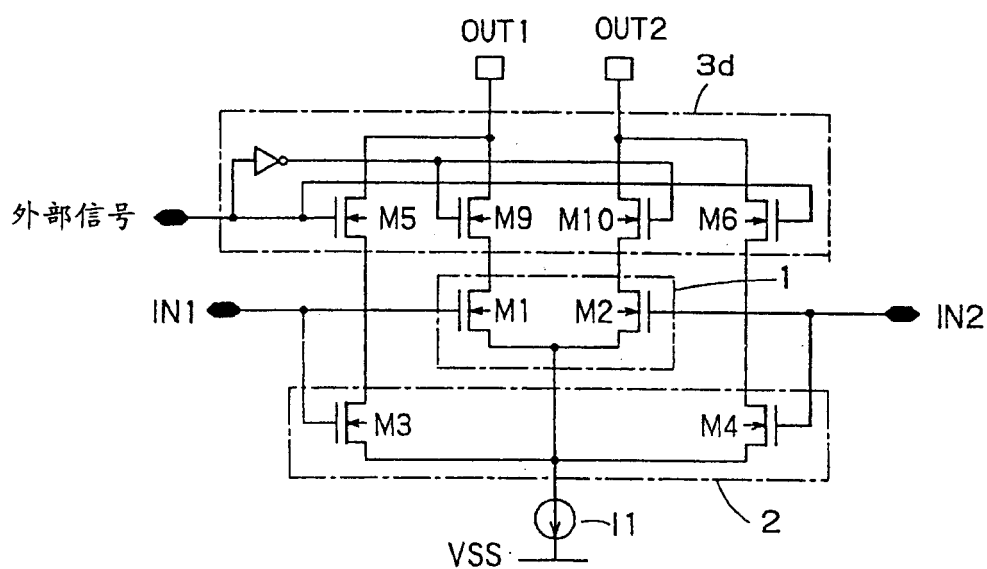


图 13

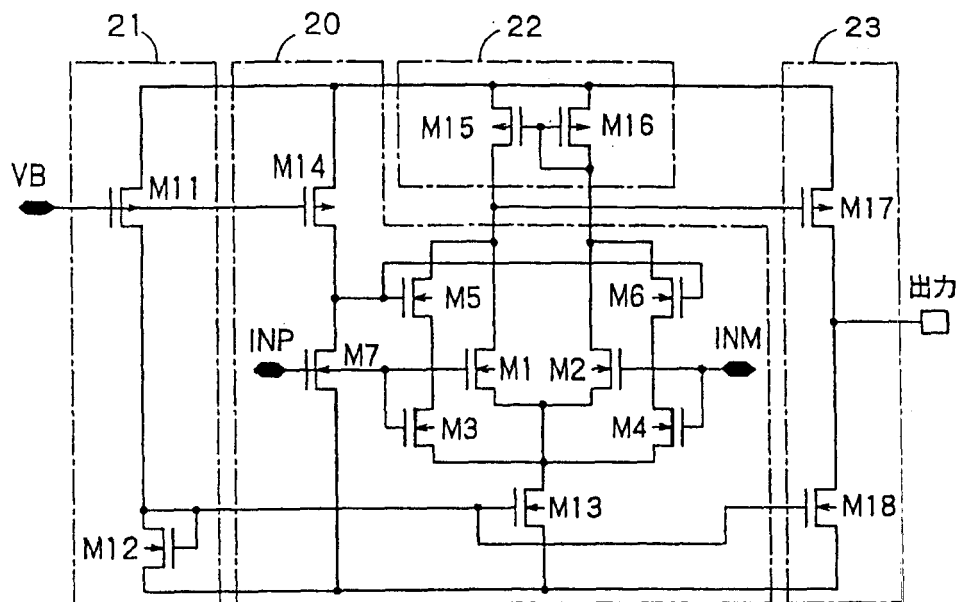


图 14

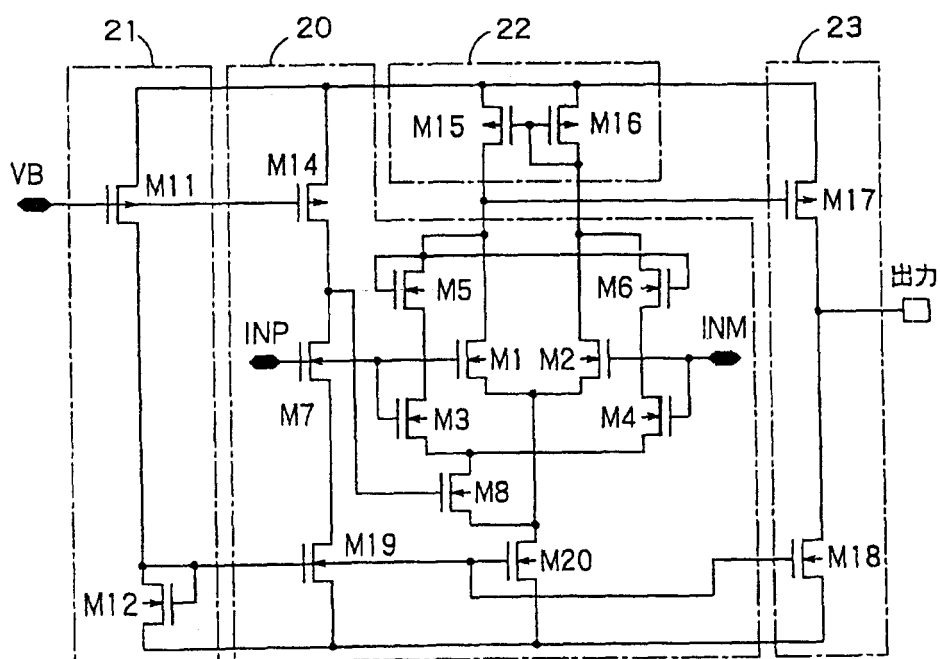


图 15

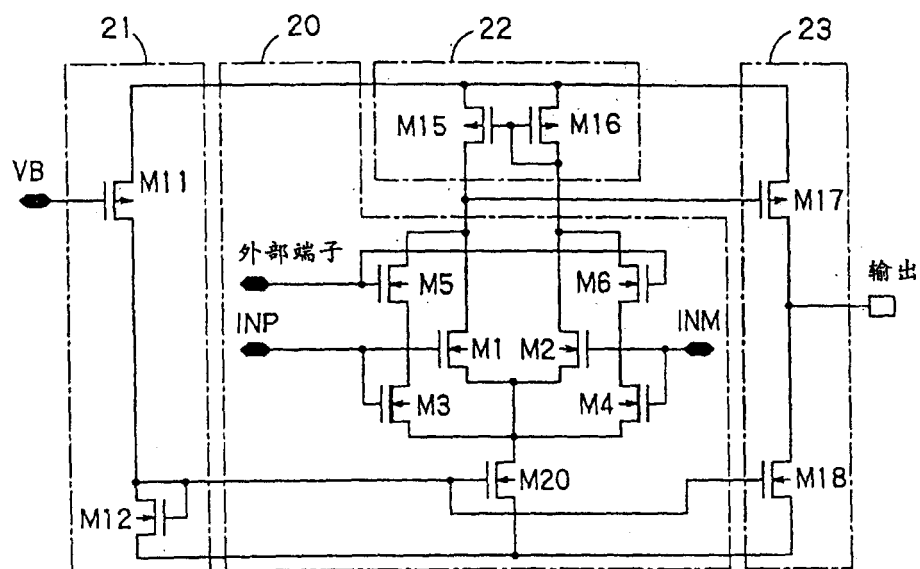


图 16

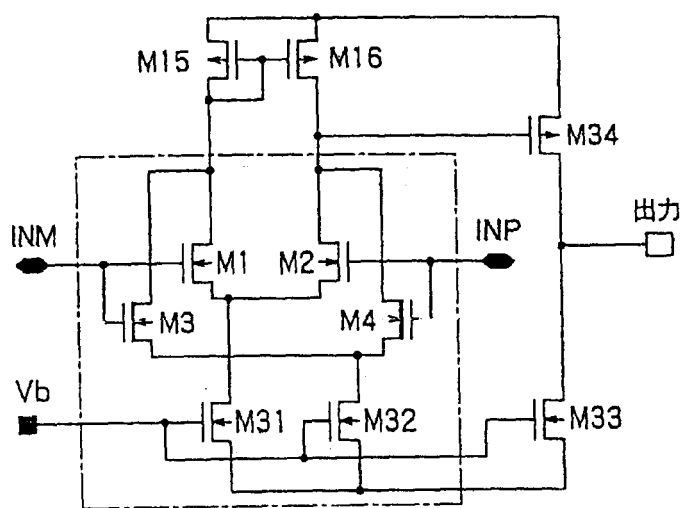


图 17

专利名称(译)	差动放大电路以及液晶显示装置驱动用半导体集成电路		
公开(公告)号	CN1402425A	公开(公告)日	2003-03-12
申请号	CN02142043.2	申请日	2002-08-23
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	株式会社东芝		
当前申请(专利权)人(译)	株式会社东芝		
[标]发明人	南崎浩德 板仓哲朗		
发明人	南崎浩德 板仓哲朗		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H03F1/02 H03F3/21 H03F3/45 H03F3/68 H03K5/24		
CPC分类号	H03F3/211 H03K5/2481 H03F2203/45371 G09G2310/027 H03F1/0277 G09G3/3614 H03F2203/7236		
优先权	2001254755 2001-08-24 JP		
其他公开文献	CN1302618C		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种可充分扩大差动输入信号的共模电压动态范围的差动放大电路。该差动放大电路具备：由NMOS晶体管(M1、M2)构成的第1差动对；由NMOS晶体管(M3、M4)构成的第2差动对；向所述第1及第2差动对供给电流的电流源(I1)；切换控制第2差动对是否工作的差动对控制电路，差动对控制电路具有：连接在来自电流源I1的电流流过NMOS晶体管(M3、M4)的电流路径上的NMOS晶体管(M5、M6)；控制NMOS晶体管(M5、M6)的栅极电压的电平变换电路。当输入IN的电压低时，仅使第2差动对动作，当输入IN的电压高时，仅使第1差动对动作，故能够扩大差动输入信号的共模电压的动态范围。

