

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)



[12] 发明专利说明书

专利号 ZL 03149919.8

[45] 授权公告日 2007 年 5 月 23 日

[11] 授权公告号 CN 1317690C

[22] 申请日 2003.7.30 [21] 申请号 03149919.8

[30] 优先权

[32] 2002.12.17 [33] KR [31] 10-2002-0080711

[73] 专利权人 LG. 飞利浦 LCD 株式会社

地址 韩国首尔

[72] 发明人 朴在德

[56] 参考文献

JP9311667A 1997.12.2

US20020186196A1 2002.12.12

JP2002140028A 2002.5.17

JP11338429A 1999.12.10

CN1302054A 2001.7.4

审查员 李 原

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 陈 红

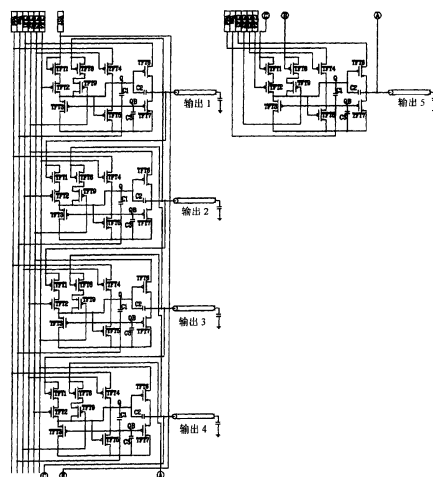
权利要求书 3 页 说明书 13 页 附图 12 页

[54] 发明名称

液晶显示装置的双向驱动电路

[57] 摘要

一种驱动装置，包括多个按顺序布置的区块，每个区块包括九个开关元件，所述元件连接成可接收触发脉冲、四路时钟信号、和两个电源电压的形式。开关元件布置成可按顺序输出四路时钟信号并且交替地以相反的顺序输出四路时钟信号。



1. 一种液晶显示板的驱动装置，包括多个按顺序设置的组，每个组包括：
第一开关元件，其漏极和栅极上施加有触发脉冲和按所述顺序前一组的输出信号之一；

第二开关元件，其漏极与第一开关元件的源极相连，栅极上加有第一时钟信号；

第三开关元件，其源极与第二开关元件的源极相连，而漏极与第一电压输入端相连；

第四开关元件，其漏极与第二电压输入端相连，栅极接收不施加到第二开关元件上的第二时钟信号，源极与第三开关元件的栅极相连；

第五开关元件，其漏极与第四开关元件的源极相连，栅极与第二和第三开关元件的源极之间的接触节点相连，源极与第一电压输入端相连；

第六开关元件，其漏极接收不施加到第二和第四开关元件上第三时钟信号，栅极与所述的第二和第三开关元件的源极之间的接触节点相连，而源极与相应的输出端相连；

第七开关元件，其漏极与相应的输出端相连，栅极与第四开关元件的源极以及第三开关元件的栅极相连，源极与第一电压输入端相连；

第八开关元件，其漏极和栅极上施加有触发脉冲和按所述顺序下一组的输出信号之一；

第九开关元件，其源极与第八开关元件的源极相连，栅极接收未施加到第二、第四和第六开关元件上的第四时钟信号，而漏极与第二开关元件的源极以及第六开关元件的栅极相连；

第一电容器，其连接在第六开关元件的栅极和第一电压输入端之间；

第二电容器，其连接在第六开关元件的栅极和源极之间；以及

第三电容器，其连接在第七开关元件的栅极和第一电压输入端之间；

其中，如果所述组是多个组中第一组，所述第一开关元件的漏极和栅极施加触发脉冲；如果所述组不是多个组中第一组，则所述第一开关元件的漏极和栅极施加按所述顺序前一组的输出信号，其中如果所述组是所述多个组中最后一组，则所述第八开关元件的漏极和栅极施加触发脉冲；如果所述组不是所述

多个组中最后一组，则所述第八开关元件的漏极和栅极施加按所述顺序中下一组的输出信号。

2. 按照权利要求 1 所述的装置，其中多个组包括五个组。

3. 按照权利要求 2 所述的装置，其中：

第一时钟信号施加到第一和第五组中第六开关元件的漏极；

第二时钟信号施加到第二组中第六开关元件的漏极；

第三时钟信号施加到第三组中第六开关元件的漏极；和

第四时钟信号施加到第四组中第六开关元件的漏极。

4. 按照权利要求 2 所述的装置，其中

第三时钟信号施加到第一和第五组中第四开关元件的栅极；

第四时钟信号施加到第二组中第四开关元件的栅极；

第一时钟信号施加到第三组中第四开关元件的栅极；

第二时钟信号施加到第四组中第四开关元件的漏极。

5. 按照权利要求 2 所述的装置，其中：

第四时钟信号施加到第一和第五组中第二开关元件的栅极；

第一时钟信号施加到第二组中第二开关元件的栅极；

第二时钟信号施加到第三组中第二开关元件的栅极；和

第三时钟信号施加到第四组中第二开关元件的栅极。

6. 按照权利要求 2 所述的装置，其中：

第二时钟信号施加到第一和第五组中第九开关元件的栅极；

第三时钟信号施加到第二组中第九开关元件的栅极；

第四时钟信号施加到第三组中第九开关元件的栅极；和

第一时钟信号施加到第四组中第九开关元件的栅极。

7. 按照权利要求 1 所述的装置，其中多个组包括八个组。

8. 按照权利要求 7 所述的装置，其中：

第一时钟信号施加到第一和第五组中第六开关元件的漏极；

第二时钟信号施加到第二和第六组中第六开关元件的漏极；

第三时钟信号施加到第三和第七组中第六开关元件的漏极；和

第四时钟信号施加到第四和第八组中第六开关元件的漏极。

9. 按照权利要求 7 所述的装置，其中：

第三时钟信号施加到第一和第五组中第四开关元件的栅极；
第四时钟信号施加到第二和第六组中第四开关元件的栅极；
第一时钟信号施加到第三和第七组中第四开关元件的栅极；和
第二时钟信号施加到第四和第八组中第四开关元件的栅极。

10. 按照权利要求 7 所述的装置，其中：

第四时钟信号施加到第一和第五组中第二开关元件的栅极；
第一时钟信号施加到第二和第六组中第二开关元件的栅极；
第二时钟信号施加到第三和第七组中第二开关元件的栅极；和
第三时钟信号施加到第四和第八组中第二开关元件的栅极。

11. 按照权利要求 7 所述的装置，其中：

第二时钟信号施加到第一和第五组中第九开关元件的栅极；
第三时钟信号施加到第二和第六组中第九开关元件的栅极；
第四时钟信号施加到第三和第七组中第九开关元件的栅极；和
第一时钟信号施加到第四和第八组中第九开关元件的栅极。

12. 按照权利要求 1 所述的装置，其中每个开关元件包括 p-MOS 晶体管。

液晶显示装置的双向驱动电路

本发明要求 2002 年 12 月 17 日在韩国申请的第 P2002-80711 号韩国专利申请

申请的权益，上述申请在本申请中以引用的形式加以结合。

技术领域

本发明涉及液晶显示(LCD)装置的驱动电路，更确切地说，本发明涉及 LCD 板的双向驱动电路，所述电路能够进行与级数无关的双向驱动。

背景技术

通常，LCD 装置主要包括设在 LCD 板内的驱动电路，例如栅极驱动集成电路(IC)和数据驱动 IC。而且，LCD 装置具有固定的驱动方向，因此，系统制作者有时需要不同的面板。

图 1 是现有技术中液晶显示(LCD)板的电路图。在图 1 中，多晶硅薄膜晶体管液晶显示(TFT LCD)板包括象素阵列、多个第一移位寄存器 11、多个第一缓冲器 12、多个第二移位寄存器 13、和多个第二缓冲器 14。特别是，象素阵列具有多条选通线 G_1-G_n ，多条选通线 G_1-G_n 与多条数据线 D_1-D_n 相互交叉，这样，第一移位寄存器 11 和缓冲器 12 可向多条选通线 G_1-G_n 中的每一条提供扫描信号 GCLK 和 GSTART，而第二移位寄存器 13 和缓冲器 14 可向多条数据线 D_1-D_n 提供另类扫描信号 DCLK 和 DSTART。

此外，将多条数据线 D_1-D_n 分成 k 个组(blocks)，因此，存在 k 个第二移位寄存器 13 和缓冲器 14，而且 k 个第二移位寄存器 13 和缓冲器 14 中的每一个通过线 d1-dk 中的每一条线向 k 个组数据线 D_1-D_n 中的每一条线提供扫描信号。此外，LCD 板包括信号总线 15 和多个开关元件 16，信号总线由多条信号线 s_1-s_n 组成，其中多条信号线把从数据驱动电路(未示出)的数-模转换器输出的视频信号发送到多条数据线 D_1-D_n 中的每一条线上，而多个开关元件则根据从第二移位寄存器 13 和缓冲器 14 输出的信号把信号线 s_1-s_n 的视频信号连续输送到 k 个组数据线 D_1-D_n 中的每一条上。

因此, 通过将数据线 D_1 - D_n 分组, 可以使驱动电路在其外部电路和面板之间具有较少数量的接触线。然而, 按照数据线 D_1 - D_n 组的设置, 在显示有限的图像时需要通过移位寄存器连续驱动选通线和数据线。例如, 由于移位寄存器在固定方向上移位, 所以驱动电路不可能具有某些系统制作者所要求的驱动方向方面的自由度, 因此, 就需要不同的面板。

图 2 是现有技术的 LCD 板中移位寄存器的电路图。在图 2 中, 将触发脉冲 VST、具有不同相位的四路时钟信号 CLK1-CLK4 和电源电压 Vdd 和 Vss 输入到移位寄存器。此外, 移位寄存器包括具有相同结构的八组晶体管, 因此, 电源电压 Vdd 和 Vss 将同样输送到八组中的每一组上, 而四路时钟信号 CLK1-CLK4 则是有区别地输入到八组中每一组中。

特别是, 八组晶体管中的每一组包括第一、第二、第三、第四、第五、第六、和第七 P-MOS 晶体管 TFT1-TFT7。第一晶体管 TFT1 的漏极和栅极与加有触发脉冲 VST 的 VST 端相连或是与前一组的输出端相连。因此, 在第一组中, 第一晶体管 TFT1 的漏极和栅极与 VST 端相连, 而在第二组中, 第一晶体管 TFT1 的漏极和栅极与第一组的第一输出端, 输出 1(output1) 相连。

此外, 第二晶体管 TFT2 的漏极与第一晶体管 TFT1 的源极相连, 而栅极上加有四个时钟信号 CLK1-CLK4 之一。例如, 在第一组中, 施加第四时钟信号 CLK4, 而在第二组中, 施加第一时钟信号 CLK1。第三晶体管 TFT3 的源极与第二晶体管 TFT2 的源极相连, 而其漏极和与加有电源电压 Vss 的 Vss 端相连。第四晶体管 TFT4 的漏极与加有电源电压 Vdd 的 Vdd 端相连, 栅极上加有四个时钟信号 CLK1-CLK4 中另一个时钟信号, 而源极与第三晶体管 TFT3 的栅极相连。例如, 在第一组中, 施加第三时钟信号 CLK3, 而在第二组中, 施加第四时钟信号 CLK4。

此外, 第五晶体管 TFT5 的漏极与第三晶体管 TFT3 的栅极和第四晶体管 TFT4 的源极相连, 而源极与 Vss 端相连。第五晶体管 TFT5 的栅极与 VST 端或前一组的输出端相连。因此, 在第一组中, 第五晶体管 TFT5 的栅极与 VST 端相连, 而在第二组中, 第五晶体管 TFT5 的栅极与第一输出端输出 1 相连。

此外, 第六晶体管 TFT6 的漏极加有四个时钟信号 CLK1-CLK4 之一, 而栅极与节点 Q 相连, 所述节点 Q 还与第二和第三 TFT2 和 TFT3 的源极相连。例如, 在第一组中, 施加第一时钟信号 CLK1, 而在第二组中, 施加第二组时钟信号

CLK2。第六晶体管 TFT6 的源极与相应的输出端相连。例如，在第一组中，第六晶体管的源极与第一输出端输出 1 相连，而在第二组中，第六晶体管 TFT6 的源极与第二输出端输出 2 相连。第七晶体管 TFT7 的漏极与相应的输出端相连，源极与 Vss 端相连，而栅极与另一节点 QB 相连，所述节点 QB 还与第三晶体管 TFT3 的栅极、第五晶体管 TFT5 的漏极和第四晶体管 TFT4 的源极相连。

此外，第一电容器 C1 与第一晶体管 TFT1 的源极和第二晶体管 TFT2 的漏极相连并接地。在节点 Q，第二电容器把第六晶体管 TFT6 的栅极与 Vss 端相连。第三电容器与第六晶体管 TFT6 的栅极和源极相连。在节点 QB，第四电容器与第七晶体管 TFT7 的栅极和 Vss 端相连。

通常，前一组的输出端与下一组中第一晶体管 TFT1 的漏极和栅极相连并与下一组中第五晶体管 TFT5 的栅极相连。例如，第一输出端输出 1 与第二组中第一晶体管 TFT1 的漏极和栅极以及第二组中第五晶体管 TFT5 的栅极相连。此外，第一时钟信号 CLK1 施加到第一和第五组的每一组中第六晶体管 TFT6 的漏极，第二和第六组的每一组中第二晶体管 TFT2 的栅极，以及第三和第七组的每一组中第四晶体管 TFT4 的栅极。第二时钟信号 CLK2 施加到第二组和第六组的每一组中第六晶体管 TFT6 的漏极，第三和第七组的每一组中第二晶体管 TFT2 的栅极，以及第四和第八组的每一组中第四晶体管 TFT4 的栅极。

此外，第三时钟信号 CLK3 施加到第一和第五组的每一组中第四晶体管 TFT4 的栅极，第三组和第七组的每一组中第六晶体管 TFT6 的漏极，以及第四和第八组的每一组中第二晶体管 TFT2 的栅极。第四时钟信号 CLK4 施加到第一和第五组的每一组中第二晶体管 TFT2 的栅极，第二和第六组的每一组中第四晶体管 TFT4 的栅极，以及第四组和第八组的每一组中第六晶体管 TFT6 的漏极。

图 3 表示的是图 2 所示 LCD 板中移位寄存器的输入和输出波形。在图 3 中，时钟信号 CLK1-CLK4 连续为 LOW。例如，在第一时间周期，即，0-20 μ s 内，触发脉冲 VST 是 LOW(0V)。因此，在第一组内，第一晶体管 TFT1 导通(ON)，第五晶体管 TFT5 也导通(ON)。而且，第四时钟信号 CLK4 为 LOW，因此第二晶体管 TFT2 导通(ON)。所以，节点变为 LOW，从而使第六晶体管 TFT6 导通(ON)。结果，第一时钟信号 CLK1 输出到第一输出端输出 1。此外，由于第五晶体管 TFT5 导通(ON)，使节点 QB 为 HIGH(10V)，因此，第七晶体管 TFT 截止(OFF)。这时，电源电压 Vss 不会输出到第一输出端输出 1。

在第二时间周期，即 $20\mu\text{s}$ - $40\mu\text{s}$ 内，作为第一组输出信号的第一时钟 CLK1 为 LOW，并施加到第二组中第一晶体管 TFT1 的漏极和栅极以及第二组中第五晶体管 TFT5 的栅极。因此，在第二组中，第一、第二和第五晶体管 TFT1、TFT2 和 TFT5 导通(ON)，使得节点 Q 为 HIGH，因而第六晶体管 TFT6 导通(ON)。所以，第二时钟信号 CLK2 输出到第二输出端输出 2。同样，由于第五晶体管 TFT5 导通(ON)，节点 QB 为 HIGH，所以第七晶体管 TFT7 截止(OFF)。因此，电源电压 V_{ss} 不会输出到第二输出端输出 2。

然而，现有技术中的 LCD 板存在缺点。例如，只能沿最初设计的 LCD 板的方向对像图进行扫描，这使得 LCD 板必须按从第一组到最后一组的顺序产生图像。因此，LCD 仅有一个固定的取向，这导致 LCD 不可能是多方位的而且不能产生从风景取向(landscape orientation)到肖像型取向(portrait type orientation)的自旋取向改变。

图 4 是现有技术中 LCD 板的双向移位寄存器的电路图，其美国专利申请号是 10/082125。在图 4 中，将选通或是数据触发脉冲 VST、具有不同相位的四路时钟信号 CLK1-CLK4 以及电源电压 V_{dd} 和 V_{ss} 输入到移位寄存器。此外，移位寄存器可以包括八组具有相同结构的晶体管，因此，可以将电源电压 V_{dd} 和 V_{ss} 同时提供给八组中的每一组，但是，四路时钟信号 CLK1-CLK4 则是有区别地施加到八组中的每一组。

特别是，八组中的每一组可以包括第一、第二、第三、第四、第五、第六、第七、第八和第九 P-MOS 晶体管 TFT1-TFT9。第一晶体管 TFT1 的漏极和栅极与加有触发脉冲 VST 的 VST 端相连或是与前一组的输出端相连。因此，在第一组中，第一晶体管 TFT1 的漏极和栅极与 VST 输入端相连，而在第二组中，第一晶体管 TFT1 的漏极和栅极与第一输出端输出 1 相连。

此外，第二晶体管 TFT2 的漏极与第一晶体管 TFT1 的源极相连，而栅极上加有四路时钟信号 CLK1-CLK4 之一。例如，在第一组中，施加第四时钟信号 CLK4，而在第二组中，施加第一时钟信号 CLK1。第三晶体管 TFT 的源极 3 与第二晶体管 TFT2 的源极相连，而漏极与加有电源电压 V_{ss} 的 V_{ss} 端相连。第四晶体管 TFT4 的漏极与加有电源电压 V_{dd} 的 V_{dd} 端相连，栅极上加有四路时钟信号 CLK1-CLK4 中的另一路时钟信号，而其源极与第三 P-MOS 晶体管 TFT3 的栅极相连。例如，在第一组中，施加第三时钟信号 CLK3，而在第二组中，

施加第四时钟信号 CLK4。

此外，第五晶体管 TFT5 的漏极在节点 QB 处与第三晶体管 TFT3 的栅极和第四晶体管 TFT4 的源极相连，而栅极与节点 Q 相连，所述节点 Q 还与第二和第三晶体管 TFT2 及 TFT3 的源极相连，第五晶体管的源极与 VST 端相连。第六晶体管 TFT6 的漏极上加有四路时钟信号 CLK1-CLK4 之一，栅极与节点 Q 相连，而源极与相应的输出端相连。例如，在第一组中，施加第一时钟信号 CLK1，而在第二组中，施加第二时钟信号 CLK2。此外，在第一组中，第六晶体管 TFT6 的源极与第一输出端输出 1 相连，而在第二组中，第六晶体管的源极与第二输出端输出 2 相连。

此外，第七晶体管 TFT7 的漏极与相应的输出端相连，栅极与节点 QB 相连，而源极与 Vss 端相连。第八晶体管 TFT8 的漏极和栅极与下一组的输出端相连，而源极与第一晶体管 TFT1 的源极相连。例如，在第一组中，第八晶体管的漏极和栅极可以与第二输出端输出 2 相连。第九晶体管 TFT9 可以与第二晶体管 TFT2 并联，从而使第九晶体管 TFT9 的漏极可以与第二晶体管 TFT2 的源极相连，而第九晶体管 TFT9 的源极可以与第二晶体管 TFT2 的漏极相连。此外，第九晶体管的栅极加有四路时钟信号 CLK1-CLK4 之一。例如在第一组中，施加第二时钟信号 CLK2，而在第二组中，施加第三时钟信号 CLK3。

此外，第一电容器 C1 与第一晶体管 TFT1 的源极、第二晶体管 TFT2 的漏极以及第八和第九晶体管 TFT8 和 TFT9 的源极相连并接地。第二电容器 C2 把第六 P-MOS 晶体管 TFT6 的栅极与 Vss 端相连。第三电容器 C3 与第六晶体管 TFT6 的栅极和源极相连。第四电容器 C4 把第七 p-MOS 晶体管 TFT7 的栅极与 Vss 端相连。

因此，第一时钟信号 CLK1 可以施加到第一和第五组中第六 p-MOS 晶体管 TFT6 的漏极，第二和第六组中第二 p-MOS 晶体管 TFT2 的栅极，第三和第七组中第四 p-MOS 晶体管 TFT4 的栅极，第四和第八组中第九 p-MOS 晶体管 TFT9 的栅极。第二时钟信号 CLK2 施加到第一和第五组中第九 p-MOS 晶体管 TFT9 的栅极，第二和第六组中第六 p-MOS 晶体管 TFT6 的漏极，第三和第七组中第二 p-MOS 晶体管 TFT2 的栅极，以及第四和第八组中第四 p-MOS 晶体管 TFT4 的栅极。

而且，第三时钟信号 CLK3 可以施加到第一和第五组中第四 p-MOS 晶体管

TFT4 的栅极, 第二和第六组中第九 p-MOS 晶体管 TFT9 的栅极, 第三和第七组中第六 p-MOS 晶体管 TFT6 的漏极, 以及第四和第八组中第二 p-MOS 晶体管 TFT2 的栅极。第四时钟信号 CLK4 可以施加到第一和第四组中第二 p-MOS 晶体管 TFT2 的栅极, 第二和第六组中第四 p-MOS 晶体管 TFT4 的栅极, 第三和第七组中第九 p-MOS 晶体管 TFT9 的栅极, 以及第四和第八组中第六 p-MOS 晶体管 TFT6 的漏极。

图 5 表示的是图 4 所示 LCD 板中移位寄存器的正向输入和输出波形。在图 5 中, 可以将时钟信号 CLK1-CLK4 相继设定为 LOW。例如, 在第一时间周期, 即 $0-20\mu s$ 内, 可以将触发脉冲 VST 设定为 LOW(0V)。因此, 在图 4 的第一组中, 第一晶体管 TFT1 导通(ON)。而且, 可以将第四时钟信号 CLK4 设定为 LOW, 从而使第二和第五晶体管 TFT2 和 TFT5 导通(ON)。这样, 节点 Q 将变为 LOW, 并使得第六晶体管 TFT6 导通(ON)。所以, 第一时钟信号 CLK1 可以输出到第一输出端输出 1。此外, 由于第五晶体管 TFT5 导通(ON), 节点 QB 处于 HIGH(10V), 所以第七晶体管截止(OFF)。因此, 电源电压 V_{ss} 不会输出到第一输出端输出 1。

此外, 在第二时间周期, 即 $20\mu s-40\mu s$ 内, 作为第一组输出信号的第一时钟 CLK1 为 LOW, 并施加到第二组中第一晶体管 TFT1 的漏极和栅极。因此, 在第二组中, 第一、第二和第五晶体管 TFT1、TFT2 和 TFT5 导通(ON), 进而使第六晶体管 TFT6 导通(ON)。所以, 第二时钟信号 CLK2 输出到第二输出端输出 2。

图 6 表示的是图 4 所示 LCD 板中移位寄存器的反向输入和输出波形。在图 6 中, 可以将时钟信号 CLK1-CLK4 按相反顺序设定为 LOW。例如, 在第一时间周期, 即 $0-20\mu s$ 内, 可以将触发脉冲 VST 设定为 LOW(0V)。因此, 在第一组中, 第一晶体管 TFT1 导通(ON)。而且, 可以将第四时钟信号 CLK4 设定为 HIGH, 从而使第二晶体管 TFT2 截止(OFF)。因此, 第六晶体管 TFT6 截止(OFF)。所以, 不会将第一时钟信号 CLK1 输出到第一输出端输出 1。

然而, 在第八组中, 第一晶体管 TFT1 和第九晶体管 TFT9 可以同时导通(ON)。因此, 第八组中的第六晶体管 TFT6 导通, 从而将第四时钟信号 CLK4 输出到第八输出端输出 8。

此外, 可以将第八输出端输出 8 输出的信号施加到第七组中的第八晶体管

TFT8 上。然后, 可以将第四时钟信号 CLK4 置于 LOW, 从而使第七组中的第八和第九晶体管 TFT8 和 TFT9 导通(ON)。因此, 第七组中的第六晶体管 TFT6 导通(ON), 进而将第三时钟信号 CLK3 输出到第七输出端输出 7。

因此, 触发脉冲 VST 可以与第一时钟信号 CLK1 同步以便从第八组开始到第一组按顺序输出第四到第一时钟信号 CLK4-CLK1。因此, 图 4 中的移位寄存器可以在 LCD 板中提供正向和反向扫描, 所以 LCD 板即适用于风景取向也适用于肖像取向。然而, 当 LCD 板中晶体管组的数量不是 4 的倍数时, 这种 LCD 板的图像品质将下降。

图 7 是具有图 4 中 5 个级的 LCD 板用移位寄存器的电路图。在图 7 中, 移位寄存器具有与图 4 中第一到第五组晶体管相似的第一、第二、第三、第四和第五组 p-MOS 晶体管, 只是第五组中第八晶体管的栅极和漏极与 VST 端相连。

图 8 表示的是图 7 所示 LCD 板中移位寄存器的正向输入和输出波形图。在图 8 中, 将四路时钟信号 CLK1-CLK4 相继设定为 LOW。例如, 在第一时间周期, 即 $0-20\mu s$ 内, 当触发脉冲 VST 为 LOW 时, 在第一组中, 第一 TFT1 导通(ON)。而且, 第四时钟信号 CLK4 为 LOW, 第二晶体管 TFT2 导通(ON)。这样, 节点 Q 将变为 LOW, 并使得第六晶体管 TFT6 导通(ON)。所以, 第一时钟信号 CLK1 可以输出到第一输出端输出 1。此外, 由于节点 QB 变为 HIGH(10V), 所以第七晶体管 TFT7 截止(OFF)。因此, 电压 V_{ss} 不会输出到第一输出端输出 1。

此外, 在第一时间周期内, LOW 电平触发脉冲 VST 输入到第五组中第八晶体管 TFT8 的栅极。由于第四时钟信号 CLK4 为 LOW, 所以第二晶体管 TFT2 导通(ON)。因此, 节点 Q 为 LOW, 使得第六晶体管 TFT6 导通(ON)。所以第一时钟信号 CLK1 可以输出到第五输出端输出 5。因此, 在约 $20-40\mu s$ 期间, 在第一和第五输出端输出 1 和输出 5 可能会错误地产生两个输出。

图 9 表示的是图 7 所示 LCD 板中移位寄存器的反向输入和输出波形。在图 9 中, 在约 $20-40\mu s$ 期间, 在第一和第五输出端输出 1 和输出 5 也同样可能会错误地产生两个输出。

发明内容

因此, 本发明在于提供一种液晶显示(LCD)板的双向驱动电路, 该电路基本上克服了因现有技术的限制和缺点而导致产生的一个或多个问题。

本发明的目的是提供一种液晶显示(LCD)板的双向驱动电路,该电路能在不附加输入焊盘(input pad)的情况下,进行正向和反向扫描,并且能在不考虑级数的情况下进行双向驱动。

本发明的其它特征和优点将在下面的说明中给出,其中一部分特征和优点可以从说明中明显得出或是通过发明的实践而得到。通过在文字说明部分、权利要求书以及附图中特别指出的结构,可以实现和获得本发明的这些或其它优点。

为了得到这些和其它优点并根据本发明的目的,作为概括性的和广义的描述,本发明所述液晶显示(LCD)板的驱动装置包括多个按顺序设置的组(blocks),每个组包括:第一开关元件,其漏极和栅极上施加有触发脉冲和按所述顺序前一组的输出信号之一;第二开关元件,其漏极与第一开关元件的源极相连,栅极上加有第一时钟信号;第三开关元件,其源极与第二开关元件的源极相连,而漏极与第一电压输入端相连;第四开关元件,其漏极与第二电压输入端相连,栅极接收不施加到第二开关元件上的第二时钟信号,源极与第三开关元件的栅极相连;第五开关元件,其漏极与第四开关元件的源极相连,栅极与第二和第三开关元件的源极之间的接触节点相连,源极与第一电压输入端相连;第六开关元件,其漏极接收不施加到第二和第四开关元件上的第三时钟信号,栅极与所述的第二和第三开关元件的源极之间的接触节点相连,而源极与相应的输出端相连;第七开关元件,其漏极与相应的输出端相连,栅极与第四开关元件的源极以及第三开关元件的栅极相连,源极与第一电压输入端相连;第八开关元件,其漏极和栅极上施加有触发脉冲和按所述顺序下一组的输出信号之一;第九开关元件,其源极与第八开关元件的源极相连,栅极接收未施加到第二、第四和第六开关元件上的第四时钟信号,而漏极与第二开关元件的源极以及第六开关元件的栅极相连;第一电容器,其连接在第六开关元件的栅极和第一电压输入端之间;第二电容器,其连接在第六开关元件的栅极和源极之间;以及第三电容器,其连接在第七开关元件的栅极和第一电压输入端之间;其中,如果所述组是多个组中第一组,所述第一开关元件的漏极和栅极施加触发脉冲;如果所述组不是多个组中第一组,则所述第一开关元件的漏极和栅极施加按所述顺序前一组的输出信号,其中如果所述组是所述多个组中最后一组,则所述第八开关元件的漏极和栅极施加触发脉冲;如果所述组不是所述

多个组中最后一组,则所述第八开关元件的漏极和栅极施加按所述顺序中下一组的输出信号。

多个组包括八个组。其中:第一时钟信号施加到第一和第五组中第六开关元件的漏极;第二时钟信号施加到第二和第六组中第六开关元件的漏极;第三时钟信号施加到第三和第七组中第六开关元件的漏极;和第四时钟信号施加到第四和第八组中第六开关元件的漏极。

其中:第三时钟信号施加到第一和第五组中第四开关元件的栅极;第四时钟信号施加到第二和第六组中第四开关元件的栅极;第一时钟信号施加到第三和第七组中第四开关元件的栅极;和第二时钟信号施加到第四和第八组中第四开关元件的栅极。

其中:第四时钟信号施加到第一和第五组中第二开关元件的栅极;第一时钟信号施加到第二和第六组中第二开关元件的栅极;第二时钟信号施加到第三和第七组中第二开关元件的栅极;和第三时钟信号施加到第四和第八组中第二开关元件的栅极。

其中:第二时钟信号施加到第一和第五组中第九开关元件的栅极;第三时钟信号施加到第二和第六组中第九开关元件的栅极;第四时钟信号施加到第三和第七组中第九开关元件的栅极;和第一时钟信号施加到第四和第八组中第九开关元件的栅极。

很显然,上面的一般性描述和下面的详细说明都是示例性和解释性的,其意在对本发明的权利要求作进一步解释。

附图说明

本申请所包含的附图用于进一步理解本发明,其与说明书相结合并构成说明书的一部分,所述附图表示本发明的实施例并与说明书一起解释本发明的原理。

附图中:

图1是现有技术中液晶显示(LCD)板的电路图;

图2是现有技术的LCD板中移位寄存器的电路图;

图3表示的是图2所示LCD板中移位寄存器的输入和输出波形;

图4是现有技术的LCD板中双向移位寄存器的电路图;

图 5 表示图 4 所示现有技术的 LCD 板中移位寄存器的正向输入和输出波形;

图 6 表示图 4 所示现有技术的 LCD 板中移位寄存器的反向输入和输出波形;

图 7 是图 4 所示现有技术中带有五个级的 LCD 板中移位寄存器的电路图;

图 8 表示图 7 所示现有技术的 LCD 板中移位寄存器的正向输入和输出波形;

图 9 表示图 7 所示现有技术的 LCD 板中移位寄存器的反向输入和输出波形;

图 10 是本发明的 LCD 板中示例性移位寄存器的电路图;

图 11 表示图 10 所示本发明的 LCD 板中示例性移位寄存器的正向输入和输出波形;

图 12 表示图 10 所示本发明的 LCD 板中示例性移位寄存器的反向输入和输出波形。

具体实施方式

现在将详细说明本发明的优选实施例, 所述实施例的实例示于附图中。

图 10 是本发明的 LCD 板中示例性移位寄存器的电路图。在图 10 中, 向移位寄存器输入选通或数据触发脉冲 VST、具有不同相位的四路时钟信号、和电源电压 Vdd 和 Vss。此外, 移位寄存器包括五组具有相同结构的晶体管。五组中的每一组均包括第一、第二、第三、第四、第五、第六、第七、第八和第九 P-MOS 晶体管 TFT1-TFT9。特别是, 第一晶体管 TFT1 的漏极和栅极上加有触发脉冲 VST, 或者所述漏极和栅极与上一组的输出端相连。例如, 在第一组中, 第一晶体管 TFT1 的漏极和栅极相连以接收触发脉冲 VST, 而在第二组中, 第一晶体管 TFT1 的漏极和栅极与第一输出端输出 1 相连。第二晶体管 TFT2 的漏极与第一晶体管 TFT1 的源极相连, 栅极上加有四路时钟信号 CLK1-CLK4 之一。例如, 在第一组中, 施加第四时钟信号 CLK4, 而在第二组中, 施加第一时钟信号 CLK1。

此外, 第三晶体管 TFT3 的源极与第二晶体管 TFT2 的源极相连, 而漏极与 Vss 端相连。第四晶体管 TFT4 的漏极与 Vdd 端相连, 栅极上加有四路时钟信

号 CLK1-CLK4 中之一，而源极在节点 B 处与第三晶体管 TFT3 的栅极相连。例如，在第一组中，施加第三时钟信号 CLK3，而在第二组中，施加第四时钟信号 CLK4。第五晶体管 TFT5 的漏极在节点 QB 处与第四晶体管 TFT4 的源极相连，而栅极与第二晶体管 TFT2 的源极和第三晶体管 TFT3 的源极之间的节点 Q 相连，源极与 Vss 端相连。

此外，第六晶体管 TFT6 的漏极上加有四路时钟信号 CLK1-CLK4 之一，栅极在节点 Q 处与第二晶体管 TFT2 的源极相连，而源极与相应的输出端相连。例如，在第一组中，施加第一时钟信号 CLK1，而在第二组中，施加第二时钟信号 CLK2。此外，在第一组中，第六晶体管 TFT6 的源极与第一输出端输出 1 相连，而在第二组中，第六晶体管 TFT6 的源极与第二输出端输出 2 相连。第七晶体管 TFT7 的漏极与作为第六晶体管 TFT6 源极的相应输出端相连，栅极在节点 QB 处与第四晶体管 TFT4 的源极以及第三晶体管 TFT3 的栅极相连，而源极与 Vss 端相连。

第八晶体管 TFT8 的漏极和栅极与下一组的输出端相连。例如，在第一组中，第八晶体管的漏极和栅极可以与第二输出端输出 2 相连。而且在第五组中，第八晶体管 TFT8 的漏极和栅极可代为接收触发脉冲 VST。第九晶体管 TFT9 的源极与第八晶体管 TFT8 的源极相连，栅极上加有四路时钟信号 CLK1-CLK4 之一，而漏极在节点 Q 处与第二晶体管 TFT2 的源极以及第六晶体管 TFT6 的栅极相连。例如在第一组中，施加第二时钟信号 CLK2，而在第二组中，施加第三时钟信号 CLK3。

此外，第一电容器 C1 把第六晶体管 TFT6 的栅极与 Vss 端相连。第二电容器 C2 连接在第六晶体管 TFT6 的栅极和源极之间。此外，第三电容器 C3 把第七晶体管 TFT7 的栅极与 Vss 端相连。

因此，第一时钟信号 CLK1 可以施加到第一和第五组中第六晶体管 TFT6 的漏极，第二组中第二晶体管 TFT2 的栅极，第三组中第四晶体管 TFT4 的栅极，和第四组中第九晶体管 TFT9 的栅极。第二时钟信号 CLK2 施加到第一和第五组中第九晶体管 TFT9 的栅极，第二组中第六晶体管 TFT6 的漏极，第三组中第二晶体管 TFT2 的栅极，以及第四组中第四晶体管 TFT4 的栅极。

而且，第三时钟信号 CLK3 可以施加到第一和第五组中第四晶体管 TFT4 的栅极，第二组中第九晶体管 TFT9 的栅极，第三组中第六晶体管 TFT6 的漏极，

以及第四组中第二晶体管 TFT2 的栅极。第四时钟信号 CLK4 可以施加到第一和第五组有第二晶体管 TFT2 的栅极，第二组中第四晶体管 TFT4 的栅极，第三组中第九晶体管 TFT9 的栅极，以及第四组中第六晶体管 TFT6 的漏极。尽管图中未示出，但是如果驱动电路包括八组，时钟信号将同样地施加到每组晶体管上。

图 11 表示图 10 所示本发明的 LCD 板中示例性移位寄存器的正向输入和输出波形。在图 11 中，四路时钟信号 CLK1-CLK4 可相继为 LOW。例如，在第一时间周期，即 $0-20\mu s$ 内，可以将触发脉冲设定为 LOW(0V)，因此，第一晶体管 TFT1（图 10 中第一组的）导通(ON)。而且，可以将第四时钟信号 CLK4 设定为 LOW，从而使第二晶体管 TFT2（参见图 10）导通(ON)。这样，节点 Q（参见图 10）将变为 LOW。因此，第六晶体管 TFT6（参见图 10）导通(ON)，所以，第一时钟信号 CLK1 可以输出到第一输出端输出 1（参见图 10）。此外，由于第二晶体管 TFT2（参见图 10）导通(ON)，所以第五晶体管 TFT5（参见图 10）也导通(ON)，从而使节点 QB 处于 HIGH(10V)，相当于 V_{ss} 电压。所以第七晶体管 TFT7（参见图 10）截止(OFF)，此时，电压 V_{ss} 不会输出到第一输出端输出 1（参见图 10）。

在第二时间周期，即 $20\mu s-40\mu s$ 内，第一时钟信号 CLK1 为 LOW，该时钟信号通过第一输出端输出 1（参见图 10）施加到第一晶体管 TFT1 的（图 10 中第二组的）栅极，并且直接施加到第二晶体管 TFT2（图 10 中第二组的）的栅极。因此，第一和第二晶体管 TFT1、TFT2（参见图 10）导通(ON)，进而使第六晶体管 TFT6（参见图 10）导通(ON)。所以，第二时钟信号 CLK2 可以输出到第二输出端输出 2（参见图 10）。

现在来看第五组(参见图 10)，在第一时间周期内，当触发脉冲 VST 为 LOW 时，第二时钟信号 CLK2 将为 HIGH，因此，即使是第八晶体管 TFT8 导通(ON)，第九晶体管 TFT9 也将截止。由于第九晶体管 TFT9 截止，所以节点 Q 为 HIGH。这样，第六晶体管 TFT6 将截止并且不会向第五输出端输出 5 输出第一时钟信号 CLK1。所以，在第五组中，只有当前一组施加到第一晶体管 TFT1 上的输出处于转 ON 状态时，而不是当触发脉冲 VST 为 LOW 时，才产生输出。

因此，触发脉冲 VST 最初可以与第四时钟信号 CLK4 同步，而且按顺序产生第一到第三时钟信号 CLK1-CLK3，进而再按顺序提供序列中的四路时钟信号。

图 12 表示图 10 所示本发明的 LCD 板中示例性移位寄存器的反向输入和输出波形。在图 12 中, 可以按相反的顺序将四路时钟信号设定为 LOW。例如, 在第一时间周期, 即 $0-20\mu\text{s}$ 内, 可以将触发脉冲 VST 和第二时钟信号设定为 LOW(0V)。因此, 在第一组中(参见图 10), 第一晶体管 TFT1 导通(ON), 第二晶体管 TFT2 截止(OFF), 因此, 第六晶体管 TFT6 截止(OFF)。所以, 第一组不会将第一时钟信号 CLK1 提供给第一输出端输出 1(参见图 10)。然而, 在第五组(参见图 10)中, 第八晶体管 TFT8 和第九晶体管 TFT9 导通(ON), 因此, 第六晶体管 TFT6 导通。结果, 可以将第一时钟信号 CLK1 提供给第五输出端输出 5(参见图 10)。

此外, 在第二时间周期, 即约 $20\mu\text{s}-40\mu\text{s}$ 内, 可以把从第五输出端输出 5 输出的信号施加到第四组中的第八晶体管 TFT8 上(参见图 10)。而且, 第一时钟信号 CLK1 变为 LOW, 从而使第四组中的第八和第九晶体管 TFT8 和 TFT9(参见图 10)导通(ON)。因此, 第六晶体管 TFT6(参见图 10)导通(ON), 进而将第四时钟信号 CLK4 提供给第四输出端输出 4(参见图 10)。所以, 触发脉冲 VST 最初时可以与第二时钟信号 CLK2 同步, 并且按顺序产生第一到第四以及第三时钟信号 CLK1-CLK4 和 CLK3, 从而按相反的顺序反复施加四路时钟信号。

因此, 上述移位寄存器可以双向驱动, 从而使 LCD 板可以在不考虑板的取向的情况下工作。此外, 不管上述移位寄存器有多少组晶体管, 都可以在无误差的情况下驱动。

对于熟悉本领域的技术人员来说, 很显然, 可以对本发明所述液晶显示板的双向驱动电路和双向驱动方法做出各种改进和变型。因此, 本发明意在覆盖那些落入所附权利要求及其等同物范围内的改进和变型。

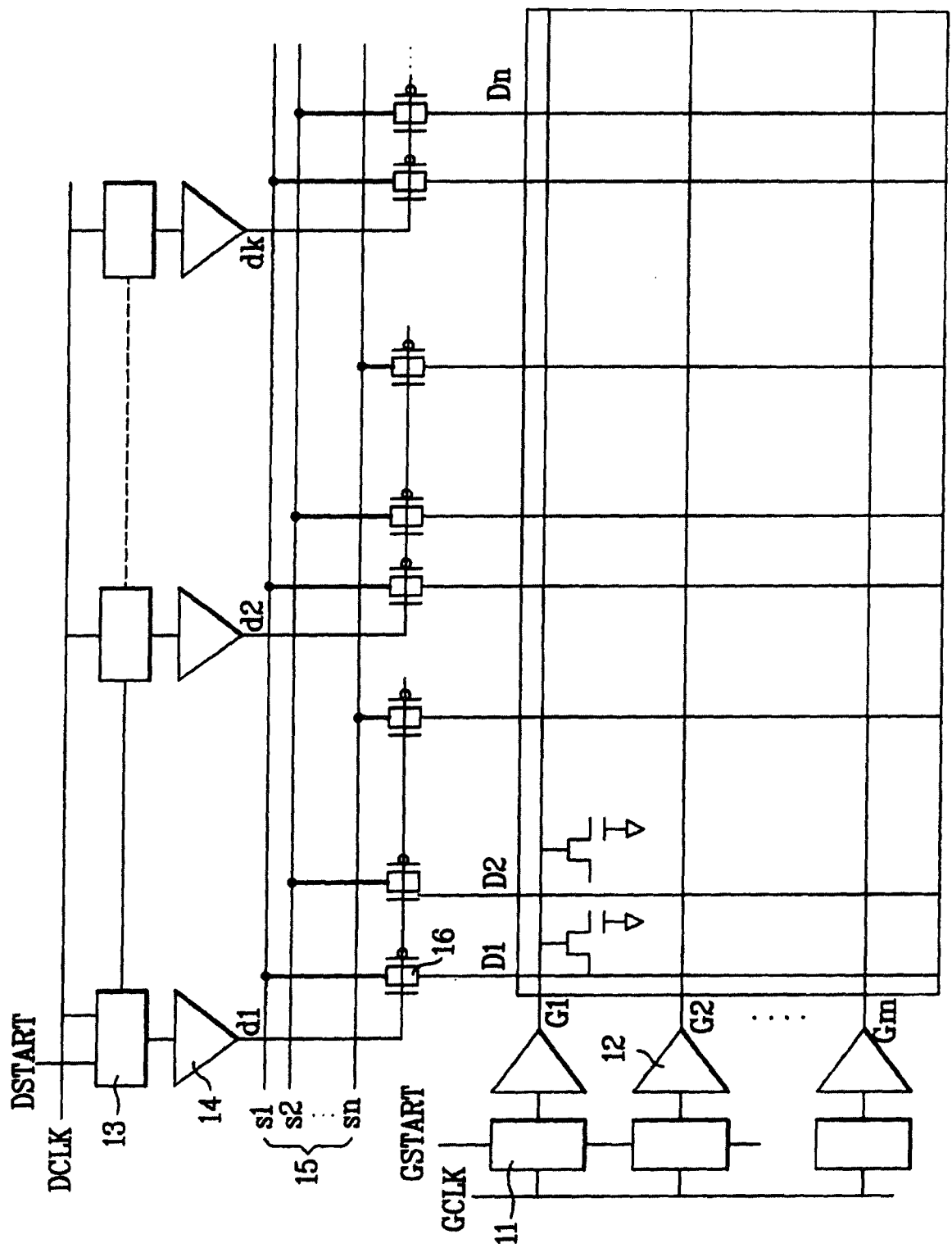


图 1

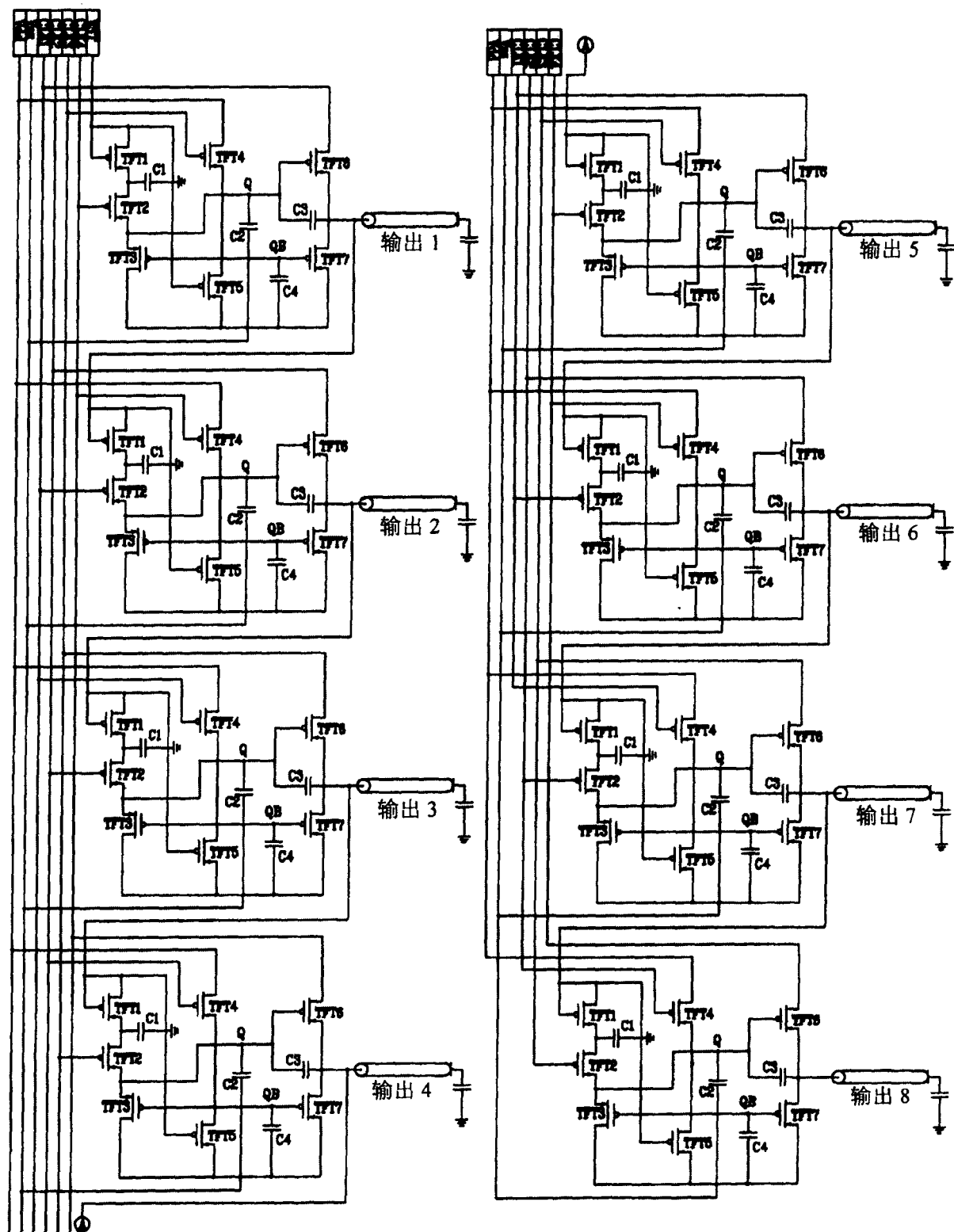


图 2

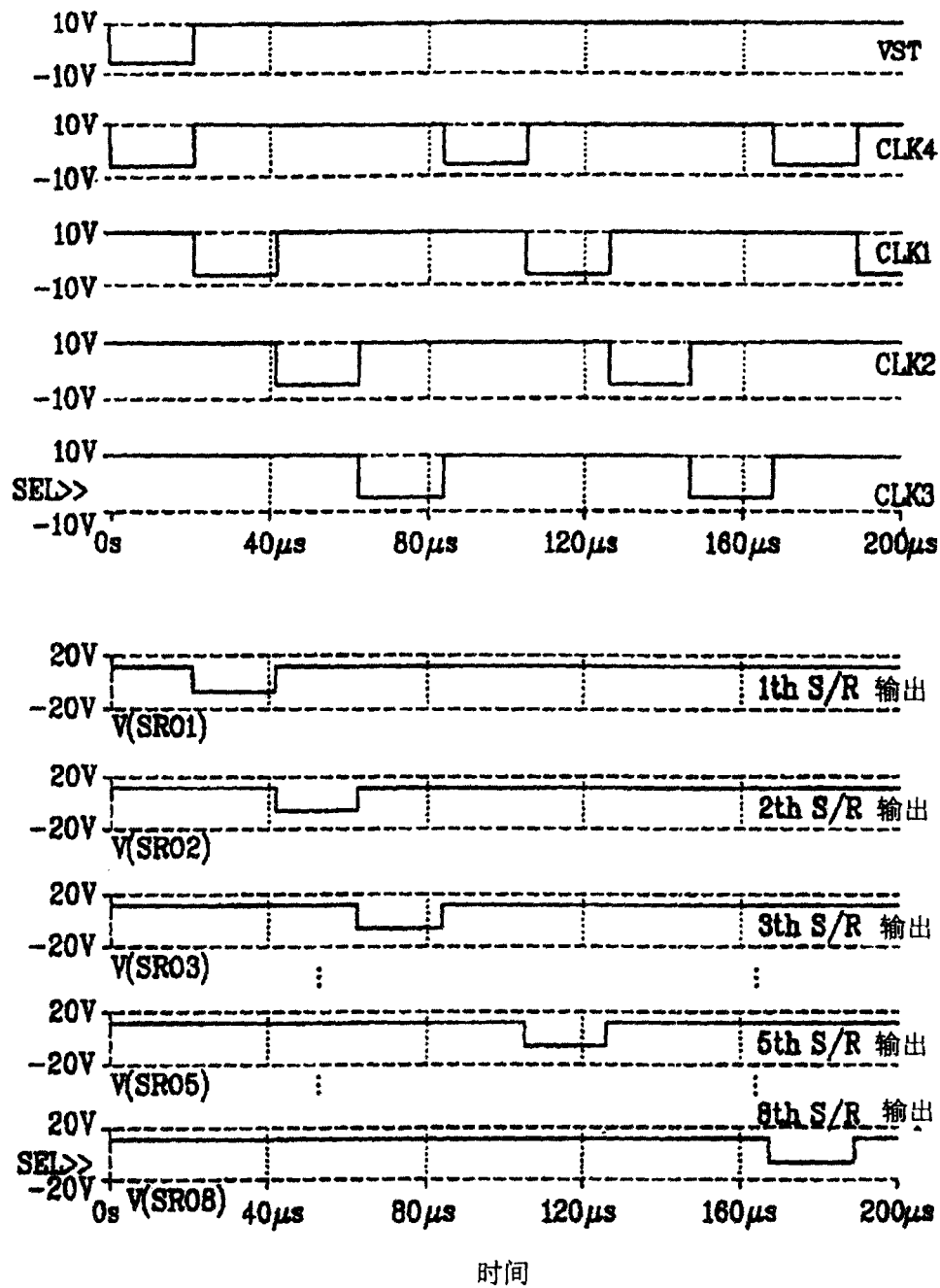


图 3

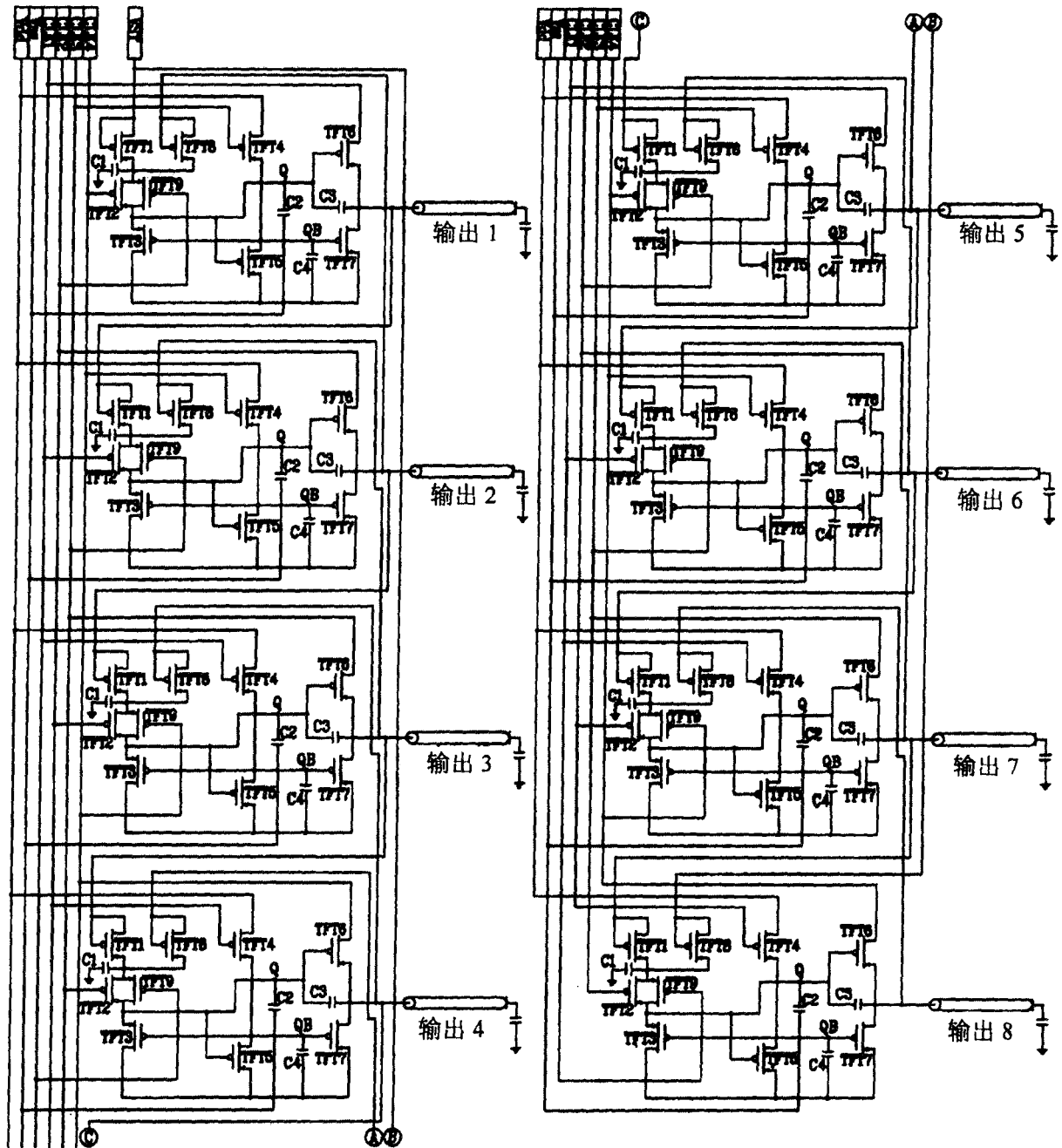


图 4

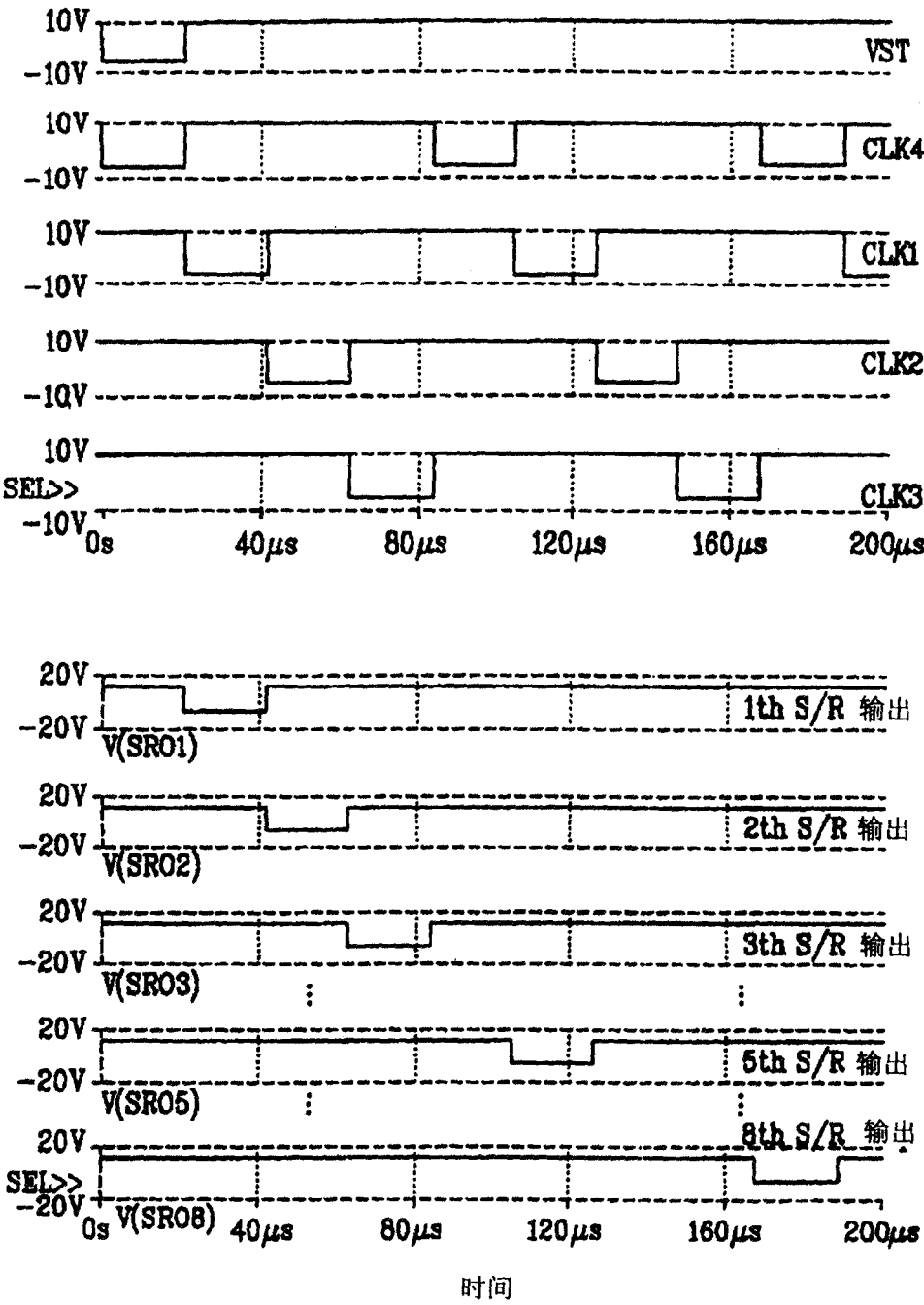


图 5

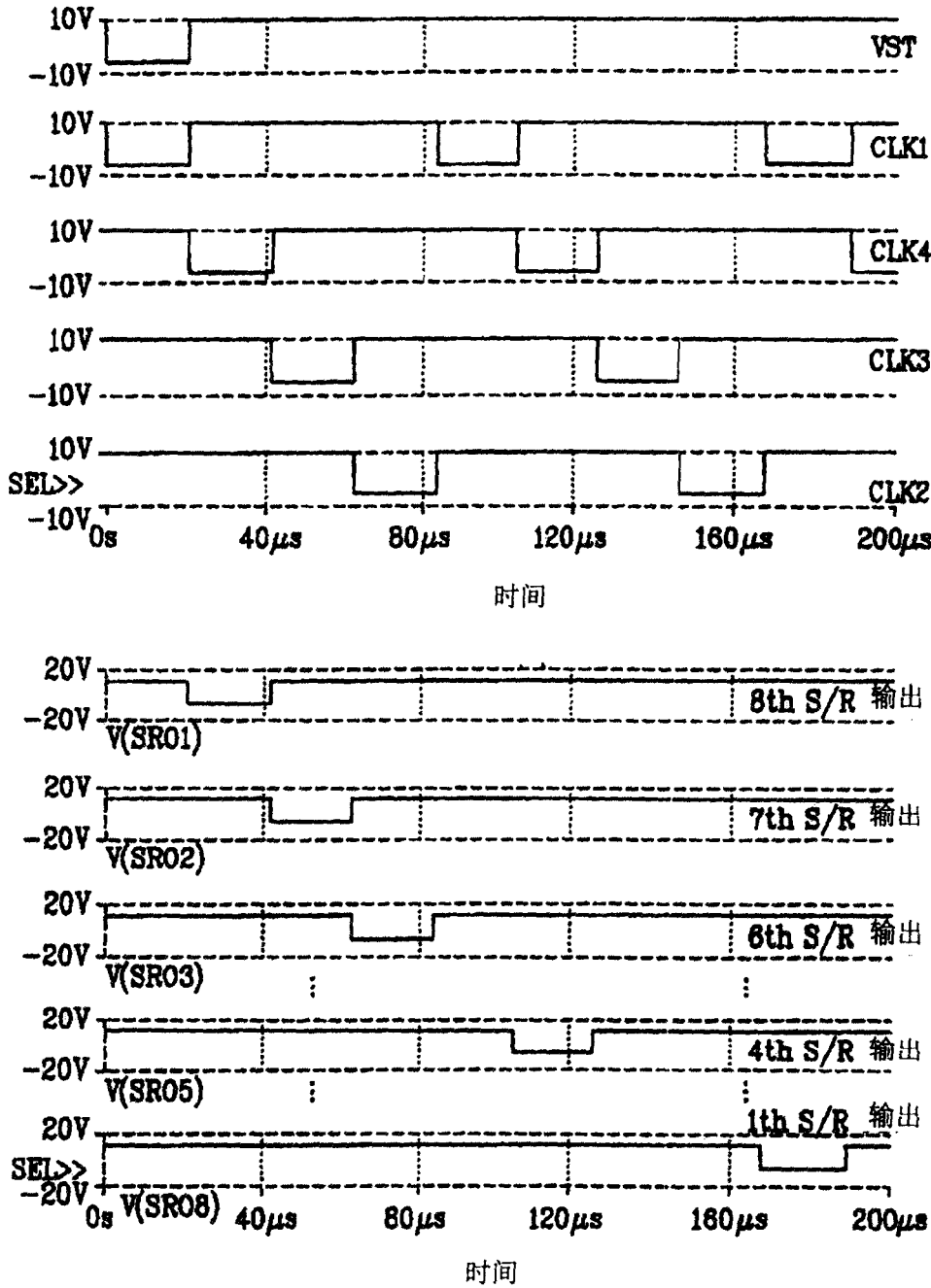


图 6

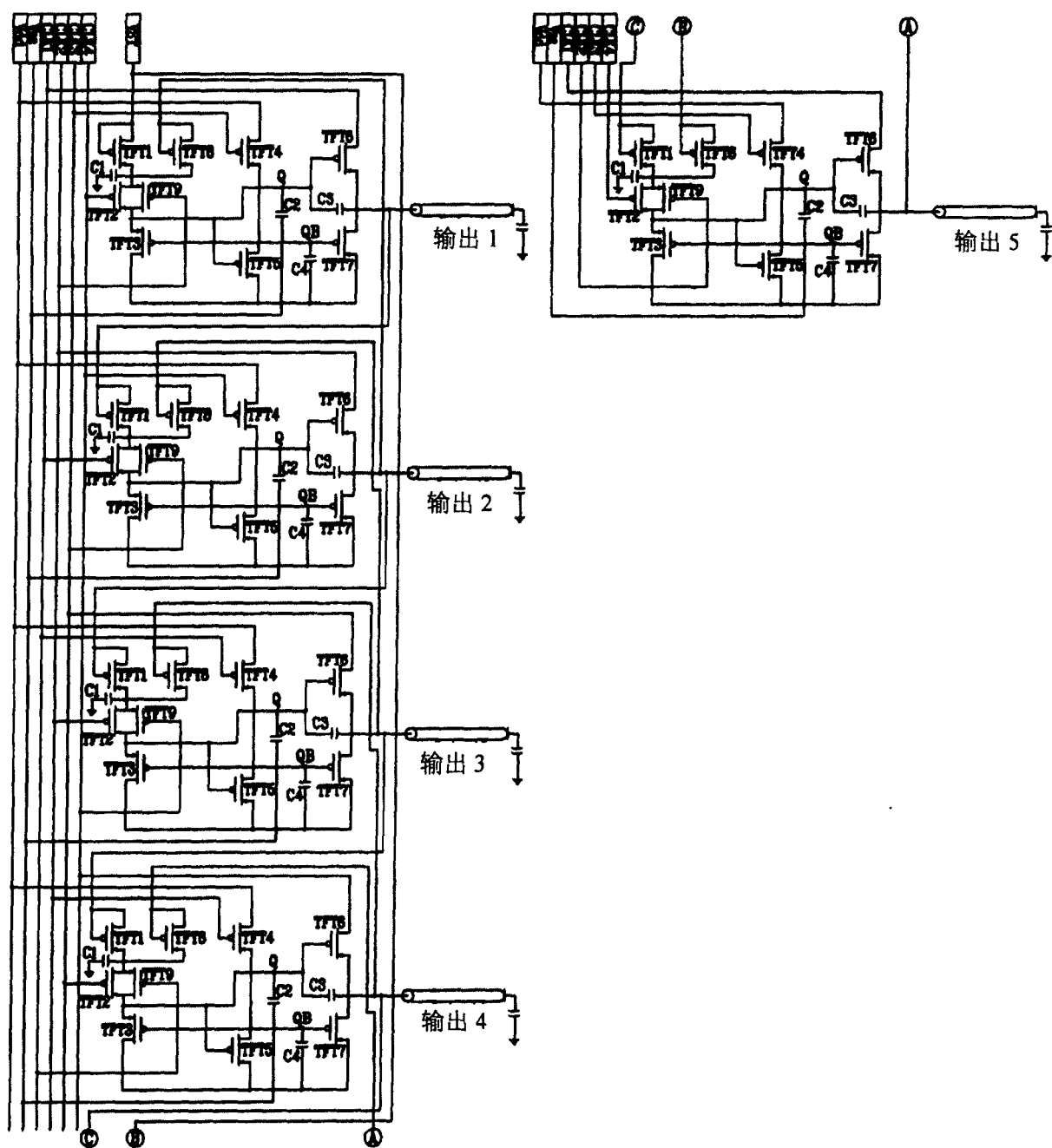


图 7

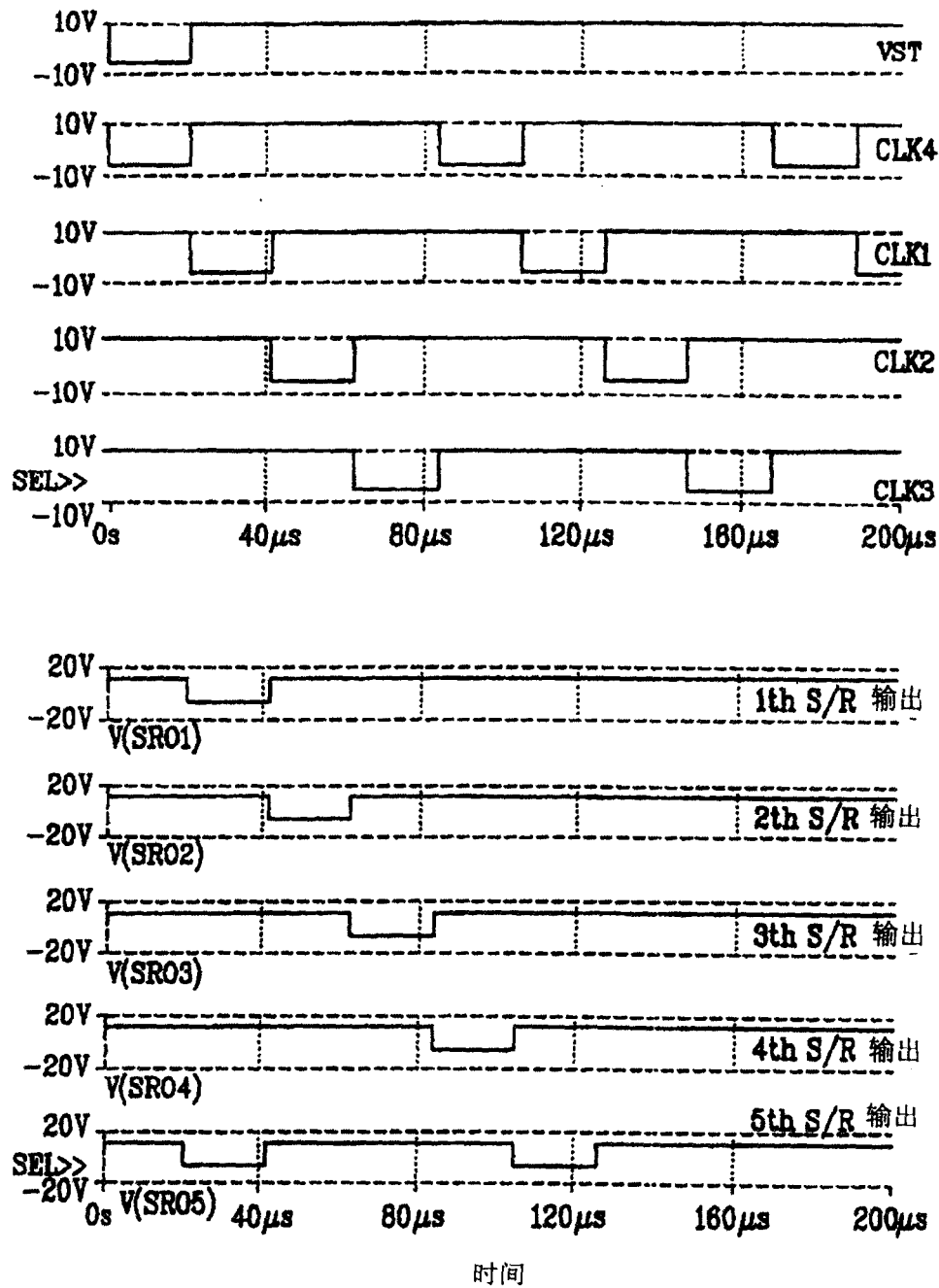


图 8

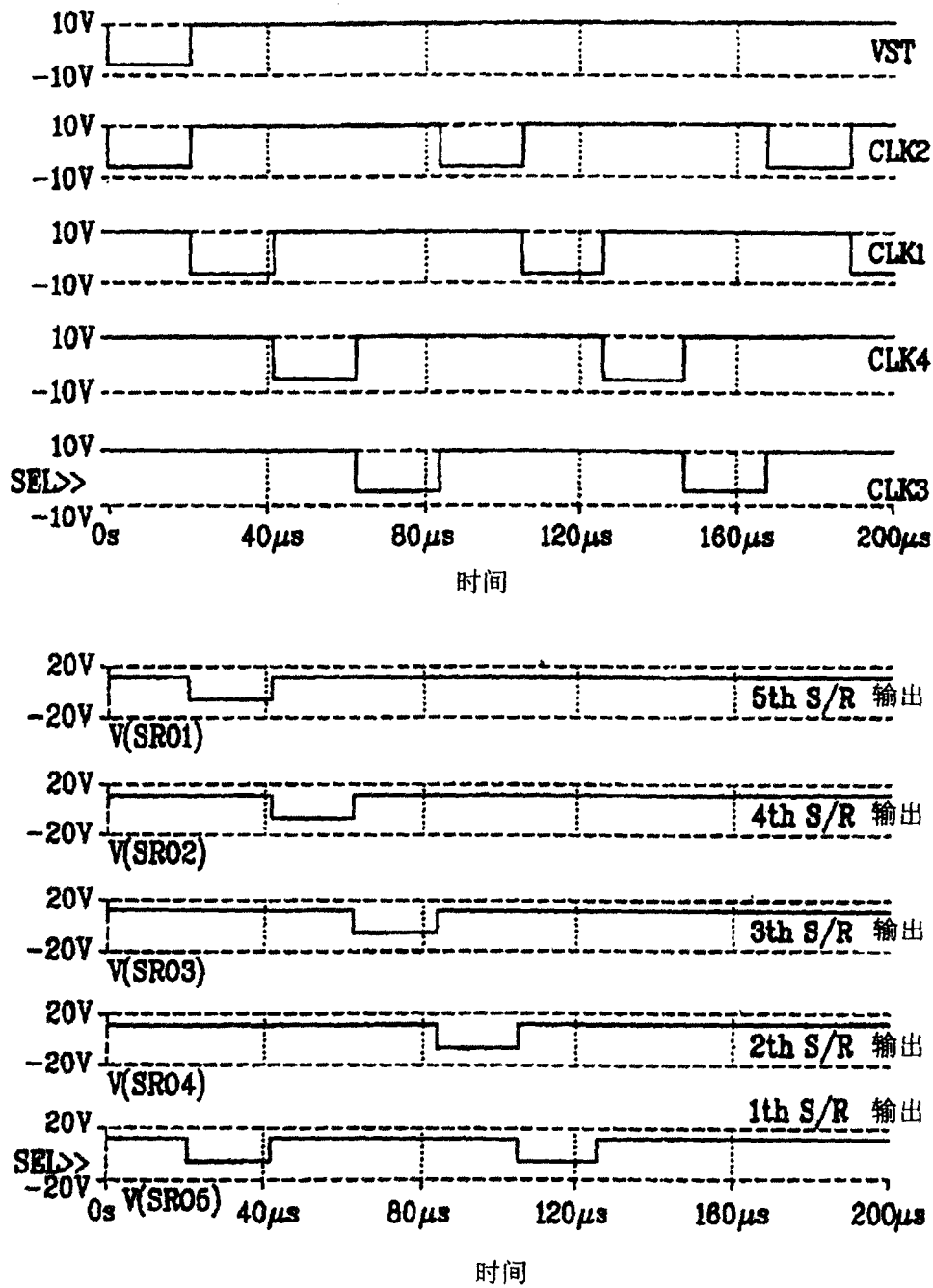


图 9

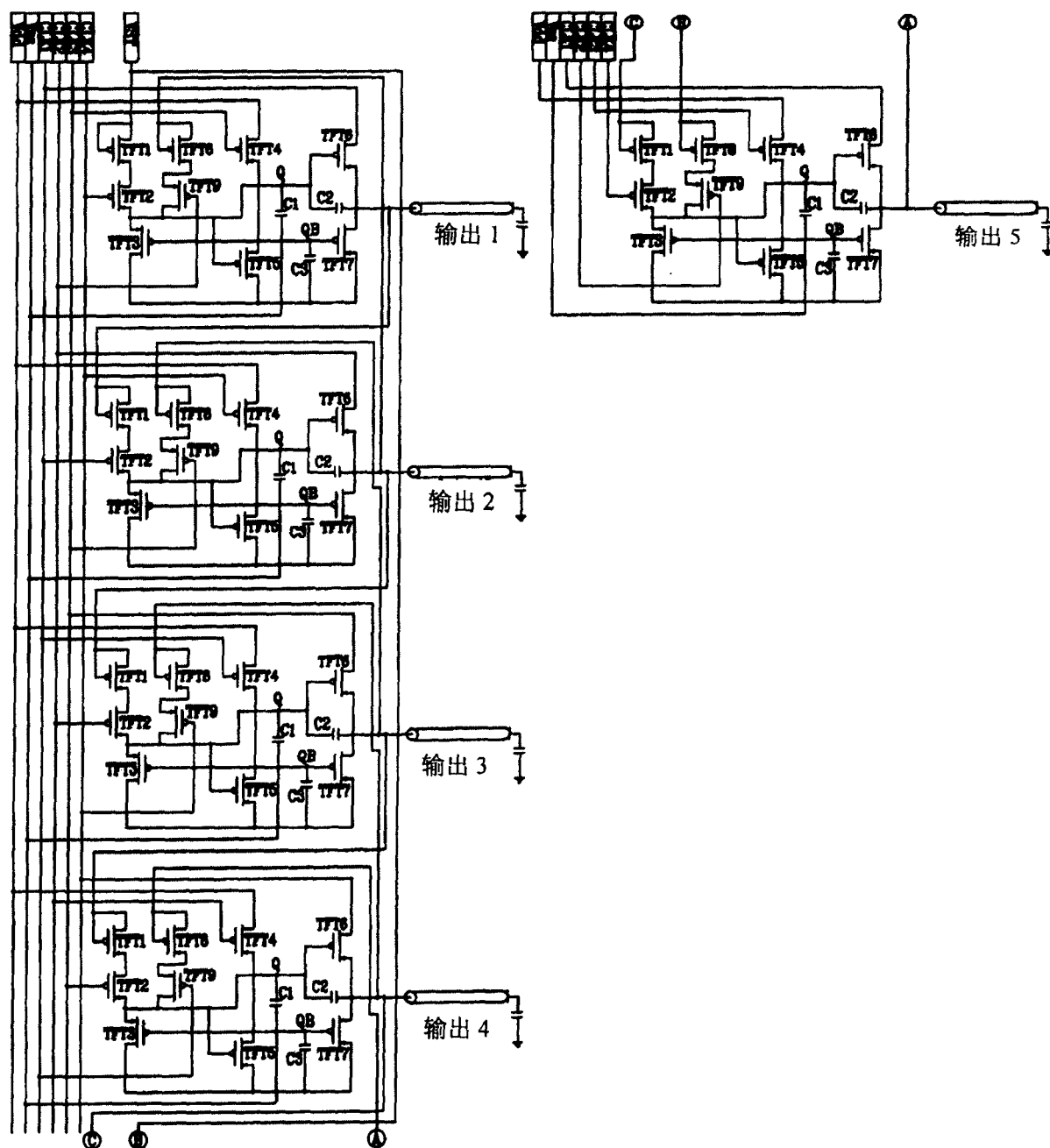


图 10

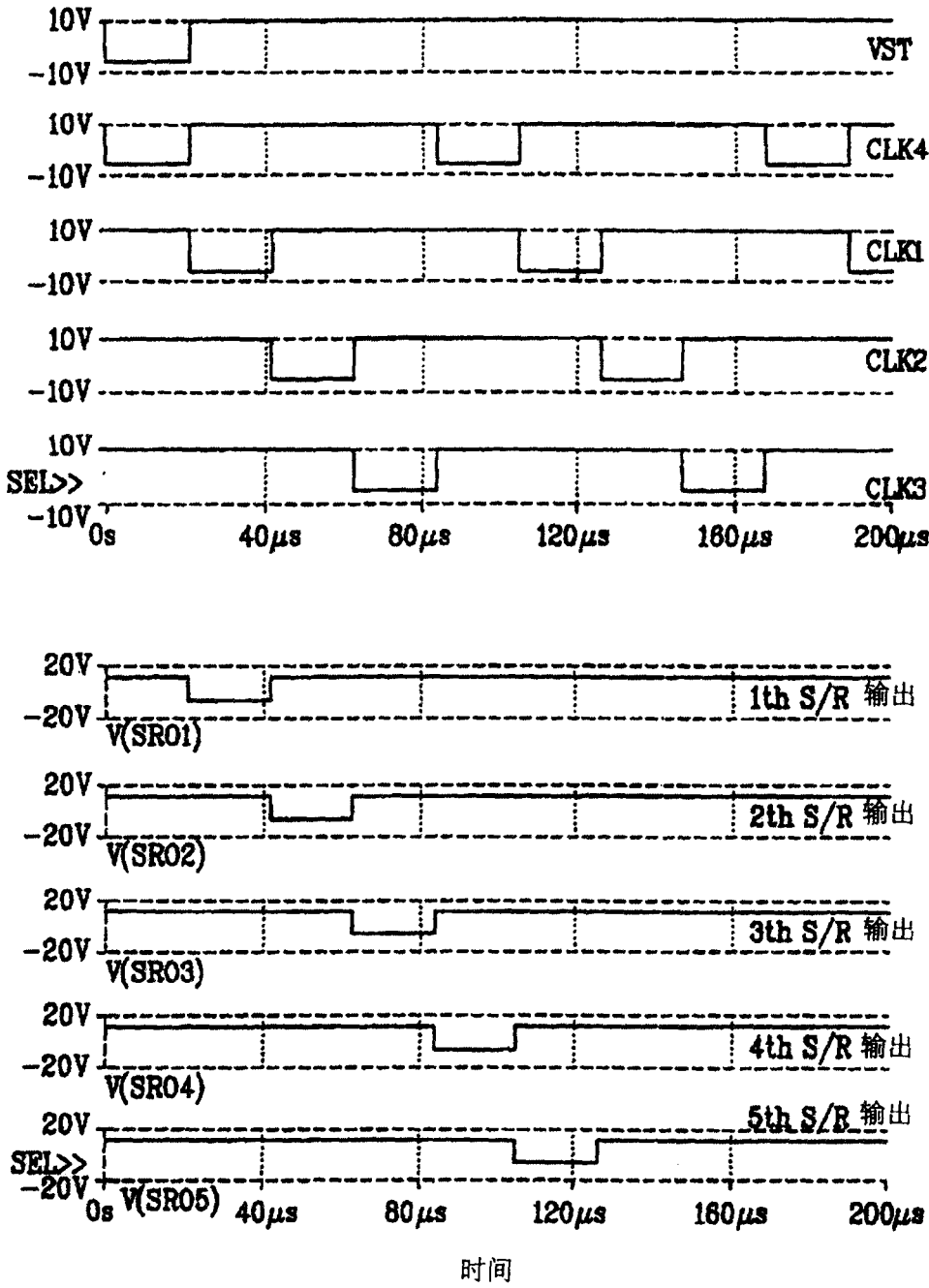


图 11

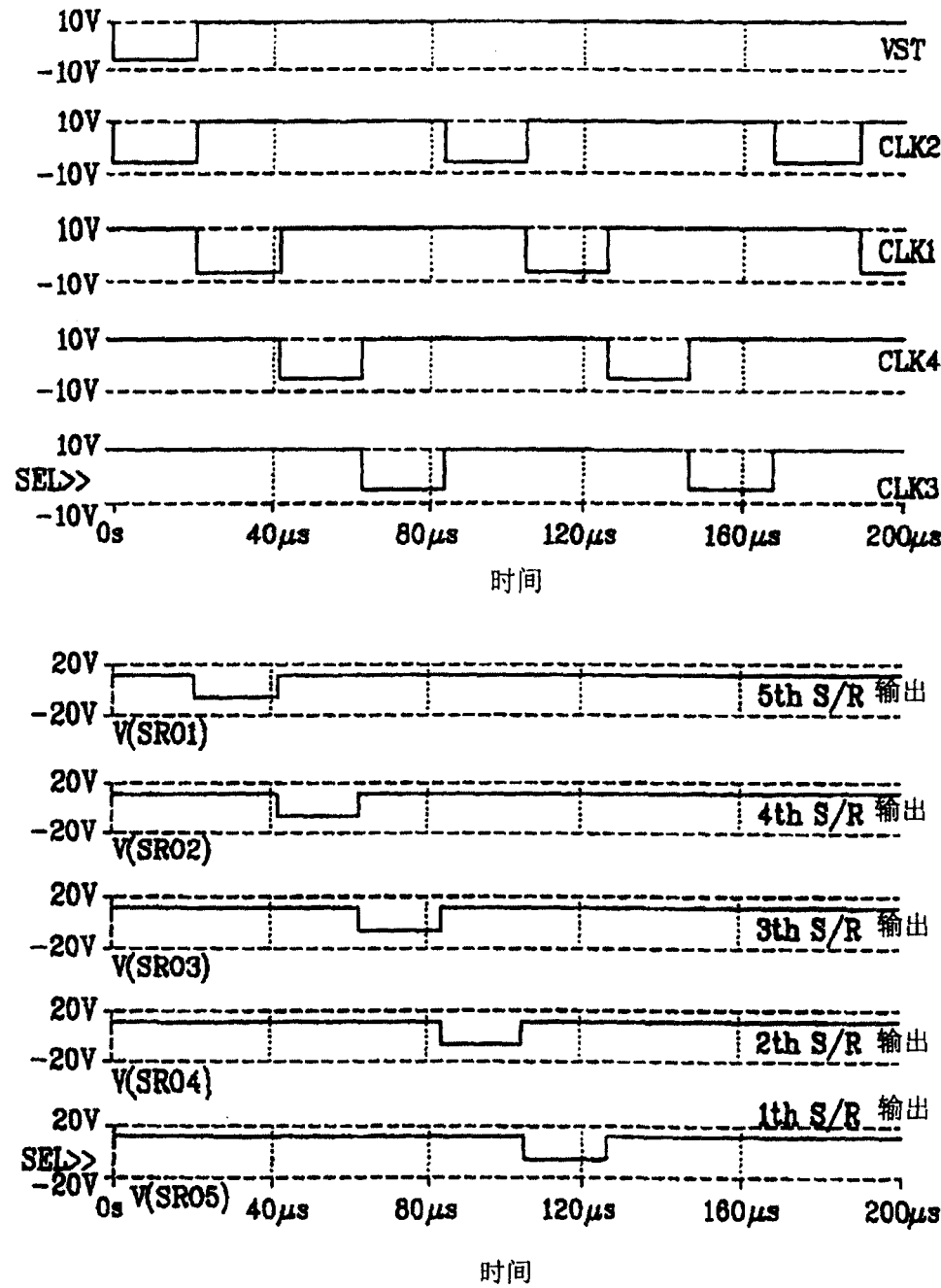


图 12

专利名称(译)	液晶显示装置的双向驱动电路		
公开(公告)号	CN1317690C	公开(公告)日	2007-05-23
申请号	CN03149919.8	申请日	2003-07-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.菲利浦LCD株式会社		
当前申请(专利权)人(译)	LG.菲利浦LCD株式会社		
[标]发明人	朴在德		
发明人	朴在德		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G11C19/00 H03K17/00 H03K17/693 H04N5/66		
CPC分类号	G09G3/3674 G09G3/3685 G11C19/00 G09G2310/0283		
代理人(译)	徐金国 陈红		
优先权	1020020080711 2002-12-17 KR		
其他公开文献	CN1508770A		
外部链接	Espacenet SIPO		

摘要(译)

一种驱动装置，包括多个按顺序布置的区块，每个区块包括九个开关元件，所述元件连接成可接收触发脉冲、四路时钟信号、和两个电源电压的形式。开关元件布置成可按顺序输出四路时钟信号并且交替地以相反的顺序输出四路时钟信号。

