

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G09G 3/36 (2006.01)  
G09G 5/18 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200310121813.8

[45] 授权公告日 2006 年 10 月 18 日

[11] 授权公告号 CN 1280780C

[22] 申请日 2003.12.19  
[21] 申请号 200310121813.8  
[30] 优先权  
[32] 2002.12.23 [33] KR [31] 10-2002-0082724  
[71] 专利权人 LG. 飞利浦 LCD 株式会社  
地址 韩国首尔  
[72] 发明人 崔在权  
审查员 席万花

[74] 专利代理机构 北京律诚同业知识产权代理有限公司  
代理人 徐金国 陈红

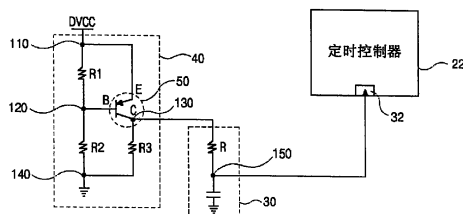
权利要求书 3 页 说明书 7 页 附图 8 页

## [54] 发明名称

定时控制器的电路、使用其的液晶显示装置  
及提高该装置可靠性的方法

## [57] 摘要

一种定时控制器的复位电路包括：晶体管，所述晶体管包括与第一节点相连的发射极，与第二节点相连的基极和与第三节点相连的集电极，在第一节点上施加数字输入电压 (DVCC)；连接在第一和第二节点之间的第一电阻；连接在第二节点和第四节点之间的第二电阻，所述第四节点接地；连接在第三和第四节点之间的第三电阻；连接在第三节点和第五节点之间的第四电阻，所述第五节点与定时控制器的输入端相连；和电容，其第一电极与第五节点相连，第二电极接地。



1. 一种定时控制器的复位电路，包括：

晶体管，所述晶体管包括与第一节点相连的发射极，与第二节点相连的基极和与第三节点相连的集电极，在第一节点上施加数字输入电压；  
5 连接在第一和第二节点之间的第一电阻；  
连接在第二节点和第四节点之间的第二电阻，所述第四节点接地；  
连接在第三和第四节点之间的第三电阻；  
连接在第三节点和第五节点之间的第四电阻，所述第五节点与定时控制器  
10 的输入端相连；和

电容，其第一电极与第五节点相连，第二电极接地。

2. 根据权利要求1所述的电路，其特征在于，晶体管是PNP型。

3. 根据权利要求1所述的电路，其特征在于，第一电阻与第二和第三电阻的比例基本上为100：51：1。

15 4. 一种液晶显示装置的电路，包括：

含有至少一个输入端的定时控制器；

滤波电路，所述滤波电路包括：

晶体管，所述晶体管包括与第一节点相连的发射极，与第二节点相连的基极和与第三节点相连的集电极，在第一节点上施加数字输入电压；

20 连接在第一和第二节点之间的第一电阻；

连接在第二节点和第四节点之间的第二电阻，所述第四节点接地；和

连接在第三和第四节点之间的第三电阻；

复位电路，所述复位电路包括：

25 连接在第三节点和第五节点之间的第四电阻，所述第五节点与至少一个输入端相连；和

电容，其第一电极与第五节点相连，第二电极接地；

其中所述复位电路分别与所述定时控制器和滤波电路相连，所述滤波电路允许施加到液晶显示装置栅极驱动器的栅极工作使能信号的栅极工作使能遮蔽时间长于约16毫秒并且降低施加到液晶显示装置源极驱动器上的时钟信号  
30 脉冲。

5. 根据权利要求4所述的电路，其特征在于，晶体管是PNP型。

6. 根据权利要求4所述的电路，其特征在于，第一电阻与第二和第三电阻的比例基本上为100:51:1。

7. 一种液晶显示装置，包括：

5 设有栅极驱动器和源极驱动器的液晶显示装置模块；

向栅极驱动器提供栅极工作使能信号和向源极驱动器提供时钟信号的定时控制器，所述定时控制器包括静电保护电路；

向定时控制器提供复位信号的复位电路，所述复位信号使栅极工作使能信号使能；和

10 与复位电路相连的滤波电路，所述滤波电路允许将栅极工作使能信号的栅极工作使能遮蔽时间长于约16毫秒并减小时钟的脉冲，

其中所述滤波电路包括第一、第二和第三电阻和晶体管，所述晶体管是包括发射极、基极和集电极的双极晶体管，所述第一电阻的第一端与发射极相连，第一电阻的第二端和第二电阻的第一端与基极相连，第三电阻的第一端与集电极相连，第二电阻的第二端和第三电阻的第二端接地，而数字输入电压施加到发射极。

8. 根据权利要求7所述的装置，其特征在于，数字输入电压施加到静电保护电路和滤波电路。

9. 根据权利要求8所述的装置，其特征在于，第一电阻与第二和第三电阻的比例基本上为100:51:1。

10. 根据权利要求9所述的装置，其特征在于，复位电路包括第四电阻和包含第一电极和第二电极的电容。

11. 根据权利要求10所述的装置，其特征在于，第四电阻的第一端与集电极相连，第四电阻的第二端与电容的第一电极以及定时控制器相连，而电容的第二电极接地。

12. 根据权利要求8所述的装置，其特征在于，当外部主电源未施加到定时控制器上时，数字输入电压具有约为0.3V-0.7V的第一电压，当外部主电源施加到定时控制器上时，数字输入电压具有约3.3V的第二电压。

13. 一种液晶显示装置的电路，包括：

30 时间控制单元，其向液晶显示装置的第一驱动器提供工作信号而向液晶显

示装置的第二驱动器提供定时信号；

复位单元，其向定时控制器提供使工作信号使能的附加信号；和

滤波单元，其允许工作信号遮蔽的时间周期与使包含明显降低了图像干扰的第一驱动器工作的时间相一致，而且减小定时信号的脉冲，

5 其中所述滤波单元包括：

晶体管，所述晶体管包括与第一节点相连的发射极，与第二节点相连的基极和与第三节点相连的集电极，在第一节点上施加数字输入电压；

连接在第一和第二节点之间的第一电阻；

连接在第二节点和第四节点之间的第二电阻，所述第四节点接地；和

10 连接在第三和第四节点之间的第三电阻。

14. 根据权利要求 13 所述的电路，其特征在于，工作信号遮蔽的时间周期长于约 16 毫秒。

15. 一种提高液晶显示装置可靠性的方法，所述方法包括：

向液晶显示装置的第一驱动器发送工作信号和向液晶显示装置的第二驱  
15 动器发送定时信号；

向控制器发送使工作信号使能的附加信号；和

用滤波电路对附加信号进行滤波，使工作信号遮蔽的时间周期与明显减少了图像干扰的第一驱动器的工作相一致，并减小定时信号的脉冲，

其中所述滤波电路包括：

20 晶体管，所述晶体管包括与第一节点相连的发射极，与第二节点相连的基极和与第三节点相连的集电极，在第一节点上施加数字输入电压；

连接在第一和第二节点之间的第一电阻；

连接在第二节点和第四节点之间的第二电阻，所述第四节点接地；和

连接在第三和第四节点之间的第三电阻。

25 16. 根据权利要求 15 所述的方法，其特征在于，工作信号遮蔽的时间周期长于约 16 毫秒。

## 定时控制器的电路、使用其的液晶显示装置及提高该装置可靠性的方法

5 本发明要求 2002 年 12 月 23 日在韩国申请的第 2002-82724 号韩国专利申请  
申请的权益，该申请在本申请中以引用的形式加以结合。

### 技术领域

10 本发明涉及液晶显示装置，更确切地说，本发明涉及定时控制器的复位电  
路，所述定时控制器包括一个单元，该单元能防止因低压差分信号（LVDS）而  
引起的电压感应现象。

### 背景技术

15 近年来，为了实现更高的显示质量，正在研发具有高频率和高分辨率的平  
板显示器（FPD）。在各种 FPD 中，液晶显示（LCD）装置已经成为最近研究的  
主题。在 LCD 装置中，由于是通过高频晶体管—晶体管逻辑（TTL）信号传输  
数据信号和时钟信号，所以需要使图像信号的电压电平移位来适应高频 TTL  
信号。电压电平移位会带来电磁干扰（EMI）问题。此外，由于通过 TTL 信号  
20 传输数据信号和时钟信号时需要大量传输路径，所以 LCD 装置需要大量电缆和  
连接器。因此，外部噪音将直接或间接影响数据信号和时钟信号，从而不能正  
确地显示图像。此外，还会限制由能实现全色高分辨率图形控制器支持的大量  
数据传输位。

为了解决这一问题，而提出了计算机主体和 LCD 装置之间接口的低压差分  
信号（LVDS）规范。LVDS 规范是在 IEEE 1596.3 标准中确立的新的数据接口  
25 标准。它实际上是用于低压和高速数据传输的信号传输方法。通常，LVDS 技  
术在安装于笔记本电脑中的 LCD 装置和主板图形控制器之间设置了窄带高速  
接口，或使用了接到台式计算机上的监视器的电缆。

图 1 是表示现有技术中计算机主体和液晶显示装置之间连接关系的示意  
性方框图。

30 在图 1 中，图形卡 12 作为信号源设置在计算机主体内。图形卡 12 向第一

和第一 LVDS 传输单元 14 和 16 提供包含红 (R)、绿 (G) 和蓝 (B) 色信号分量的 TTL 电平彩色信号, 和多个控制信号。为了按照液晶的物理特性用线倒置法或点倒置法显示彩色图像, 分别将 R、G 和 B 信号输送到具有相反极性的第一和第一 LVDS 传输单元 14 和 16。把包含水平同步信号分量、垂直同步信号分量和数据使能 (DE) 信号分量的控制信号输送到第一 LVDS 传输单元 14。

将输送到第一和第一 LVDS 传输单元 14 和 16 的每个信号转换成 LVDS, 而且通过多个信道将该 LVDS 传输到液晶显示 (LCD) 装置 60。LCD 装置 60 的第一和第一 LVDS 接收单元 18 和 20 接收通过多个信道传输的 LVDS。第一和第一 LVDS 接收单元 18 和 20 将 LVDS 转换成 TTL 信号并将该 TTL 信号发送到定时控制器 22。定时控制器 22 产生用于 LCD 模块 24 的 TTL 电平控制信号并确定控制信号和 R、G、B 信号的定时格式。定时格式中的控制信号和 R、G、B 信号发送到 LCD 模块 24。

LCD 模块 24 包括源极驱动器 (未示出)、栅极驱动器 (未示出) 和 LCD 面板 (未示出)。源极驱动器和栅极驱动器加载到印刷电路板 (PCB) 上而 PCB 与 LCD 面板相连。将 R、G、B 信号和某些控制信号发送到源极驱动器而将其他控制信号发送到栅极驱动器。LCD 面板包括处于每个象素区中的薄膜晶体管 (TFT) (未示出)。TFT 按照从栅极驱动器输出的转换脉冲接通 (ON) 或断开 (OFF)。把来自源极驱动器的数据信号发送到使 TFT 接通 (ON) 的象素区上并驱动象素区的液晶层使其透光。

在图 2 中, 第一静电保护电路 28 与 LVDS 传输单元 14 相连而第二静电保护电路 28 与定时控制器 22 的 LVDS 接收单元 18 相连。定时控制器 22 包括使源极控制信号 (SSC、SOE、SSP) 和栅极控制信号 (GSC、GOE、GSP) 等特定信号使能 (enable) 的复位电路 30。定时控制器 22 可以包括多个 LVDS 接收单元 18 和多个复位电路 30。当未向整个电路施加输入电压 “Vin” 时, 即, 当未向静电保护电路 28 和复位电路 30 的每个 DVCC 节点施加约 3.3V 的源电压时, 通过第二静电保护电路 28 把从 LVDS 传输单元 14 输出的约 1.4V (±几百 mV) LVDS 电压输入到定时控制器 22。

在图 3 中, 用曲线图表示当没有向现有技术中的静电保护电路和复位电路的每个 DVCC 节点发送源电压时, 从 LVDS 传输单元输出的 LVDS 电压。

在图 4 中, 用电路图表示当把从 LVDS 传输单元输出的 LVDS 电压输入到现

有技术中的静电电路时，静电电路的工作状态。当向静电保护电路输入约 1.4V 的 LVDS 电压时，因反向二极管“D<sub>n</sub>”接地而使电流通过正向二极管“D<sub>p</sub>”流向第一 DVCC 节点。因此，第一 DVCC 节点具有约 0.3V 至约 0.7V 的感应电势。

再次参照图 2，由于第二静电保护电路 28 的第一 DVCC 节点与复位电路 30 的第二 DVCC 节点电性相连，所以，复位电路 30 的第二 DVCC 节点也具有约 0.3V 到约 0.7V 的感应电势。当向整个电路施加输入电压“V<sub>in</sub>”（未示出）时，即，向复位电路 30 的第二 DVCC 节点施加约 3.3V 的源电压时，由于约 1.4V 的 LVDS 电压产生约 0.7V 的感应电势，所以复位电路 30 的电容“C”不是从 0V 开始充电，而是从约 0.7V 开始充电。

在图 5 中，用曲线图表示从现有技术的定时控制器输出的 GOE 信号。当复位电路 30（参见图 2）允许源极控制信号和栅极控制信号通过定时控制器 22（参见图 2）时，特别是，当向栅极驱动器施加 GOE（栅极工作使能）信号时，在栅极驱动器正常工作的情况下应获得比约 16 毫秒长的持续时间（GOE 遮蔽时间（mask time））。然而，如图 5 所示，从定时控制器 22（参见图 2）输出的 GEO 信号具有约为 2 毫秒的较短持续时间（如箭头所示）。较短的持续时间会使栅极驱动器不能正常工作，因此 LCD 面板不能正常显示图像。

在图 6 中，用曲线表示现有技术中的输入电压和时钟，其中当向整个电路施加输入电压“V<sub>in</sub>”时，源极驱动器的时钟信号“CLOCK”具有导致出现不正常图像的不希望的脉冲（用椭圆表示）。

## 发明内容

因此，本发明涉及一种液晶显示装置和驱动所述液晶显示装置的方法，所述装置和方法基本上克服了因现有技术的局限和缺点而导致的一个或多个问题。

本发明的实施例提供了一种液晶显示装置，所述装置包括使栅极驱动器和源极驱动器正常工作的复位电路和定时控制器，本发明的实施例还提供一种驱动所述液晶显示装置的方法。

本发明的一个优点在于通过添加简单的电路和提供驱动该电路的方法而使液晶显示装置具有高可靠性。

本发明的其它特征和优点将在下面的说明中给出，其中一部分特征和优点

可以从说明中明显得出或是通过对本发明的实践而得到。通过在文字说明部分、权利要求书以及附图中特别指出的结构，可以实现和获得本发明的目的和其它优点。

为了得到这些和其它优点，本发明所述定时控制器的复位电路包括：晶体管，所述晶体管包括与第一节点相连的发射极，与第二节点相连的基极和与第三节点相连的集电极，在第一节点上施加数字输入电压（DVCC）；连接在第一和第三节点之间的第一电阻；连接在第二节点和第四节点之间的第二电阻，所述第四节点接地；连接在第三和第四节点之间的第三电阻；连接在第三节点和第五节点之间的第四电阻，所述第五节点与定时控制器的输入端相连；和电容，其第一电极与第五节点相连，第二电极接地。

按照另一方面，液晶显示装置的电路包括：含有至少一个输入端的定时控制器；滤波电路，其包括：晶体管，所述晶体管包括与第一节点相连的发射极，与第二节点相连的基极和与第三节点相连的集电极，在第一节点上施加数字输入电压（DVCC）；连接在第一和第三节点之间的第一电阻；连接在第二节点和第四节点之间的第二电阻，所述第四节点接地；和连接在第三和第四节点之间的第三电阻；复位电路，其包括：连接在第三节点和第五节点之间的第四电阻，所述第五节点与至少一个输入端相连；和电容，其第一电极与第五节点相连，第二电极接地；其中所述复位电路分别与所述定时控制器和滤波电路相连，所述滤波电路将施加到液晶显示装置栅极驱动器的GOE信号的GOE遮蔽时间保持得长于约 16 毫秒并且消除施加到液晶显示装置源极驱动器上的时钟信号脉冲。

按照另一方面，液晶显示装置包括：设有栅极驱动器和源极驱动器的LCD模块；向栅极驱动器提供GOE（栅极工作使能）信号和向源极驱动器提供时钟信号的定时控制器，所述定时控制器包括静电保护电路；向定时控制器提供复位信号的复位电路，所述复位信号使GOE信号使能；和与复位电路相连的滤波电路，所述滤波电路将GOE信号的GOE遮蔽时间保持得长于约 16 毫秒并减小时钟的脉冲，其中所述滤波电路包括第一、第二和第三电阻和晶体管，所述晶体管是包括发射极、基极和集电极的双极晶体管，所述第一电阻的第一端与发射极相连，第一电阻的第二端和第二电阻的第一端与基极相连，第三电阻的第一端与集电极相连，第二电阻的第二端和第三电阻的第二端接地，而数字输入

电压施加到发射极。

一种为提高液晶显示装置可靠性而设计的方法是，例如，向液晶显示装置的第一驱动器发送工作信号和向液晶显示装置的第二驱动器发送定时信号。此外，将附加信号发送到控制器以便使工作信号使能，然后，用滤波电路进行滤波，使工作信号遮蔽的时间周期与明显减少了图像干扰的第一驱动器的工作相一致，并减小定时信号的脉冲，其中所述滤波电路包括：晶体管，所述晶体管包括与第一节点相连的发射极，与第二节点相连的基极和与第三节点相连的集电极，在第一节点上施加数字输入电压；连接在第一和第二节点之间的第一电阻；连接在第二节点和第四节点之间的第二电阻，所述第四节点接地；和连接在第三和第四节点之间的第三电阻。

在上述提高液晶显示装置可靠性的方法中，工作信号遮蔽的时间周期可以长于约 16 毫秒。

很显然，上面的一般性描述和下面的详细说明都是示例性和解释性的，其意在对本发明的权利要求作进一步解释。

15

## 附图说明

本申请所包含的附图用于进一步理解本发明，其与说明书相结合并构成说明书的一部分，所述附图表示本发明的实施例并与说明书一起解释本发明的原理。附图中：

20 图 1 是表示现有技术中计算机主体和液晶显示装置之间具体连接关系的示意性方框图；

图 2 是表示现有技术中定时控制器、LVDS 传输单元、和 LVDS 接收单元之间具体连接关系的示意性方框图；

25 图 3 是表示当未向静电保护电路和复位电路的每个 DVCC 节点施加源电压时，从 LVDS 传输单元输出的 LVDS 电压的曲线图；

图 4 是表示按照现有技术所述当将从 LVDS 传输单元输出的 LVDS 电压输入到静电电路时，静电电路的工作情况实施例；

图 5 表示按照现有技术所述从定时控制器输出的 GOE 信号的曲线图；

图 6 表示按照现有技术所述输入电压和时钟的曲线图；

30 图 7 是表示按照本发明实施例所述液晶显示装置的定时控制器和复位电

路的示意性电路图；

图8是表示按照本发明的实施例所述从定时控制器输出的GOE信号的曲线图；和

图9是表示按照本发明的实施例所述输入电压和时钟信号的曲线图。

5

### 具体实施方式

现在将详细说明本发明的实施例，所述实施例的实例示于附图中。

图7是表示按照本发明实施例所述液晶显示装置的定时控制器和复位电路的示意性电路图。

10 在图7中，定时控制器22包括至少一个复位信号输入端32。为了获得比施加到栅极驱动器的约16毫秒GOE信号更长的GOE遮蔽时间周期和消除施加到源极驱动器的时钟信号脉冲，将滤波电路40连接到复位电路30。滤波电路40包括双极薄膜晶体管(TFT)50，和第一到第三电阻“R1”、“R2”和“R3”。PNP型或NPN型双极TFT50包括作为电极的基极“B”、发射极“E”和集电极  
15 “C”。发射极“E”与第一节点110相连，基极“B”与第二节点120相连，而集电极“C”与第三节点130相连。第四节点140接地。第一电阻“R1”连接在第一和第二节点110和120之间，第二电阻“R2”连接在第二和第四节点120和140之间，第三电阻“R3”连接在第三和第四节点130和140之间。第一节点110是DVCC节点而第三节点130与包含电阻“R”和电容“C”的复位  
20 电路30相连。第一、第二和第三电阻“R1”、“R2”和“R3”的电阻比基本上为100:51:1。例如，第一、第二和第三电阻“R1”、“R2”和“R3”的电阻分别为100KΩ、51KΩ和1KΩ。

当未向整个电路施加输入电压“Vin”(参见图6)时，即，不向静电保护电路28(参见图2)和滤波电路40的每个DVCC节点施加约为3.3V的源电压  
25 时，从LVDS传输单元14(参见图2)输出的约1.4V(±几百mV)LVDS电压将输入到第一静电保护电路28(参见图2)。因此，由于反向二极管“D<sub>r</sub>”(参见图4)接地，电流将通过正向二极管“D<sub>f</sub>”(参见图4)流向第一DVCC节点。结果，第一静电保护电路28(参见图2)的第一DVCC节点的感应电势将为约0.3V—约0.7V。由于第一静电保护电路28(参见图2)的第一DVCC节点与滤波  
30 电路40的第二DVCC节点电性连接，所以滤波电路40的第二DVCC节点也具

有约 0.3V—0.7V 感应电势。当约 0.7V 的感应电势施加到滤波电路 40 的第二 DVCC 节点上时，可根据下式的电压分布定律来确定第二节点 120 的第一电压“V1”。

$$V1=0.7V \times (51K\Omega / (100K\Omega + 51K\Omega)) = 0.23V$$

5 由于在双极 TFT50 上施加了约 0.23V 的第一电压“V1”，所以双极 TFT50 断开 (OFF)。因此，第三节点 130 的电势为 0V 而且复位电路 30 的电容“C”不充电。

当向整个电路施加输入电压“Vin”（参见图 6）时，约有 3.3V 的源电压施加到第一静电保护电路 28（参见图 2）和滤波电路 40 的每个 DVCC 节点上。  
10 因此，可按下式的电压分布定律确定第二节点 120 的第二电压“V2”。

$$V2=3.3V \times (51K\Omega / (100K\Omega + 51K\Omega)) = 1.11V$$

由于施加到双极 TFT50 的第二电压“V2”约为 1.11V，所以双极 TFT50 接通 (ON)。因此，第三节点 130 的电势为 3.3V，复位电路 30 的电容“C”开始  
15 充电。然后，复位电路 30 通过至少一个复位信号的输入端 32 向定时控制器 22 输出复位信号。

在图 8 中，GOE 信号的 GOE 遮蔽时间周期（如图中的箭头所示）约为 35 毫秒，该时间周期长于约 16 毫秒的最小值。因此，可正常显示图像。

此外，在图 9 中，当将输入电压“Vin”施加到整个电路时，降低了源极驱动器时钟信号“CLOCK”中不希望的脉冲（用椭圆表示）。

20 随之而来的是，与复位电路相连的滤波电路可防止感应电压施加到 DVCC 节点上，由此获得 GOE 信号的稳定持续时间（GOE 遮蔽时间）并减小了时钟信号中不希望的脉冲。因此，可减少定时控制器的故障并获得高显示质量的 LCD 装置。

对于熟悉本领域的技术人员来说，很显然，在不脱离本发明构思或范围的情况下，可以对本发明所述液晶显示装置和驱动所述液晶显示装置的方法做出  
25 各种改进和变型。因此，本发明意在覆盖那些落入所附权利要求及其等同物范围内的改进和变型。

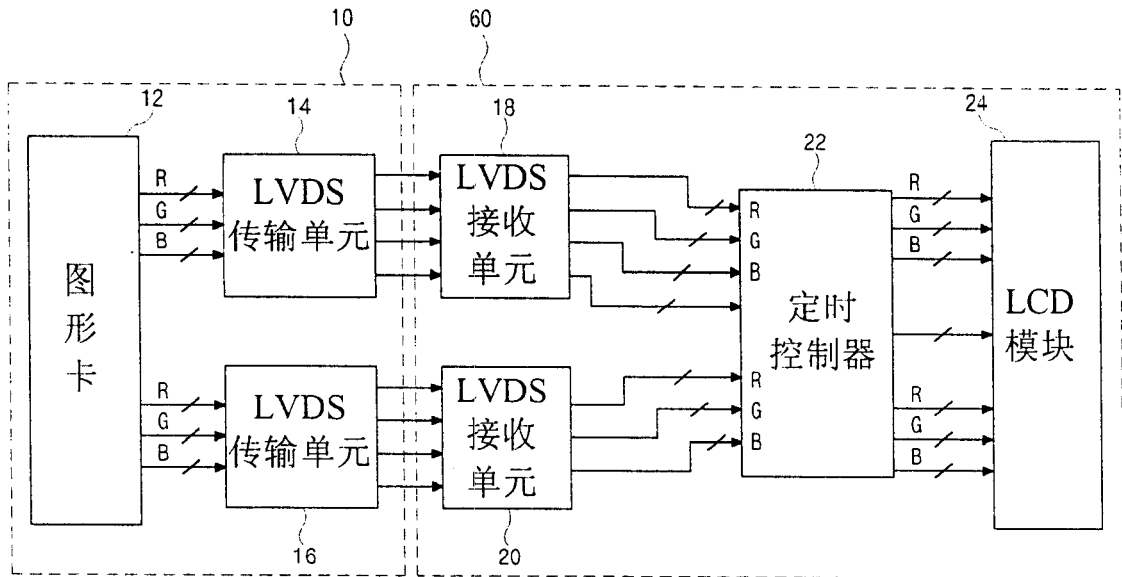


图 1

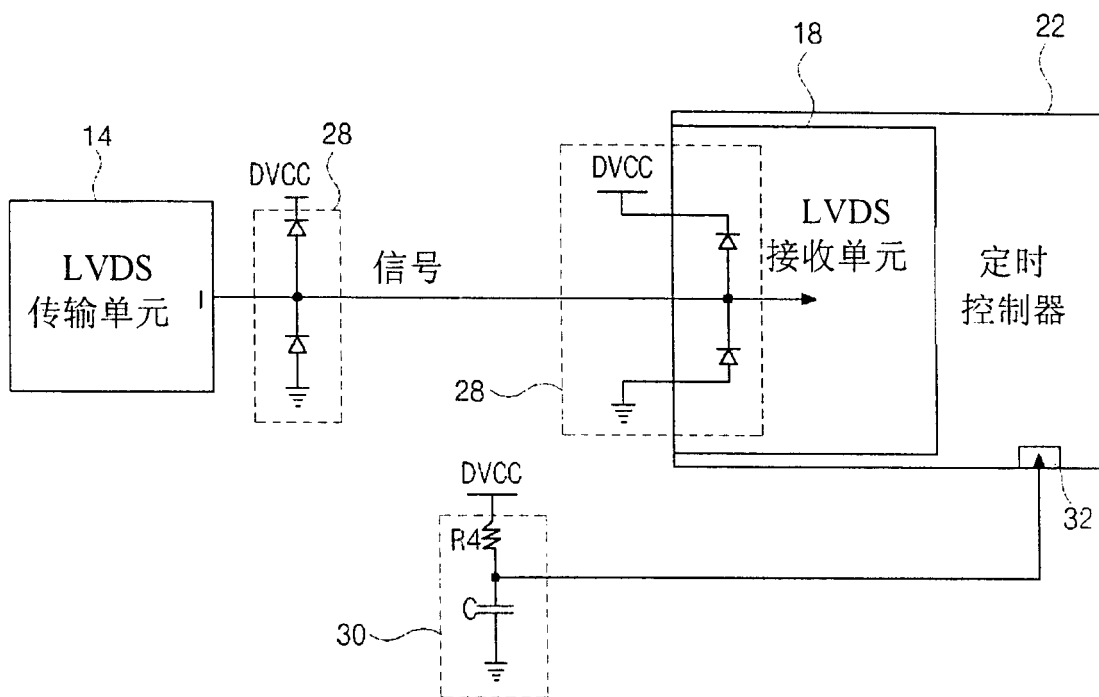


图 2

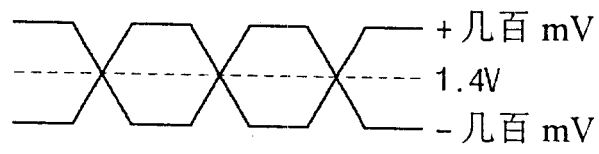


图 3

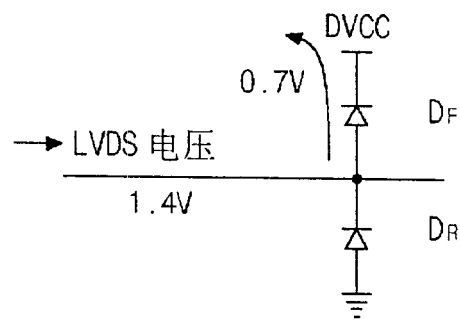


图 4

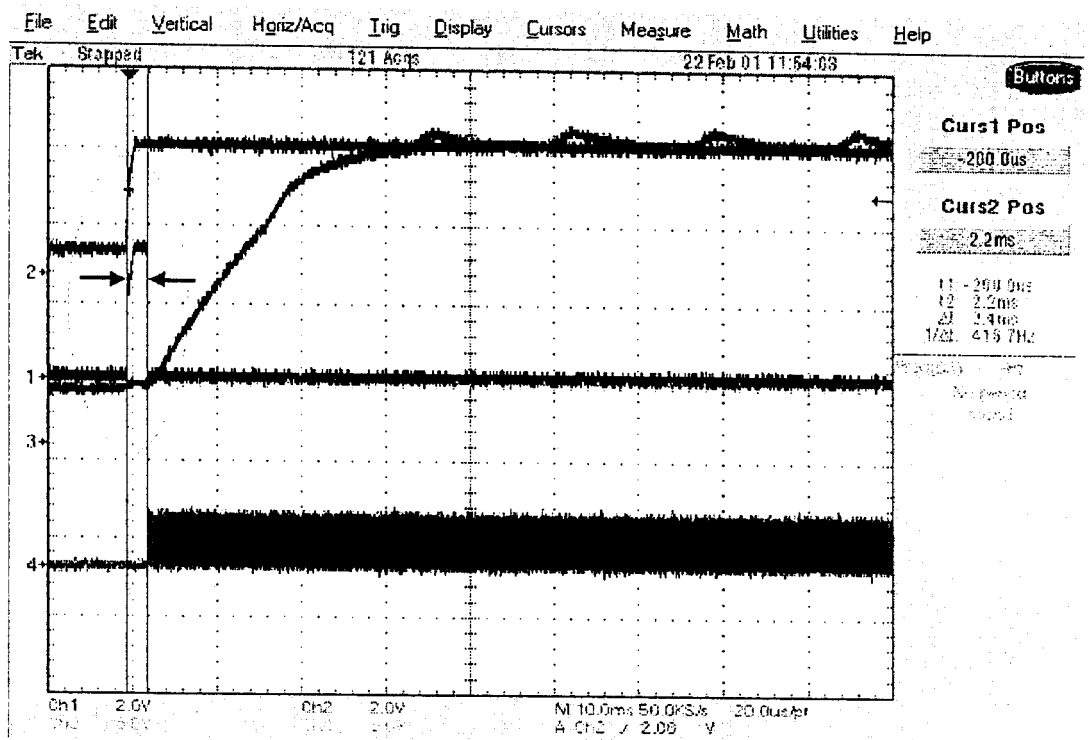


图 5

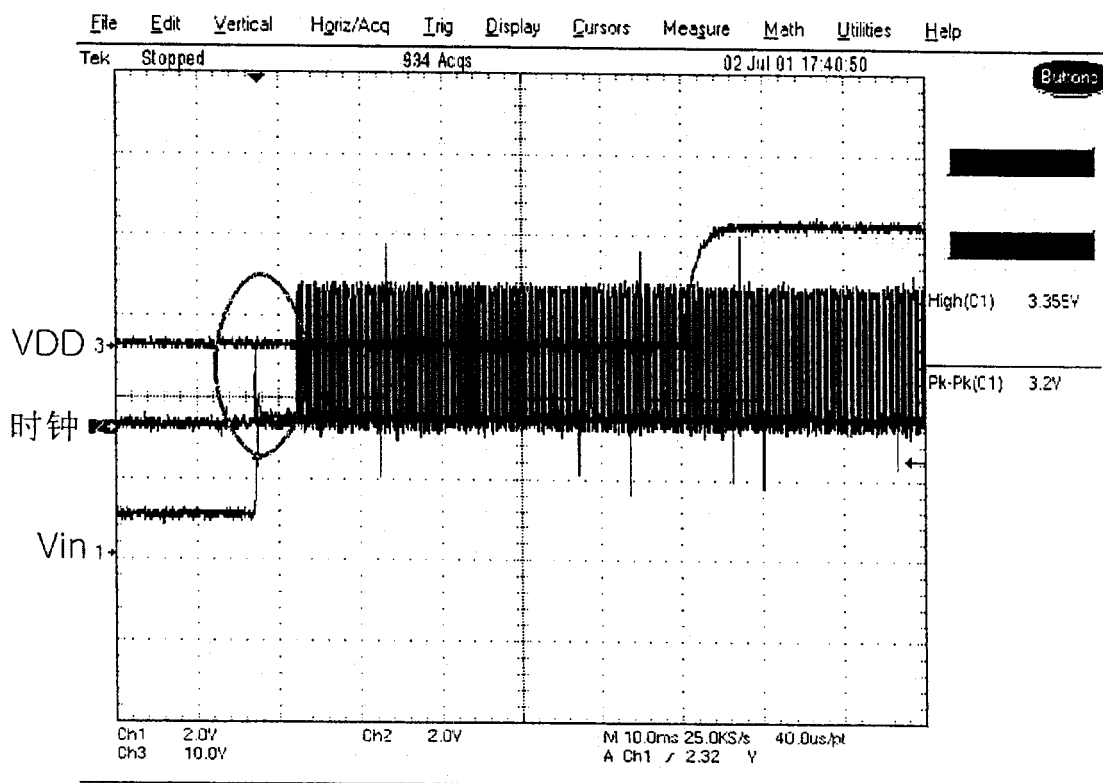


图 6

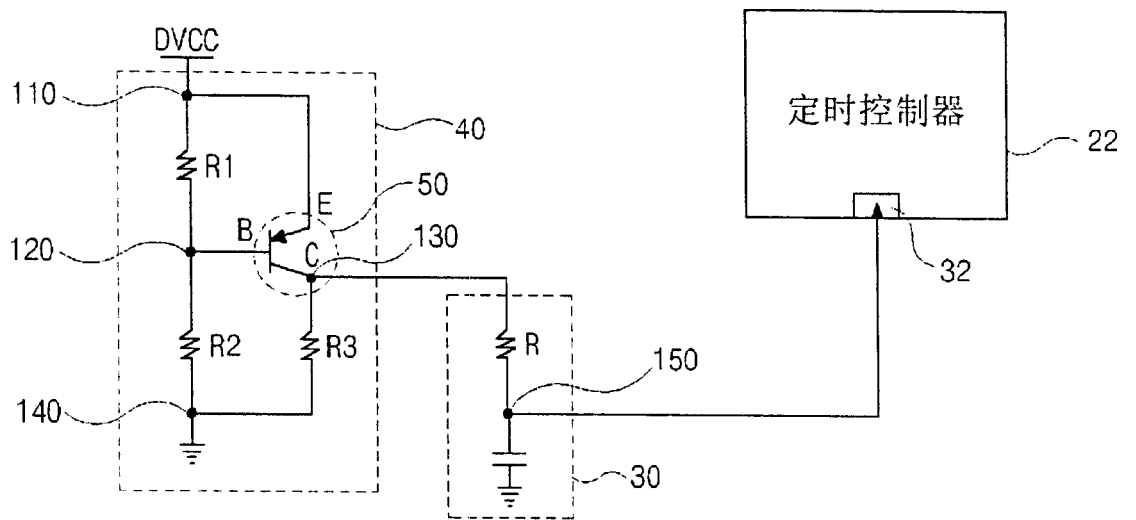


图 7

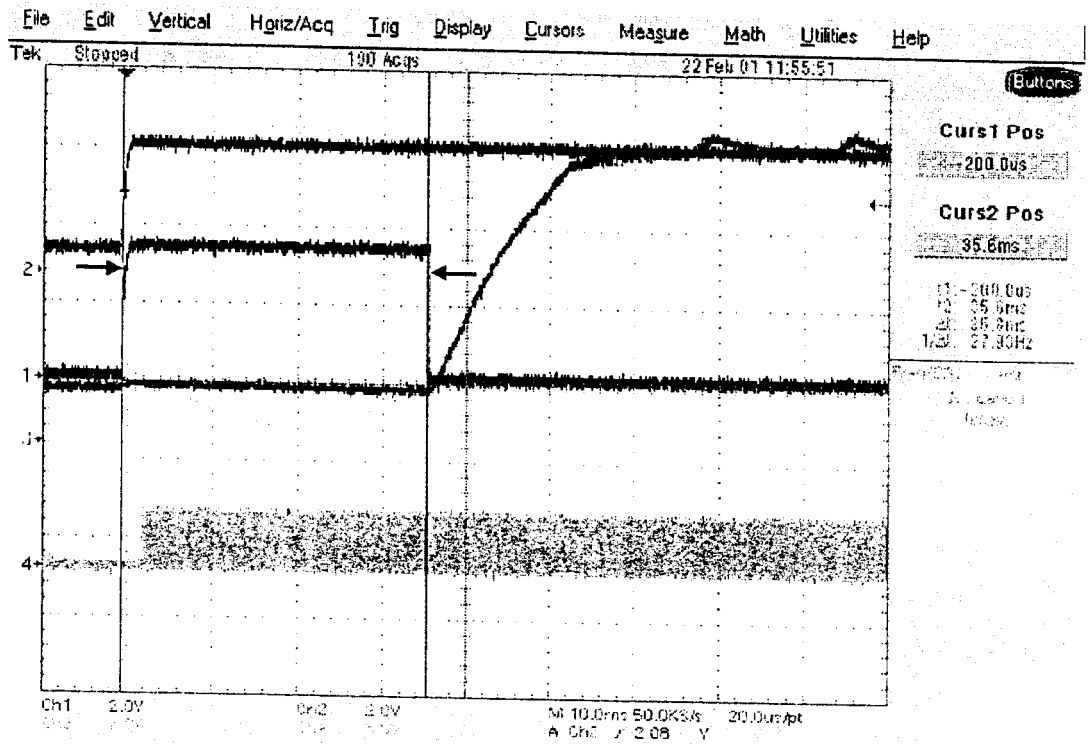


图 8

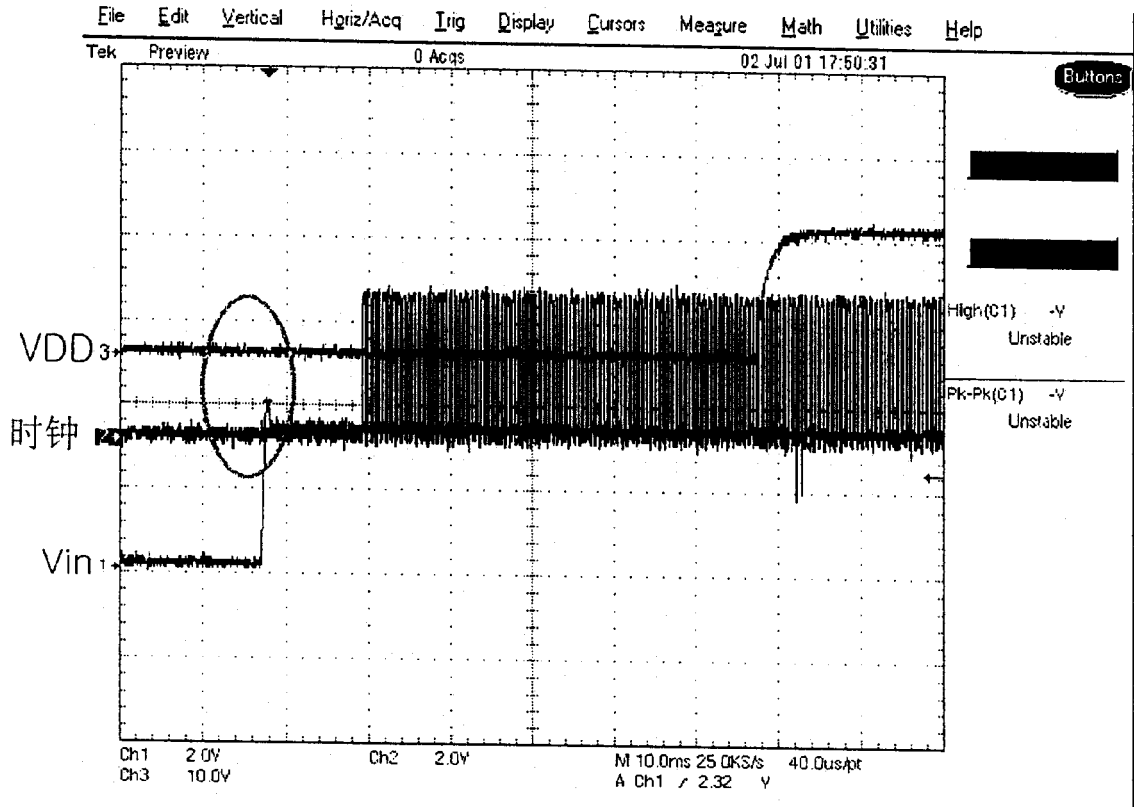


图 9

专利名称(译)	定时控制器的电路、使用其的液晶显示装置及提高该装置可靠性的方法		
公开(公告)号	<a href="#">CN1280780C</a>	公开(公告)日	2006-10-18
申请号	CN200310121813.8	申请日	2003-12-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	LG.飞利浦LCD株式会社		
[标]发明人	崔在权		
发明人	崔在权		
IPC分类号	G09G3/36 G09G5/18 G02F1/133 G09G3/20 H03K17/16 H03K17/22 H03K17/60		
CPC分类号	H03K17/22 G09G3/3611 G09G5/18 G09G2330/026 H03K17/16 H03K17/60		
代理人(译)	徐金国 陈红		
优先权	1020020082724 2002-12-23 KR		
其他公开文献	CN1510654A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

一种定时控制器的复位电路包括：晶体管，所述晶体管包括与第一节点相连的发射极，与第二节点相连的基极和与第三节点相连的集电极，在第一节点上施加数字输入电压(DVCC)；连接在第一和第二节点之间的第一电阻；连接在第二节点和第四节点之间的第二电阻，所述第四节点接地；连接在第三和第四节点之间的第三电阻；连接在第三节点和第五节点之间的第四电阻，所述第五节点与定时控制器的输入端相连；和电容，其第一电极与第五节点相连，第二电极接地。

