



(12) 发明专利申请

(10) 申请公布号 CN 101836247 A

(43) 申请公布日 2010.09.15

(21) 申请号 200880112830.6

(51) Int. Cl.

(22) 申请日 2008.10.14

G09G 3/36(2006.01)

(30) 优先权数据

G02F 1/133(2006.01)

2007-279670 2007.10.26 JP

G09G 3/20(2006.01)

G11C 19/00(2006.01)

(85) PCT申请进入国家阶段日

2010.04.22

(86) PCT申请的申请数据

PCT/JP2008/068545 2008.10.14

(87) PCT申请的公布数据

W02009/054283 JA 2009.04.30

(71) 申请人 夏普株式会社

地址 日本大阪府

(72) 发明人 渡部利男

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 李浩 王忠忠

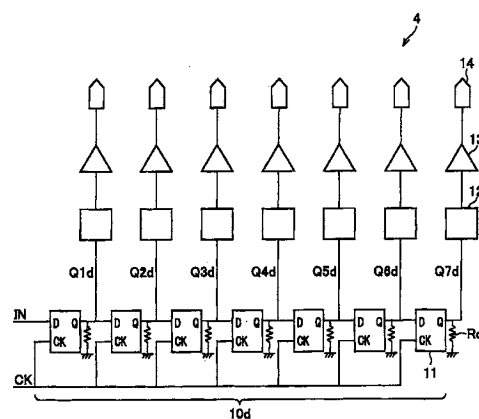
权利要求书 3 页 说明书 14 页 附图 12 页

(54) 发明名称

扫描信号线驱动电路及显示装置

(57) 摘要

本发明的目的在于实现对于向 High 侧改变电平的噪声具有高抗扰性、不易发生显示不良的扫描信号线驱动电路,本发明的配设在 TFT 液晶面板上的栅极驱动器 (4) 具备级联连接有 D-FF(11) 的移位寄存器 (10d),信号从该 D-FF(11) 的数据输出端子 (Q) 输出。此时,所述 D-FF(11) 的数据输出端子 (Q) 上连接有下拉电阻 (Rd),因此,即使接收到向 High 侧改变电平的噪声的情况下,也能防止所述 D-FF 的数据输出端子所输出的信号发生电平变动。由此,可以防止因噪声而导致原本不进行显示的栅极线被激活的情况下所产生的显示不良现象。



1. 一种扫描信号线驱动电路,具备级联连接有M个触发器的第一移位寄存器,M为2以上的整数,该第一移位寄存器将自外部所输入的输入信号同步于时钟信号并依次转送至后级触发器中,且通过从各触发器的数据输出端子输出第一移位脉冲来驱动显示画面的扫描信号线,该扫描信号线驱动电路的特征在于:

在所述触发器中,至少一个触发器的数据输出端子上连接有下拉电阻。

2. 如权利要求1所述的扫描信号线驱动电路,其特征在于:

还具备M个逻辑电路以及级联连接有M个触发器的第二移位寄存器;

所述第二移位寄存器将所述输入信号的反相信号同步于所述时钟信号并依次转送至后级触发器中,且通过各触发器的数据输出端子输出第二移位脉冲,

在所述第二移位寄存器的触发器中,至少一个触发器的数据输出端子上连接有上拉电阻;

所述逻辑电路分别将所述第一移位寄存器的第N级触发器所输出的第一移位脉冲与所述第二移位寄存器的第N级触发器所输出的第二移位脉冲的反相脉冲之间的逻辑和作为第三移位脉冲进行输出,N为1以上M以下的整数,

通过所述第三移位脉冲来驱动所述扫描信号线。

3. 一种扫描信号线驱动电路,具备级联连接有M个触发器的第一移位寄存器,M为2以上的整数,该第一移位寄存器将自外部所输入的输入信号同步于时钟信号并依次转送至后级触发器中,且通过从各触发器的数据输出端子输出第一移位脉冲来驱动显示画面的扫描信号线,该扫描信号线驱动电路的特征在于:

在所述触发器中,至少一个触发器具备有,构成该触发器的数据输入端子的第一传输门、第一变换器、第二传输门、第二变换器、构成数据输出端子的第一缓冲电路,所述数据输入端子、第一传输门、第一变换器、第二传输门、第二变换器以及第一缓冲电路依次按顺序连接;

在所述第一变换器与所述第二传输门之间的第一连接点,设置有第一上拉电阻;

在所述第二变换器与所述第一缓冲电路之间的第二连接点,设置有第一下拉电阻。

4. 如权利要求3所述的扫描信号线驱动电路,其特征在于:

取代将所述第一上拉电阻设置在所述第一连接点,将所述第一上拉电阻设置在所述第二传输门与所述第二变换器之间的第三连接点;

取代将所述第一下拉电阻设置在所述第二连接点,将所述第一下拉电阻设置在所述第一传输门与所述第一变换器之间的第四连接点。

5. 如权利要求3或4所述的扫描信号线驱动电路,其特征在于:

所述第一变换器由输出高电平信号的第一晶体管以及输出低电平信号的第二晶体管所构成;

所述第二变换器由输出高电平信号的第三晶体管以及输出低电平信号的第四晶体管所构成;

取代设置所述第一上拉电阻以及第一下拉电阻,将所述第一晶体管的驱动能力设定为高于所述第二晶体管的驱动能力,将所述第四晶体管的驱动能力设定为高于所述第三晶体管的驱动能力。

6. 如权利要求3或4所述的扫描信号线驱动电路,其特征在于:

还具备 M 个逻辑电路以及级联连接有 M 个触发器的第二移位寄存器；

所述第二移位寄存器，将所述输入信号的反相信号同步于所述时钟信号并依次转送至后级触发器中，且通过各触发器的数据输出端子输出第二移位脉冲，

在所述第二移位寄存器的触发器中，至少一个触发器具备有，构成该触发器的数据输入端子的第三传输门、第三变换器、第四传输门、第四变换器、构成数据输出端子的第二缓冲电路，所述数据输入端子、第三传输门、第三变换器、第四传输门、第四变换器以及第二缓冲电路依次按顺序连接；

在所述第三变换器与所述第四传输门之间的第五连接点，设置有第二下拉电阻；

在所述第四变换器与所述第二缓冲电路之间的第六连接点，设置有第二上拉电阻；

所述逻辑电路分别将所述第一移位寄存器的第 N 级触发器所输出的第一移位脉冲与所述第二移位寄存器的第 N 级触发器所输出的第二移位脉冲的反相脉冲之间的逻辑和作为第三移位脉冲进行输出，其中 N 为 1 以上 M 以下的整数，

通过所述第三移位脉冲，驱动所述扫描信号线。

7. 如权利要求 6 所述的扫描信号线驱动电路，其特征在于：

取代将所述第二下拉电阻设置在所述第五连接点，将所述第二下拉电阻设置在所述第四传输门与所述第四变换器之间的第七连接点；

取代将所述第二上拉电阻设置在所述第六连接点，将所述第二上拉电阻设置在所述第三传输门与所述第三变换器之间的第八连接点。

8. 如权利要求 6 所述的扫描信号线驱动电路，其特征在于：

所述第三变换器由输出高电平信号的第五晶体管以及输出低电平信号的第六晶体管所构成；

所述第四变换器由输出高电平信号的第七晶体管以及输出低电平信号的第八晶体管所构成；

取代设置所述第二上拉电阻以及第二下拉电阻，将所述第六晶体管的驱动能力设定为高于所述第五晶体管的驱动能力，将所述第七晶体管的驱动能力设定为高于所述第八晶体管的驱动能力。

9. 一种扫描信号线驱动电路，其特征在于：

具备至少一个级联连接有 M 个触发器的第一移位寄存器、至少一个级联连接有 M 个触发器的第二移位寄存器、以及 M 个多数表决电路，其中 M 为 2 以上的整数；

所述第一移位寄存器的个数与所述第二移位寄存器的个数合计得到的总数为 3 以上的奇数；

所述第一移位寄存器将自外部所输入的输入信号同步于时钟信号并依次转送至后级触发器中，且通过各触发器的数据输出端子输出第一移位脉冲，

在所述第一移位寄存器的触发器中，至少一个触发器的数据输出端子上连接有下拉电阻；

所述第二移位寄存器将所述输入信号的反相信号同步于所述时钟信号并依次转送至后级触发器中，且通过各触发器的数据输出端子输出第二移位脉冲，

在所述第二移位寄存器的触发器中，至少一个触发器的数据输出端子上连接有上拉电阻；

每个所述多数表决电路中输入所述第一移位寄存器的第 N 级触发器所输出的第一移位脉冲以及所述第二移位寄存器的第 N 级触发器所输出的第二移位脉冲的反相脉冲,其中 N 为 1 以上 M 以下的整数,

所述多数表决电路从输入的脉冲中选择个数多的一方的脉冲作为第三移位脉冲进行输出;

通过所述第三移位脉冲来驱动显示画面的扫描信号线。

10. 如权利要求 9 所述的扫描信号线驱动电路,其特征在于:

在设置多个所述第一移位寄存器或者所述第二移位寄存器的情况下,多个第一移位寄存器或者第二移位寄存器之间互不邻接,且不共用电源配线及 GND 配线。

11. 一种显示装置,其特征在于:

具备权利要求 1 至 4 以及 9 至 10 中任意一项所述的扫描信号线驱动电路。

扫描信号线驱动电路及显示装置

技术领域

[0001] 本发明涉及向显示装置的扫描信号线提供扫描信号的扫描信号线驱动电路,以及使用所述扫描信号线驱动电路的显示装置。

背景技术

[0002] 近几年,人们的周边存在许多电子设备、电气设备、无线设备等的电磁波发生源。这些电磁波发生源所发生的电磁波,对周围的电磁环境带来各种影响,而且,作为电磁波发生源的电子设备等,其本身也会受到其他电磁波产生源所产生的电磁波的影响。因此,对于电子设备等,要求其不对外产生电磁波,并要求其对周围电磁环境具有抗扰性能。

[0003] 在业内已对于电子设备等发生的电磁波制定了评价标准,尤其是作为模拟静电放电的标准,制定了 IEC61000-4-2 标准。而且,使用称为 ESD 枪的脉冲发生装置进行了对应 IEC61000-4-2 标准的试验。在液晶显示器等显示装置中,也使用所述 ESD 枪进行静电放电的模拟试验,以确认对显示是否产生影响。

[0004] 另外,对于电子设备等的电磁波还提出了提高抗扰性能的技术(例如专利文献 1)。

[0005] 图 12 表示的是专利文献 1 所揭示的半导体芯片 91 的结构。半导体芯片 91 的外周部设有多个周边部衬垫 92,这些周边部衬垫 92 通过电线 93 与外部相连接。并且,在半导体芯片 91 的所述周边部衬垫 92 以外的芯片表面上,以直线形状且以格子形状均匀地设有多个中央部衬垫 94。所述中央部衬垫 94 之间通过电线 95 进行连续的引线接合。

[0006] 通过这种结构,可使得因配线电阻而发生的电压降变得微小,并且,会减小配线的电平梯度,从而可以防止因电源噪声而导致的误动作等。

[0007] 专利文献 1:日本国公开专利公报《特开 2005-85829 号公报》(公开日:2005 年 3 月 31 日)

发明内容

[0008] 然而,根据所述现有技术中的结构,多少能对于向 Low 侧(低电平侧)改变电平的噪声而提高抗扰性,但是,当接收到向 High 侧(高电平侧)改变电平的噪声时,就会存在容易发生误动作的问题。特别是,在 TFT 液晶面板等显示装置中,因存在向 High 侧改变电平的噪声而激活计划外的栅极线时,就会存在因出现横向亮线所导致的不良显示的可能性。以下对此进行详细说明。

[0009] 图 13 是,表示现有技术中典型的 TFT 液晶面板 101 结构的概略图。TFT 液晶面板 101 具有玻璃基板 102、源级驱动器 103 以及栅极驱动电路 104。玻璃基板 102 上形成有 TFT107,TFT107 的漏极上连接着在像素电极之间夹持有液晶的像素 108。而且,TFT 107 的源极上连接着与源级驱动器 103 的驱动输出相连的源级线 105。TFT 107 的栅极上连接着与栅极驱动器 104 相连的栅极线 106。

[0010] 通过将栅极线 106 的信号提供给栅极来驱动 TFT107,并使源极线 105 的信号提供

至像素 108 中。提供到像素 108 中的信号,将作为像素 108 与对置电极 109 之间的电压被储存在像素 108 中,利用该电压来确定像素 108 内的液晶的透过程度,以进行显示。

[0011] 图 14 是,表示栅极驱动器 104 的结构的电路图。栅极驱动器 104 包括移位寄存器 110、电平移位器电路 112、输出缓冲器 113 以及输出端子 114。移位寄存器 110 由 7 个 D-FF(D- 触发器)111 构成,来自 D-FF111 的各个输出 Q1 ~ Q7 的信号,将被输入到电平移位器电路 112 中并被转换为信号电平。来自电平移位器电路 112 的信号,通过输出缓冲器 113 从输出端子 114 输出到栅极线 106。

[0012] 在移位寄存器 110 中,各 D-FF111 根据工作时钟 CLK 进行动作,将从输入端 IN 输入的信号按照工作时钟 CLK 的定时依次输出给 Q1 至 Q7 中。栅极驱动器 104 具有使一个输出对应一根栅极线 106 的实装结构,由于进行 TFT 液晶面板 101 的显示,因而依次驱动栅极线 106。

[0013] 移位寄存器 110 的输出 Q1 ~ Q7 通常为 Low,在开始显示的定时,输入端 IN 中会输入 High 脉冲,并依次使 High 脉冲移位。在移位寄存器 110 中被移位的 High 脉冲,通过依次使栅极线 106 处于 High 电平,并使 TFT107 导通来进行画面的显示。

[0014] 在此,对于如栅极驱动器 104 的半导体集成电路,从其周边的电源端子衬垫对其提供电源。近来,因工艺的精细化或芯片尺寸的增加趋势,如专利文献 1 中的背景技术所记载,从电源端子衬垫到芯片内有源区域的电源配线的电阻变大而成为不能被忽略的程度,这将成为电源噪声导致误动作的原因。上述配线电阻的影响不仅仅涉及电源,对信号配线也有同样的影响。

[0015] 具体地说,对于图 13 所示的 TFT 液晶面板 101,进行背景技术中所记载的静电放电模拟试验时,会发生在显示画面出现横向亮线的显示不良现象。通过分析显示不良的原因发现,在栅极驱动器 104 中,由于在 D-FF111 的输出与输出缓冲器 113 的输入侧发生了由改变电平的噪声所导致的电平变动,因此发生了显示中出现横向亮线的现象。

[0016] 即,如上所述,移位寄存器 110 的各个输出因噪声的影响向 High 侧发生电平变动,在原本输出 High 脉冲的定时之外,当栅极驱动器 104 的输出变成 High 状态时,原本不进行显示的栅极线 106 被激活 (ON),发生显示不良现象。

[0017] 还有,移位寄存器 110 的一部分 D-FF111 的输出因噪声而变成 High 状态,而且下一级 D-FF111 的输入读取了该 High 电平的情况下,移位寄存器 110 不仅对正常移位的 High 脉冲进行移位外,还对因噪声而产生的 High 脉冲也进行移位,从而导致显示不良持续的现象。

[0018] 对于向 High 侧改变电平的噪声,如专利文献 1 所揭示,减少配线电阻的电压降的措施也不能提高噪声抗扰性。

[0019] 鉴于以上问题,本发明的目的在于,实现一种对于向 High 侧改变电平的噪声具有高抗扰性的且不容易发生显示不良现象的扫描信号线驱动电路及显示装置。

[0020] 为了实现上述目的,本发明提供的扫描信号线驱动电路具备级联连接有 M 个触发器的第一移位寄存器,M 为 2 以上的整数,该第一移位寄存器将自外部所输入的输入信号同步于时钟信号并依次转送至后级触发器中,且通过从各触发器的数据输出端子输出第一移位脉冲来驱动显示画面的扫描信号线,该扫描信号线驱动电路的特征在于:在所述触发器中,至少一个触发器的数据输出端子上连接有下拉电阻。

[0021] 根据上述结构,第一移位寄存器的M个触发器通过依次转送输入信号来输出用于驱动扫描信号线的第一移位脉冲。其中,至少有一个触发器的数据输出端子上连接有下拉电阻,从外部接收到向High侧改变电平的噪声时,所述下拉电阻起到消除第一移位脉冲的趋向High侧电平变动的作用。由此,可以防止在非计划的定时第一移位脉冲变成High状态并激活原本不进行显示的栅极线而导致的显示不良现象。从而,本发明提供的扫描信号线驱动电路对于向High侧改变电平的噪声具有抗扰性高,且不易发生显示不良现象的效果。

[0022] 本发明提供的扫描信号线驱动电路优选的是,还具备M个逻辑电路以及级联连接有M个触发器的第二移位寄存器;所述第二移位寄存器将所述输入信号的反相信号同步于所述时钟信号并依次转送至后级触发器中,且通过各触发器的数据输出端子输出第二移位脉冲,在所述第二移位寄存器的触发器中,至少一个触发器的数据输出端子上连接有上拉电阻;所述逻辑电路分别将所述第一移位寄存器的第N级触发器所输出的第一移位脉冲与所述第二移位寄存器的第N级触发器所输出的第二移位脉冲的反相脉冲之间的逻辑和作为第三移位脉冲进行输出,其中N为1以上M以下的整数,通过所述第三移位脉冲来驱动所述扫描信号线。

[0023] 根据上述结构,在设有第一移位寄存器的基础上还设置了第二移位寄存器。构成第二移位寄存器的触发器,与第一移位寄存器相反,依次转送输入信号的反相信号,并输出第二移位脉冲。在第二移位寄存器中的至少一个触发器的数据输出端子上,连接有上拉电阻,因而,当从外部接收到向Low侧改变电平的噪声时,所述上拉电阻起到消除第二移位脉冲的趋向Low侧的电平变动的作用。

[0024] 而且,通过逻辑电路取得第一移位寄存器以及第二移位寄存器中的同一级触发器所输出的第一移位脉冲以及第二移位脉冲的反相脉冲之间的逻辑和,并将其作为第三移位脉冲进行输出且以所述第三移位脉冲来驱动扫描信号线。由此,即使在因存在向Low侧改变电平的噪声而导致第一移位寄存器的移位中断进而第一移位脉冲消失的情况下,也能将第二移位脉冲的反相脉冲作为第三移位脉冲进行输出。在此,由于第二移位脉冲是对输入信号的反相信号进行移位而被输出的,因此,第二移位脉冲的反相脉冲与进行正常移位时的第一移位脉冲具有相同的波形。从而,在从外部接收向Low侧改变电平的噪声而导致第一移位脉冲消失的情况下,只要第二移位脉冲不消失,第三移位脉冲就会具有与进行正常移位时的第一移位脉冲相同的波形。

[0025] 并且,如上所述,对于向Low侧改变电平的噪声,第二移位脉冲不易发生电平变动,因此,就第三移位脉冲来说,不仅是对于向High侧改变电平的噪声不易发生电平变动,而且对于向Low侧改变电平的噪声也不易发生电平变动。从而,可以获得对于向High侧改变电平的噪声以及对于向Low侧改变电平的噪声均具有高抗扰性的扫描信号驱动电路。

[0026] 为了实现上述目的,本发明提供的扫描信号线驱动电路具备级联连接有M个触发器的第一移位寄存器,M为2以上的整数,该第一移位寄存器将自外部所输入的输入信号同步于时钟信号并依次转送至后级触发器中,且通过从各触发器的数据输出端子输出第一移位脉冲来驱动显示画面的扫描信号线,该扫描信号线驱动电路的特征在于:在所述触发器中的至少一个触发器具备有,构成该触发器的数据输入端子的第一传输门、第一变换器、第二传输门、第二变换器、构成数据输出端子的第一缓冲电路,所述数据输入端子、第一传输门、第一变换器、第二传输门、第二变换器以及第一缓冲电路依次按顺序连接;在所述第一

变换器与所述第二传输门之间的第一连接点,设置有第一上拉电阻;在所述第二变换器与所述第一缓冲电路之间的第二连接点,设置有第一下拉电阻。

[0027] 根据上述结构,第一移位寄存器的 M 个触发器通过依次转送输入信号来输出用于驱动扫描信号线的第一移位脉冲。其中,至少有一个触发器,其在第一变换器与第二传输门之间的第一连接点,设有第一上拉电阻;其在第二变换器与第一缓冲电路之间的第二连接点,设有第一下拉电阻,因此,可以提高触发器内部对于向 High 侧改变电平的噪声的抗扰性。从而,即使接收到向 High 侧改变电平的噪声,第一移位脉冲也不易发生电平变动。由此,可以防止在非计划的定时第一移位脉冲变成 High 状态并激活原本不进行显示的栅极线而导致的显示不良现象。从而,本发明提供的扫描信号线驱动电路对于向 High 侧改变电平的噪声具有高抗扰性,且不易发生显示不良现象。

[0028] 在本发明提供的扫描信号线驱动电路中,也可以取代将所述第一上拉电阻设置在所述第一连接点的结构,将所述第一上拉电阻设置在所述第二传输门与所述第二变换器之间的第三连接点;取代将所述第一下拉电阻设置在所述第二连接点的结构,将所述第一下拉电阻设置在所述第一传输门与所述第一变换器之间的第四连接点。

[0029] 根据上述结构,将第一上拉电阻设置在第二传输门与第二变换器之间的第三连接点,将第一下拉电阻设置在第一传输门与第一变换器之间的第四连接点,因此,可以提高触发器内部对于向 High 侧改变电平的噪声的抗扰性。从而,即使接收到向 High 侧改变电平的噪声,第一移位脉冲也不易发生电平变动。

[0030] 本发明提供的扫描信号线驱动电路也可以是,所述第一变换器由输出高电平信号的第一晶体管以及输出低电平信号的第二晶体管所构成;所述第二变换器由输出高电平信号的第三晶体管以及输出低电平信号的第四晶体管所构成;取代设置所述第一上拉电阻以及第一下拉电阻的结构,将所述第一晶体管的驱动能力设定为高于所述第二晶体管的驱动能力,将所述第四晶体管的驱动能力设定为高于所述第三晶体管的驱动能力。

[0031] 根据上述结构,在第一变换器中,输出高电平信号的第一晶体管的驱动能力高于输出低电平信号的第二晶体管的驱动能力,因此,与在第一变换器与第二传输门之间的第一连接点设置上拉电阻的结构下的状况相同。而且,在第二变换器中,输出低电平信号的第四晶体管的驱动能力高于输出高电平信号的第三晶体管的驱动能力,因此,与在第二变换器与第一缓冲电路之间的第二连接点设置下拉电阻的结构下的状况相同。从而,可以提高触发器内部的对于向 High 侧改变电平的噪声的抗扰性,并且,即使接收到向 High 侧改变电平的噪声,第一移位脉冲也不易发生电平变动。

[0032] 本发明提供的扫描信号线驱动电路优选的是,还具备 M 个逻辑电路以及级联连接有 M 个触发器的第二移位寄存器;所述第二移位寄存器,将所述输入信号的反相信号同步于所述时钟信号并依次转送至后级触发器中,且通过各触发器的数据输出端子输出第二移位脉冲,在所述第二移位寄存器的触发器中,至少一个触发器具备有,构成该触发器的数据输入端子的第三传输门、第三变换器、第四传输门、第四变换器、构成数据输出端子的第二缓冲电路,所述数据输入端子、第三传输门、第三变换器、第四传输门、第四变换器以及第二缓冲电路依次按顺序连接;在所述第三变换器与所述第四传输门之间的第五连接点,设置有第二下拉电阻;在所述第四变换器与所述第二缓冲电路之间的第六连接点,设置有第二上拉电阻;所述逻辑电路分别将所述第一移位寄存器的第 N 级触发器所输出的第一移位脉

冲与所述第二移位寄存器的第 N 级触发器所输出的第二移位脉冲的反相脉冲之间的逻辑和作为第三移位脉冲进行输出,通过所述第三移位脉冲,驱动所述扫描信号线,其中 N 为 1 以上 M 以下的整数。

[0033] 根据上述结构,在设有第一移位寄存器的基础上还设置了第二移位寄存器。构成第二移位寄存器的触发器,与第一移位寄存器相反,依次转送输入信号的反相信号,并输出第二移位脉冲。在第二移位寄存器的至少一个触发器中,于第三变换器与第四传输门之间的第五连接点,设置有第二下拉电阻,于第四变换器与第二缓冲电路之间的第六连接点,设置有第二上拉电阻,因此,可以提高触发器内部的、对于向 Low 侧改变电平的噪声的抗扰性。从而,即使接收到向 Low 侧改变电平的噪声,第二移位脉冲也不易发生电平变动。

[0034] 而且,通过逻辑电路取得第一移位寄存器以及第二移位寄存器中的同一级触发器所输出的第一移位脉冲以及第二移位脉冲的反相脉冲之间的逻辑和,并将其作为第三移位脉冲进行输出且以该第三移位脉冲来驱动扫描信号线。由此,即使在因存在向 Low 侧改变电平的噪声而导致第一移位寄存器的移位中断进而第一移位脉冲消失的情况下,也能将第二移位脉冲的反相脉冲作为第三移位脉冲进行输出。在此,由于第二移位脉冲是对输入信号的反相信号进行移位而被输出的,因此,第二移位脉冲的反相脉冲与正常进行了移位时的第一移位脉冲具有相同的波形。从而,在从外部接收向 Low 侧改变电平的噪声而导致第一移位脉冲消失的情况下,只要第二移位脉冲不消失,第三移位脉冲就会具有与进行正常移位时的第一移位脉冲相同的波形。

[0035] 并且,如上所述,对于向 Low 侧改变电平的噪声,第二移位脉冲不易发生电平变动,因此,就第三移位脉冲来说,不仅对于向 High 侧改变电平的噪声不易发生电平变动,对于向 Low 侧改变电平的噪声也不易发生电平变动。从而,可以获得对于向 High 侧改变电平的噪声以及对于向 Low 侧改变电平的噪声均具有高抗扰性的扫描信号驱动电路。

[0036] 在本发明提供的扫描信号线驱动电路中,也可以取代将所述第二下拉电阻设置在所述第五连接点的结构,将所述第二下拉电阻设置在所述第四传输门与所述第四变换器之间的第七连接点;取代将所述第二上拉电阻设置在所述第六连接点的结构,将所述第二上拉电阻设置在所述第三传输门与所述第三变换器之间的第八连接点。

[0037] 根据上述结构,将第二下拉电阻设置在第四传输门与第四变换器之间的第七连接点,将第二上拉电阻设置在第三传输门与第三变换器之间的第八连接点,因此,可以提高触发器内部的、对于向 Low 侧改变电平的噪声的抗扰性。从而,即使接收到向 Low 侧改变电平的噪声,第二移位脉冲也不易发生电平变动。

[0038] 在本发明提供的扫描信号线驱动电路中,也可以是,所述第三变换器由输出高电平信号的第五晶体管以及输出低电平信号的第六晶体管构成;所述第四变换器由输出高电平信号的第七晶体管以及输出低电平信号的第八晶体管所构成;取代设置所述第二上拉电阻以及第二下拉电阻的结构,将所述第六晶体管的驱动能力设定为高于所述第五晶体管的驱动能力,将所述第七晶体管的驱动能力设定为高于所述第八晶体管的驱动能力。

[0039] 根据上述结构,在第三变换器中,输出低电平信号的第六晶体管的驱动能力高于输出高电平信号的第五晶体管的驱动能力,因此,与在第三变换器与第四传输门之间的第五连接点设置下拉电阻的结构下的状况相同。而且,在第四变换器中,输出高电平信号的第七晶体管的驱动能力高于输出低电平信号的第八晶体管的驱动能力,因此,与在第四变换

器与第二缓冲器电路之间的第六连接点设置上拉电阻的结构下的状况相同。从而可提高触发器内部的对于向 Low 侧改变电平的噪声的抗扰性,并且,即使接收到向 Low 侧改变电平的噪声,第二移位脉冲也不易发生电平变动。

[0040] 为了实现上述目的,本发明提供的扫描信号线驱动电路的特征在于:具备至少一个级联连接有 M 个触发器的第一移位寄存器、至少一个级联连接有 M 个触发器的第二移位寄存器以及 M 个多数表决电路,其中, M 为 2 以上的整数;所述第一移位寄存器的个数与所述第二移位寄存器的个数合计得到的总数为 3 以上的奇数;所述第一移位寄存器将自外部所输入的输入信号同步于时钟信号并依次转送至后级触发器中,且通过各触发器的数据输出端子输出第一移位脉冲,在所述第一移位寄存器的触发器中,至少一个触发器的数据输出端子上连接有下拉电阻;所述第二移位寄存器将所述输入信号的反相信号同步于所述时钟信号并依次转送至后级触发器中,且通过各触发器的数据输出端子输出第二移位脉冲,在所述第二移位寄存器的触发器中,至少一个触发器的数据输出端子上连接有上拉电阻;每个所述多数表决电路中输入所述第一移位寄存器的第 N 级触发器所输出的第一移位脉冲以及所述第二移位寄存器的第 N 级触发器所输出的第二移位脉冲的反相脉冲,其中 N 为 1 以上 M 以下的整数,所述多数表决电路从输入的脉冲中选择个数多的一方的脉冲作为第三移位脉冲进行输出;通过所述第三移位脉冲来驱动显示画面的扫描信号线。

[0041] 根据上述结构,设置了使得第一移位寄存器的个数与所述第二移位寄存器的个数合计得到的总数为 3 以上的奇数。其中,如上所述,在第一移位寄存器中,由于下拉电阻的存在,增加了对于向 High 侧改变电平的噪声的抗扰性,而在第二移位寄存器中,由于上拉电阻的存在,增加了对于向 Low 侧改变电平的噪声的抗扰性。

[0042] 而且,第一移位寄存器以及第二移位寄存器中的同一级触发器所输出的第一移位脉冲以及第二移位脉冲的反相脉冲,将输入至多数表决电路中,多数表决电路从输入的脉冲中选择个数多的一方的脉冲并将其作为第三移位脉冲进行输出。在所有的移位寄存器正常进行移位动作的情况下,第一移位脉冲与第二移位脉冲的反相脉冲的波形相同。在此,即使是因存在来自外部的向 High 侧改变电平的噪声以及向 Low 侧改变电平的噪声而导致一部分移位脉冲发生误动作且一部分输入脉冲具有不同波形的情况下,多数表决电路也能选择出个数多的一方的脉冲,因此,第三移位脉冲的波形与正常时的波形相同。从而可获得对于向 High 侧改变电平的噪声以及对于向 Low 侧改变电平的噪声均具有高抗扰性的扫描信号驱动电路。

[0043] 在本发明提供的扫描信号线驱动电路中,优选的是,在设置多个所述第一移位寄存器或者所述第二移位寄存器的情况下,多个第一移位寄存器或者第二移位寄存器之间互不邻接,且不共用电源配线及 GND 配线。

[0044] 就第一移位寄存器来说,其对于向 High 侧改变电平的噪声具有高抗扰性,相反地,其对于向 Low 侧改变电平的噪声则抗扰性低。还有,就第二移位寄存器来说,其对于向 Low 侧改变电平的噪声具有高抗扰性,相反地,其对于向 High 侧改变电平的噪声则抗扰性低。因此,例如在第一移位寄存器的设置个数比第二移位寄存器的设置个数多的情况下,因存在向 Low 侧改变电平的噪声而导致所有第一移位寄存器发生误动作时,会使多数表决电路输出的第三移位脉冲也变成错误的信号。

[0045] 对此,根据上述结构,第一移位寄存器或者第二移位寄存器之间互不邻接,且不共

用电源配线及 GND 配线,因此,可以降低由向 High 侧改变电平的噪声或者向 Low 侧改变电平的噪声所导致的第一或者第二移位寄存器的任意一方的整体发生误动作的风险。从而,可以进一步降低噪声对第三移位脉冲产生的影响。

[0046] 本发明提供的显示装置的特征在于具备上述扫描信号线驱动电路。

[0047] 根据上述结构,由于本发明提供的扫描信号线驱动电路对于向 High 侧改变电平的噪声,或者对于向 High 侧改变电平的噪声与向 Low 侧改变电平的噪声双方均具有高抗扰性,因此,至少可以提供对于向 High 侧改变电平的噪声具有高抗扰性的、且不易发生显示不良现象的显示装置。

[0048] 如上所述,在本发明提供的扫描信号线驱动电路中,所述触发器中的至少一个触发器的输出端子上连接有下拉电阻,因此,对于向 High 侧改变电平的噪声具有高抗扰性,且不易发生显示不良现象。

[0049] 本发明的其他目的、特征和优点在以下的描述中会变得十分明了。此外,以下参照附图来明确本发明的优点。

附图说明

[0050] 图 1 是表示本发明实施方式 1 所涉及的栅极驱动器结构的电路图。

[0051] 图 2 是表示本发明实施方式 1 所涉及的 TFT 液晶面板结构的概略图。

[0052] 图 3 是表示本发明实施方式 2 所涉及的栅极驱动器结构的电路图。

[0053] 图 4 是表示,在图 3 所示的栅极驱动器未接收到噪声的通常情况下来自各个触发器以及 OR 电路的信号波形的时序图。

[0054] 图 5 是表示,在图 3 所示的栅极驱动器接收到向 Low 侧改变电平的噪声时来自各个触发器以及 OR 电路的信号波形的时序图。

[0055] 图 6 是表示本发明实施方式所涉及的逻辑电路的变形例的电路图。

[0056] 图 7 是表示本发明实施方式 3 所涉及的栅极驱动器结构的电路图。

[0057] 图 8 是表示构成图 7 所示栅极驱动器中的一方移位寄存器的触发器详细结构的电路图。

[0058] 图 9 是表示构成图 7 所示栅极驱动器中的另一方移位寄存器的触发器详细结构的电路图。

[0059] 图 10 是表示本发明实施方式 4 所涉及的栅极驱动器结构的电路图。

[0060] 图 11 是表示设置于图 10 所示栅极驱动器中的多数表决电路的详细结构的电路图。

[0061] 图 12 是表示现有技术中的半导体芯片结构的概略图。

[0062] 图 13 是表示现有技术中的 TFT 液晶面板结构的概略图。

[0063] 图 14 是表示现有技术中的栅极驱动器结构的电路图。

[0064] [附图标记说明]

[0065] 1 TFT 液晶面板 (显示装置)

[0066] 4、24、34、44 栅极驱动器 (扫描信号线驱动电路)

[0067] 6 栅极线 (扫描信号线)

[0068] 10d、10e 移位寄存器 (第一移位寄存器)

[0069]	10u	移位寄存器（第二移位寄存器）
[0070]	10d、10u、10e	移位寄存器
[0071]	11	D-FF（触发器）
[0072]	12	电平移位电路
[0073]	15	OR 电路（逻辑电路）
[0074]	16	AND 电路（逻辑电路）
[0075]	25	多数表决电路
[0076]	30d	移位寄存器（第一移位寄存器）
[0077]	30u	移位寄存器（第二移位寄存器）
[0078]	31d、31u	D-FF（触发器）
[0079]	BUFF	缓冲器（第一缓冲电路、第二缓冲电路）
[0080]	CLK	工作时钟（时钟信号）
[0081]	D	数据输入端子
[0082]	IN	输入信号
[0083]	N2	晶体管（第二晶体管、第六晶体管）
[0084]	N4	晶体管（第四晶体管、第八晶体管）
[0085]	P2	晶体管（第一晶体管、第五晶体管）
[0086]	P4	晶体管（第三晶体管、第七晶体管）
[0087]	Q	数据输出端子
[0088]	Q1 ~ Q7	信号（第三移位脉冲）
[0089]	Q1d ~ Q7d	信号（第一移位脉冲）
[0090]	Q1u ~ Q7u	信号（第二移位脉冲）
[0091]	Q1e ~ Q7e	信号（第一移位脉冲）
[0092]	Q11d ~ Q17d	信号（第一移位脉冲）
[0093]	Q11u ~ Q17u	信号（第二移位脉冲）
[0094]	Rd	下拉电阻
[0095]	Rd1	下拉电阻（第一下拉电阻）
[0096]	Rd2	下拉电阻（第二下拉电阻）
[0097]	Ru	上拉电阻
[0098]	Ru1	上拉电阻（第一上拉电阻）
[0099]	Ru2	上拉电阻（第二上拉电阻）
[0100]	a	点（第四连接点、第八连接点）
[0101]	b	点（第一连接点、第五连接点）
[0102]	c	点（第三连接点、第七连接点）
[0103]	d	点（第二连接点、第六连接点）

具体实施方式

[0104] 以下,将参照附图说明本发明所提供的半导体装置的实施方式。另外,在以下说明中,为了更好地实施本发明而限定了各种优选的技术特征,但本发明并不局限于以下说明

的实施方式以及附图。

[0105] [实施方式 1]

[0106] 下面参照图 1 以及图 2 说明本发明的实施方式 1。

[0107] 图 2 是表示本实施方式的 TFT 液晶面板 1 结构的概略图。TFT 液晶面板 1 具有玻璃基板 2、源极驱动器 3 以及栅极驱动器 4。玻璃基板 2 上设有源极线 5 以及栅极线 6, 在源极线 5 以及栅极线 6 的各交点, 设有 TFT7 以及像素 8, 而且, 像素 8 的一端与对置电极 9 相连接。在此, TFT 液晶面板 1 的玻璃基板 2、源极驱动器 3、源极线 5、栅极线 6、TFT7、像素 8 以及对置电极 9 分别与图 13 中的 TFT 液晶面板 101 的玻璃基板 102、源极驱动器 103、源极线 105、栅极线 106、TFT107、像素 108 以及对置电极 109 大致相同, 从而省略对这些部件的详细说明。

[0108] 在本实施方式中, 为了加强 TFT 液晶面板 1 对于电磁波噪声的抗扰性, 按如下结构形成了栅极驱动器 4。

[0109] 图 1 是表示栅极驱动器 4 的结构的电路图。栅极驱动器 4 具有移位寄存器 10d、7 个电平移位电路 12、7 个输出缓冲器 13 以及 7 个输出端子 14, 其中, 移位寄存器 10d 具有级联连接的 7 个 D-FF11。D-FF11、电平移位电路 12、输出缓冲器 13 以及输出端子 14 分别与图 14 所示的 D-FF111、电平移位电路 112、输出缓冲器 113 以及输出端子 114 大致相同。另外, 电平移位电路 12 或输出缓冲器 13 的个数并不局限于 7 个, 可以根据进行扫描的栅极线的个数而适当设定。

[0110] 移位寄存器 10d 具有级联连接的 7 个 D-FF11, 移位寄存器 10d 的初级 D-FF11 的数据输入端子 D 上将输入栅极驱动器 4 的输入信号 IN。而且, 移位寄存器 10d 的各 D-FF11 的时钟端子 CK 上将输入工作时钟 CLK, 从各 D-FF11 的数据输出端子 Q 中将输出信号 Q1d ~ Q7d。

[0111] 而且, 在移位寄存器 10d 中, 各 D-FF11 的数据输出端子 Q 上连接有下拉电阻 Rd。具体地说, 各 D-FF11 的数据输出端子 Q 连接下拉电阻 Rd 的一端, 下拉电阻 Rd 的另一端接地。

[0112] 由此, 从外部接收到电磁波噪声, D-FF11 的信号 Q1d ~ Q7d 要向 High 侧发生电平变动的情况下, 可以消除该电平变动。从而, 可以防止显示不良的现象, 这里所说的显示不良是, 因存在向 High 侧改变电平的噪声而发生原本不进行显示的栅极线被激活所导致的结果。

[0113] 另外, 下拉电阻 Rd 的电阻值越小, 对于向 High 侧改变电平的噪声的抗扰性会越强, 而反面, 移位寄存器 10d 输出 High 脉冲的驱动能力会下降。移位寄存器 10d 的驱动能力下降时, 接收到向 Low 侧改变电平的噪声的情况下, 可能会消除正常进行移位的 High 脉冲。而且, 下拉电阻 Rd 的电阻值成为与各 D-FF11 的缓冲能力之间的相对值, 根据驱动的电路规模或工作速率的不同, 所需的各 D-FF11 的缓冲能力值不同。从而, 设定下拉电阻 Rd 的电阻值时要考虑假定的噪声、D-FF11 的缓冲能力等。

[0114] 而且, 在本实施方式中, 在各 D-FF11 的数据输出端子 Q 上设置了下拉电阻 Rd, 即使是至少在一个 D-FF11 的数据输出端子 Q 上设置下拉电阻 Rd 的结构, 与现有技术相比, 也能提高噪声抗扰性。另外, D-FF11 也可以是如 JK 型等其他的触发器。

[0115] [实施方式 2]

[0116] 下面参照图 3 至图 6 说明本发明的实施方式 2。根据实施方式 1 所涉及的栅极驱动器 4,可提高对于向 High 侧改变电平的噪声的抗扰性,但反面,由于设置了下拉电阻 R_d ,导致对于向 Low 侧改变电平的噪声所具有的抗扰性下降。因此,在本实施方式中,说明对于向 Low 侧改变电平的噪声也能提高对噪声的抗扰性的结构。

[0117] 图 3 是表示本实施方式所涉及的栅极驱动器 24 结构的电路图。栅极驱动器 24 具有 2 个移位寄存器 10d 及移位寄存器 10u、7 个电平移位电路 12、7 个输出缓冲器 13、7 个输出端子 14 以及 7 个 OR 电路 15。即,栅极驱动器 24 具有在图 1 所示栅极驱动器 4 的结构的基础上还设有移位寄存器 10u 以及 OR 电路 15 的结构。

[0118] 移位寄存器 10u 与移位寄存器 10d 相同,具有级联连接的 7 个 D-FF11,移位寄存器 10u 的初级 D-FF11 的数据输入端子 D 上通过变换器 INV1 将输入栅极驱动器 4 的输入信号 IN。而且,移位寄存器 10u 的各 D-FF11 的时钟端子 CK 上,也将输入工作时钟 CLK,各 D-FF11 的数据输出端子 Q 将输出信号 $Q_{1u} \sim Q_{7u}$ 。

[0119] 并且,移位寄存器 10u 的各 D-FF 11 的数据输出端子 Q 上连接有上拉电阻 R_u 。具体地说,各 D-FF11 的数据输出端子 Q 连接上拉电阻 R_u 的一端,上拉电阻 R_u 的另一端连接电源电位。

[0120] 移位寄存器 10d 的各 D-FF11 将输出信号 $Q_{1d} \sim Q_{7d}$,移位寄存器 10u 的各 D-FF11 将输出信号 $Q_{1u} \sim Q_{7u}$ 。信号 $Q_{1d} \sim Q_{7d}$ 分别输入至各 OR 电路 15 的输入端子的一侧。一方面,信号 $Q_{1u} \sim Q_{7u}$ 分别通过变换器 INV1 输入至各 OR 电路 15 的输入端子的另一侧。由此,在各 OR 电路 15 中,将信号 Q_{md} 与信号 Q_{mu} (m 为 1 ~ 7 的整数) 的反相信号之间的逻辑和,作为信号 Q_m (m 为 1 ~ 7 的整数) 输出到各个电平移位电路 12 中。各信号 $Q_1 \sim Q_7$,通过电平移位电路 12 改变信号电平,并通过输出缓冲器 13 从输出端子 14 输出到栅极线。

[0121] 如所述,本实施方式中的栅极驱动器 24 具有两个移位寄存器,即,在各 D-FF11 的数据输出端子 Q 上设置了下拉电阻 R_d 的移位寄存器 10d,以及,在各 D-FF11 的数据输出端子 Q 上设置了上拉电阻 R_u ,并对与移位寄存器 10d 进行移位的信号具有相反逻辑值的信号进行移位的移位寄存器 10u。因此,在移位寄存器 10d 中,对于接收到来自外部的电磁波噪声而将导致 D-FF11 的信号 $Q_{1d} \sim Q_{7d}$ 向 High 侧发生电平变动的情况下,产生消除该电平变动的效果。一方面,在移位寄存器 10u 中,对于接收到来自外部的电磁波噪声而将导致 D-FF11 的信号 $Q_{1u} \sim Q_{7u}$ 向 Low 侧发生电平变动的情况下,产生消除该电平变动的效果。

[0122] 并且,来自移位寄存器 10d 的信号 Q_{md} (m 为 1 ~ 7 的整数) 与来自移位寄存器 10u 的信号 Q_{mu} (m 为 1 ~ 7 的整数) 将输入到 OR 电路 15 中,并由 OR 电路将这些信号的逻辑和作为信号 Q_m (m 为 1 ~ 7 的整数) 进行输出。从而,即使在因来自外部的噪声而消除了移位寄存器 10d、10u 一侧的输出的情况下,信号 $Q_1 \sim Q_7$ 也不会消失。由此,栅极驱动器 4 不仅能提高对于向 High 侧改变电平的噪声的抗扰性,还能提高对于向 Low 侧改变电平的噪声的抗扰性。

[0123] 接着,对来自移位寄存器 10d、10u 以及 OR 电路 15 的输出信号的定时进行说明。

[0124] 图 4 是表示在未接收到噪声的通常情况下,信号 $Q_{1d} \sim Q_{7d}$ 、信号 $Q_{1u} \sim Q_{7u}$ 以及信号 $Q_1 \sim Q_7$ 的信号波形的时序图。当有输入信号 IN 输入时,在移位寄存器 10d 中,与工作时钟 CLK 的上升相配合,各 D-FF11 对输入信号 IN 进行移位,并输出信号 $Q_{1d} \sim Q_{7d}$ 。另一方面,在移位寄存器 10u 中,与工作时钟 CLK 的上升相配合,各 D-FF11 对输入信号 IN 进

行移位,并输出信号 $Q1u \sim Q7u$ 。信号 Qmd 、以及信号 Qmu (m 为 $1 \sim 7$ 的整数) 的反相信号将输入到 OR 电路 15 中,并由 OR 电路 15 输出这些信号逻辑和,即输出信号 Qm (m 为 $1 \sim 7$ 的整数)。

[0125] 图 5 是表示当接收到向 Low 侧改变电平的噪声的情况下,信号 $Q1d \sim Q7d$ 、信号 $Q1u \sim Q7u$ 以及信号 $Q1 \sim Q7$ 的信号波形的时序图。在移位寄存器 10d 中,由于噪声的影响,信号 $Q3d$ 的 High 脉冲消失,因此信号 $Q4d \sim Q7d$ 也不会被输出。另一方面,在移位寄存器 10u 中,在各 D-FF11 的数据输出端子 Q 上设置了上拉电阻 Ru ,因此信号 $Q4u \sim Q7u$ 很难向 Low 侧发生变动。因而,在移位寄存器 10u 中,很难受到将信号向 Low 侧进行变动的噪声的影响,且发生噪声时信号 $Q3d$ 也不会消失。从而,信号 $Q4u \sim Q7u$ 不会受噪声的影响,与通常情况相同地被输出,并且信号 $Q4u \sim Q7u$ 的反相信号会输入到 OR 电路 15 中。以此,来自 OR 电路 15 的输出信号 $Q1 \sim Q7$ 具有与通常情况相同的波形。

[0126] 相反地,当接收到向 High 侧改变电平的噪声的情况下,即使是在移位寄存器 10u 中的移位中断时,在移位寄存器 10d 中,也很难受到将信号向 High 侧进行变动的噪声的影响,因此,来自移位寄存器 10d 的信号 $Q1d \sim Q7d$ 不会消失。从而,来自 OR 电路 15 的输出信号 $Q1 \sim Q7$ 上不会出现噪声的影响。

[0127] 如以上所述,在接收到向 Low 侧改变电平的噪声以及向 High 侧改变电平的噪声中任何一种噪声的情况下,栅极驱动器 4 均能输出与通常情况相同的信号。从而,对于具备本实施方式所涉及的栅极驱动器 24 的 TFT 液晶面板来说,即使接收到外部的电磁波噪声,也不易发生显示不良的现象。

[0128] 另外,在栅极驱动器 24 中,用于输出来自移位寄存器 10d 的信号 Qmd (m 为 $1 \sim 7$ 的整数) 与来自移位寄存器 10u 的信号 Qmu (m 为 $1 \sim 7$ 的整数) 的反相信号两者的逻辑和的电路,并不局限于 OR 电路 15,也可以采用 AND 电路。即,如图 6 所示,将信号 Qmd 的反相信号与信号 Qmu 输入到 AND 电路 16 中,并将 AND 电路 16 的输出信号的反相信号作为信号 Qm ,输出到电平移位电路 12 中。

[0129] [实施方式 3]

[0130] 下面,参照图 7 至图 9 说明本发明的实施方式 3。在实施方式 1、2 中,说明了在 D-FF 的数据输出端子与下一级数据输入端子之间连接下拉电阻或上拉电阻的结构。由此,可以提高各 D-FF 之间的噪声抗扰性,但是,由于 D-FF 内部电路会受到噪声的影响,因此会有来自 D-FF 的输出信号发生变动的可能性。因此在本实施方式中,说明通过在 D-FF 内部设置下拉电阻以及上拉电阻来提高栅极驱动器的噪声抗扰性的结构。

[0131] 图 7 是表示本实施方式所涉及的栅极驱动器 34 结构的电路图。栅极驱动器 34 的结构,与在图 3 所示的栅极驱动器 24 的结构中取代移位寄存器 10d、10u 设置了移位寄存器 30d、30u 后的结构相同。移位寄存器 30d 为,在图 3 所示的移位寄存器 10d 中未在 D-FF 之间设置下拉电阻 Rd ,并取代 D-FF11 设置了 D-FF31d 的结构,各 D-FF31d 将输出信号 $Q11d \sim Q17d$ 。而且,移位寄存器 30u 为,在图 3 所示的移位寄存器 10u 中未在 D-FF 之间设置上拉电阻 Ru ,并取代 D-FF11 设置了 D-FF31u 的结构,各 D-FF31u 将输出信号 $Q11u \sim Q17u$ 。另外,在图 7 中,对于与图 3 所示的栅极驱动器 24 中的部件相同的部件,采用相同的符号,并省略其详细说明。

[0132] D-FF31d 以及 D-FF31u 均在其内部设置了下拉电阻以及上拉电阻。D-FF31d 对于

将信号向 High 侧进行变动的噪声具有加强了抗扰性的结构。D-FF31u 对于将信号向 Low 侧进行变动的噪声具有加强了抗扰性的结构。

[0133] 从而,信号 Q11d ~ Q17d 不易受到向 High 侧引起变动的噪声的影响,信号 Q11u ~ Q17u 不容易受到向 Low 侧引起变动的噪声的影响。而且,将信号 Qnd(n 为 11 ~ 17 的整数)、以及信号 Qnu(n 为 11 ~ 17 的整数)的反相信号输入到 OR 电路 15 中,并由 OR 电路 15 将这些信号的逻辑和作为 Qm(n 为 11 ~ 17 的整数)进行输出。从而,由于外部的噪声导致移位寄存器 30d、30u 的一侧输出消失的情况下,信号 Q1 ~ Q7 也不会消失。

[0134] 接着,对 D-FF31d、D-FF31u 的具体结构进行说明。

[0135] 图 8 是表示 D-FF31d 的详细结构的电路图。D-FF31d 具有 8 个 P 通道(channel) MOS 晶体管 P1 ~ P8(以下称为晶体管 P1 ~ P8)、8 个 N 通道 MOS 晶体管 N1 ~ N8(以下称为晶体管 N1 ~ N8)、3 个变换器 INV3 以及缓冲器 BUFF。输入至时钟输入端子 CK 中的工作时钟 CLK 的一侧,通过 2 个变换器 INV3 成为信号 CKD。而且,输入至时钟输入端子 CK 中的工作时钟 CLK 的另一侧,则通过 1 个变换器 INV3 成为信号 CKDB。

[0136] 2 个晶体管 P1、N1 构成传输门(第一传输门),来自数据输入端子 D 的信号将输入到第一传输门。晶体管 P1 的栅极中将输入信号 CKD,晶体管 N1 的栅极中将输入信号 CKDB。

[0137] 2 个晶体管 P2、N2 构成变换器(第一变换器)。而且,4 个晶体管 P5、P6、N6、N5 被串联连接。具体地说,晶体管 P5 的源极连接电源电位;晶体管 P5 的漏极连接晶体管 P6 的源极;晶体管 P6 的漏极连接晶体管 N6 的漏极;晶体管 N6 的源极连接晶体管 N5 的漏极;晶体管 N5 的源极接地。晶体管 P5 的栅极中将输入信号 CKD;晶体管 N5 的栅极中将输入信号 CKDB。

[0138] 由晶体管 P1、N1 构成的第一传输门的输出将输入至由晶体管 P2、N2 构成的第一变换器、晶体管 P6 的漏极以及晶体管 N6 的漏极中。

[0139] 2 个晶体管 P3、N3 也构成传输门(第二传输门),晶体管 P2 的漏极、晶体管 N2 的漏极、晶体管 P6 的栅极、晶体管 N6 的栅极以及第二传输门的输入相互连接。晶体管 P3 的栅极中会输入信号 CKDB;晶体管 N3 的栅极中会输入信号 CKD。

[0140] 2 个晶体管 P4、N4 构成变换器(第二变换器)。而且,4 个晶体管 P7、P8、N8、N7 串联连接。具体地说,晶体管 P7 的源极连接电源电位;晶体管 P7 的漏极连接晶体管 P8 的源极;晶体管 P8 的漏极连接晶体管 N8 的漏极;晶体管 N8 的源极连接晶体管 N7 的漏极;晶体管 N7 的源极接地。晶体管 P7 的栅极中会输入信号 CKDB;晶体管 N7 的栅极中会输入信号 CKD。

[0141] 由 2 个晶体管 P3、N3 构成的第二传输门的输出,将被输入至由晶体管 P4、N4 构成的第二变换器、晶体管 P8 的漏极以及晶体管 N8 的漏极。

[0142] 晶体管 P4 的漏极、晶体管 N4 的漏极、晶体管 P8 的栅极以及晶体管 N8 的栅极中,任意一个都与缓冲器 BUFF 的输入端子相连接。而缓冲器 BUFF 的输出端子成为 D-FF31d 的数据输出端子 Q。

[0143] 在此,将由晶体管 P1、N1 构成的第一传输门与由晶体管 P2、N2 构成的第一变换器之间的连接点表示为点 a;将由晶体管 P2、N2 构成的变换器与由晶体管 P3、N3 构成的传输门之间的连接点表示为点 b;将由晶体管 P3、N3 构成的传输门与由晶体管 P4、N4 构成的变换器之间的连接点表示为点 c;将由晶体管 P4、N4 构成的变换器与缓冲器 BUFF 之间的连接

点表示为点 d。

[0144] 并且,在 D-FF31d 中,将上拉电阻 Ru1 设置在点 b 上,将下拉电阻 Rd1 设置在点 d 上。由此,即使接收到向 High 侧改变电平的噪声,输出自缓冲器 BUFF 的输出信号、即输出自 D-FF31d 的输出信号也不易发生电平变动。即,通过设置上拉电阻 Ru1 以及下拉电阻 Rd1,可以提高 D-FF31d 内部的对于向 High 侧改变电平的噪声的抗扰性。

[0145] 另外,取代设置上拉电阻 Ru1 以及下拉电阻 Rd1 的结构,采用扩大晶体管 P2 以及晶体管 N4 的栅极宽度的结构,或者,采用缩短栅极长度来提高晶体管 P2 以及晶体管 N4 的驱动能力的结构,与上述情况相同,根据这些结构也可以提高 D-FF31d 内部的对于向 High 侧改变电平的噪声的抗扰性。

[0146] 还有,可以采用在点 a 上设置下拉电阻 Rd1,在点 c 上设置上拉电阻 Ru1 的结构,此时也与上述情况相同,能够提高 D-FF31d 内部的对于向 High 侧改变电平的噪声的抗扰性。

[0147] 图 9 是表示 D-FF31u 的详细结构的电路图。D-FF31u 具有如下所述结构,即,取代图 8 所示的在 D-FF31d 的点 b 上设置上拉电阻 Ru1 且在点 d 上设置下拉电阻 Rd1 的结构,而在点 b 上设置了下拉电阻 Rd2,在点 d 上设置上拉电阻 Ru2 的结构。由此,与 D-FF31d 相反,D-FF31u 即使接收到向 Low 侧改变电平的噪声,输出自缓冲器 BUFF 的输出信号、即输出自 D-FF31u 的输出信号也不易发生电平变动。即,通过设置上拉电阻 Ru2 以及下拉电阻 Rd2,可以提高 D-FF31u 内部的、对于向 Low 侧改变电平的噪声的抗扰性。

[0148] 另外,取代设置上拉电阻 Ru2 以及下拉电阻 Rd2 的结构,采用扩大晶体管 N2 以及晶体管 P4 的栅极宽度的结构,或者,采用缩短栅极长度来提高晶体管 N2 以及晶体管 P4 的驱动能力的结构,与上述情况相同,根据这些结构也可提高 D-FF31u 内部的对于向 Low 侧改变电平的噪声的抗扰性。

[0149] 同样地,通过在点 a 上设置下拉电阻 Rd2 并在点 c 上设置上拉电阻 Ru2 的结构,可提高 D-FF31u 内部的对于向 Low 侧改变电平的噪声的抗扰性。

[0150] 此外,还可采用在图 1 所示的栅极驱动器 4 中取代 D-FF11 而设置 D-FF31d 的结构。这种情况下,可以不设置下拉电阻 Rd。总之,与现有技术相比,不论哪种结构,均能提高对于向 High 侧改变电平的噪声的抗扰性。

[0151] [实施方式 4]

[0152] 下面,参照图 10 以及图 11 说明本发明的实施方式 4。

[0153] 图 10 是表示本实施方式所涉及的栅极驱动器 44 的结构的电路图。栅极驱动器 44 具有,在图 3 所示的栅极驱动器 24 的结构基础上添加设置移位寄存器 10e,且取代 OR 电路 15 设置了多数表决电路 25 的结构。

[0154] 移位寄存器 10e 与移位寄存器 10d 相同,具有级联连接的 7 个 D-FF11,移位寄存器 10e 的初级 D-FF11 的数据输入端子 D 中会输入栅极驱动器 44 的输入信号 IN。而且,移位寄存器 10e 的各 D-FF11 的时钟端子 CK 中也会输入工作时钟 CLK,并从各 D-FF11 的数据输出端子 Q 中输出信号 Q1e ~ Q7e。

[0155] 并且,与移位寄存器 10d 相同,移位寄存器 10e 的各 D-FF11 的数据输出端子 Q 上连接有下拉电阻 Rd。更为具体地说,D-FF11 的数据输出端子 Q 上连接下拉电阻 Rd 的一端,而下拉电阻 Rd 的另一端接地。

[0156] 多数表决电路 25 具有 3 个输入端子 A ~ C 以及输出端子 Q,输入端子 A ~ C 中有

2 个以上为 High 时,则输出为 High,输入端子 A ~ C 中有 2 个以上为 Low 时,则输出为 Low。各多数表决电路 25 的输入端子 A ~ C 中会输入来自移位寄存器 10d 的信号 Qmd(m 为 1 ~ 7 的整数)、来自移位寄存器 10u 的信号 Qmu 的反相信号、来自移位寄存器 10e 的信号 Qme。多数表决电路 25 将这些输入信号中具有 2 个以上同一波形的信号作为信号 Qm(m 为 1 ~ 7 的整数)进行输出。

[0157] 由此,在未接收到外部的噪声的状态下,信号 Qmd、信号 Qmu 以及信号 Qme 均具有同一波形。在此,由于噪声,在移位寄存器 10d、10u、10e 中的任意一个发生误动作的情况下,由于输入到多数表决电路 25 中的多数信号具有正常波形,因此,多数表决电路 25 的信号 Qm 与未接收到噪声的状态一样。即,在栅极驱动器 44 中也能提高对于噪声的抗扰性。

[0158] 另外,优选将移位寄存器 10d 以及移位寄存器 10e 配设在集成电路的相互分离位置上,且使电源或 GND 配线相互分离。由此,即使栅极驱动器 44 接收到向 Low 侧改变电平的噪声的情况下,也能降低移位寄存器 10d、10e 的双方均发生误动作的风险。

[0159] 图 11 是,表示多数表决电路 25 的详细结构的电路图。多数表决电路 25 具有 3 个 AND 电路 25a、25b、25c 以及 OR 电路 25d。来自输入端子 A 的信号,输入至 AND 电路 25a 以及 AND 电路 25b 中,来自输入端子 B 的信号输入至 AND 电路 25b 以及 AND 电路 25c 中,来自输入端子 C 的信号输入至 AND 电路 25b 以及 AND 电路 25c 中。来自各 AND 电路 25a、25b、25c 的输出,输入至 OR 电路 25d 中,OR 电路 25d 的输出端子成为多数表决电路 25 的输出端子 Q。

[0160] 另外,图 11 中举例表示了多数表决电路的一种结构,也可以采用其他公知的多数表决电路。而且,取代多数表决电路 25,可以设置 OR 电路,通过 OR 电路,输出信号 Qmd、信号 Qmu 以及信号 Qme(m 为 1 ~ 7 的整数)的逻辑和。

[0161] 还有,在本实施方式中,移位寄存器的系统数为 3 个系统,当然,也可以设置 5 以上奇数个系统的移位寄存器,并取得来自各移位寄存器的信号的多数表决。

[0162] [实施方式的总结]

[0163] 本发明并不限于上述各实施方式和实施例,可以根据权利要求所示的范围进行各种的变化,适当地组合不同实施方式记述的技术手段而得到的实施方式也包含于本发明的技术范围之内。

[0164] (工业可利用性)

[0165] 本发明可以广泛适用于液晶显示器等显示装置中。

[0166] 另外,上述用于实施本发明的最佳方式以及具体的实施方式或实施例,仅仅是为明确本发明的技术内容的具体例子,而不是只限于这些具体例子而作出狭义地解释,并在本发明的精神和技术方案所述的范围内可以进行各种各样的变形而实施。

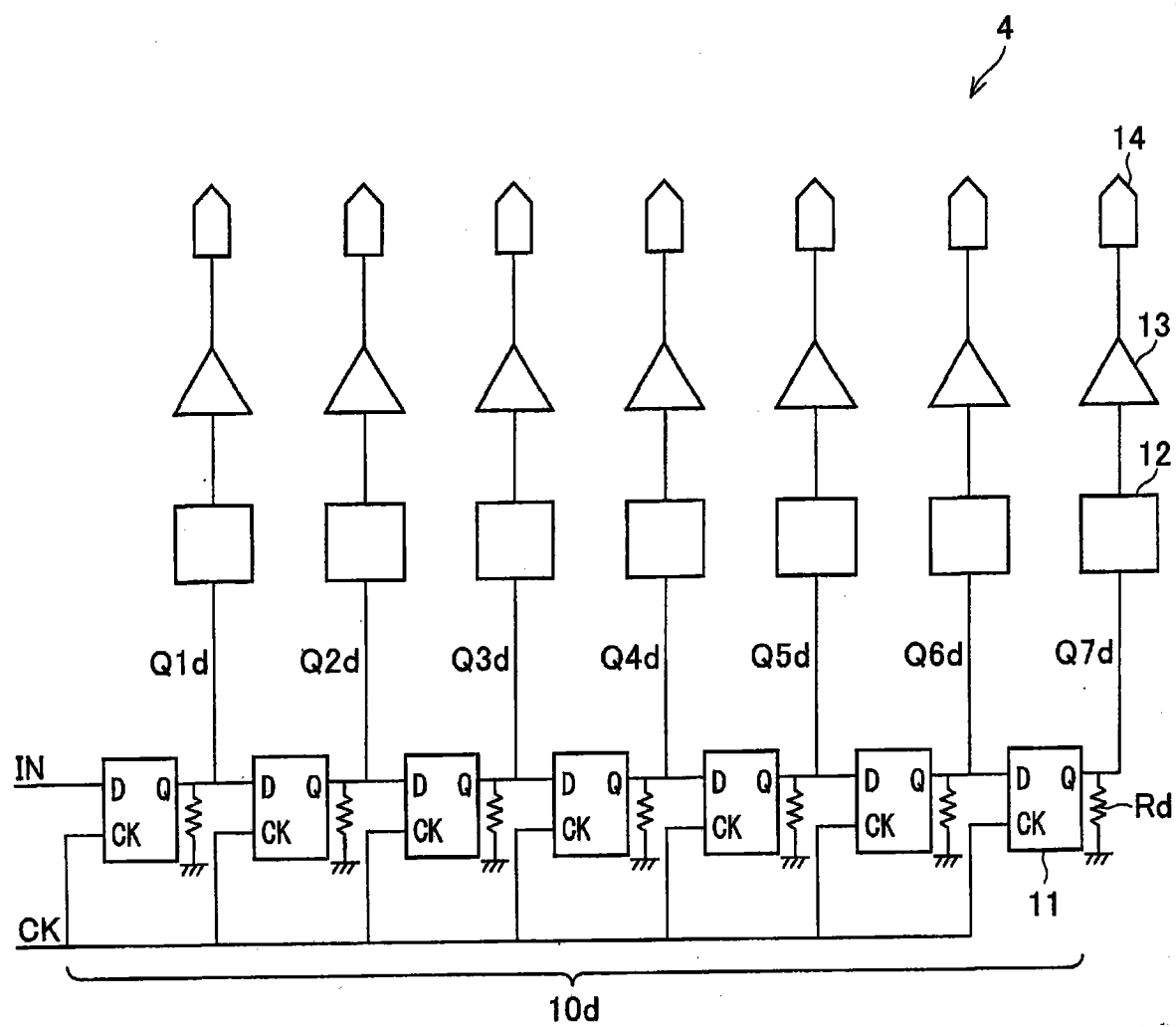


图 1

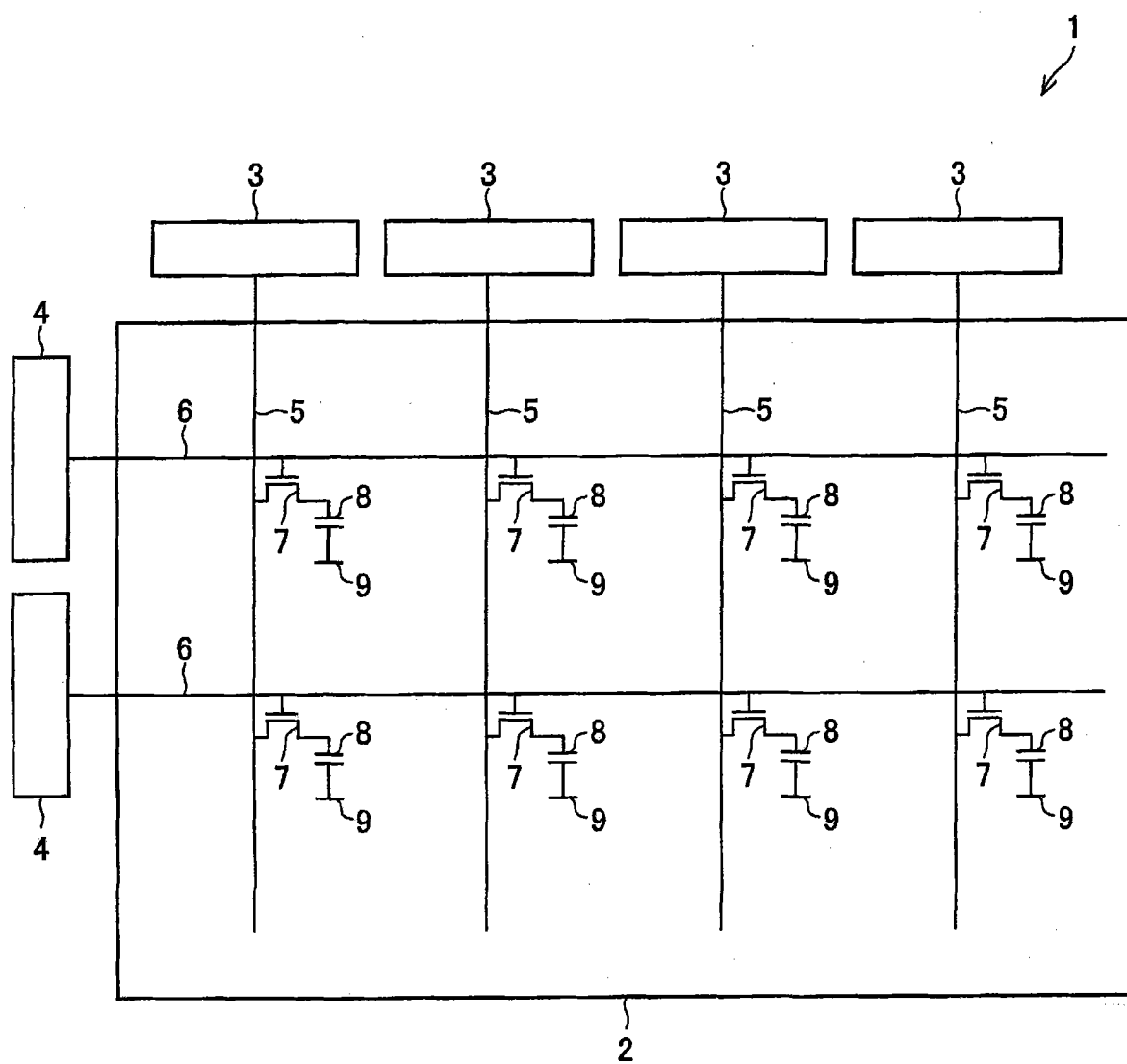


图 2

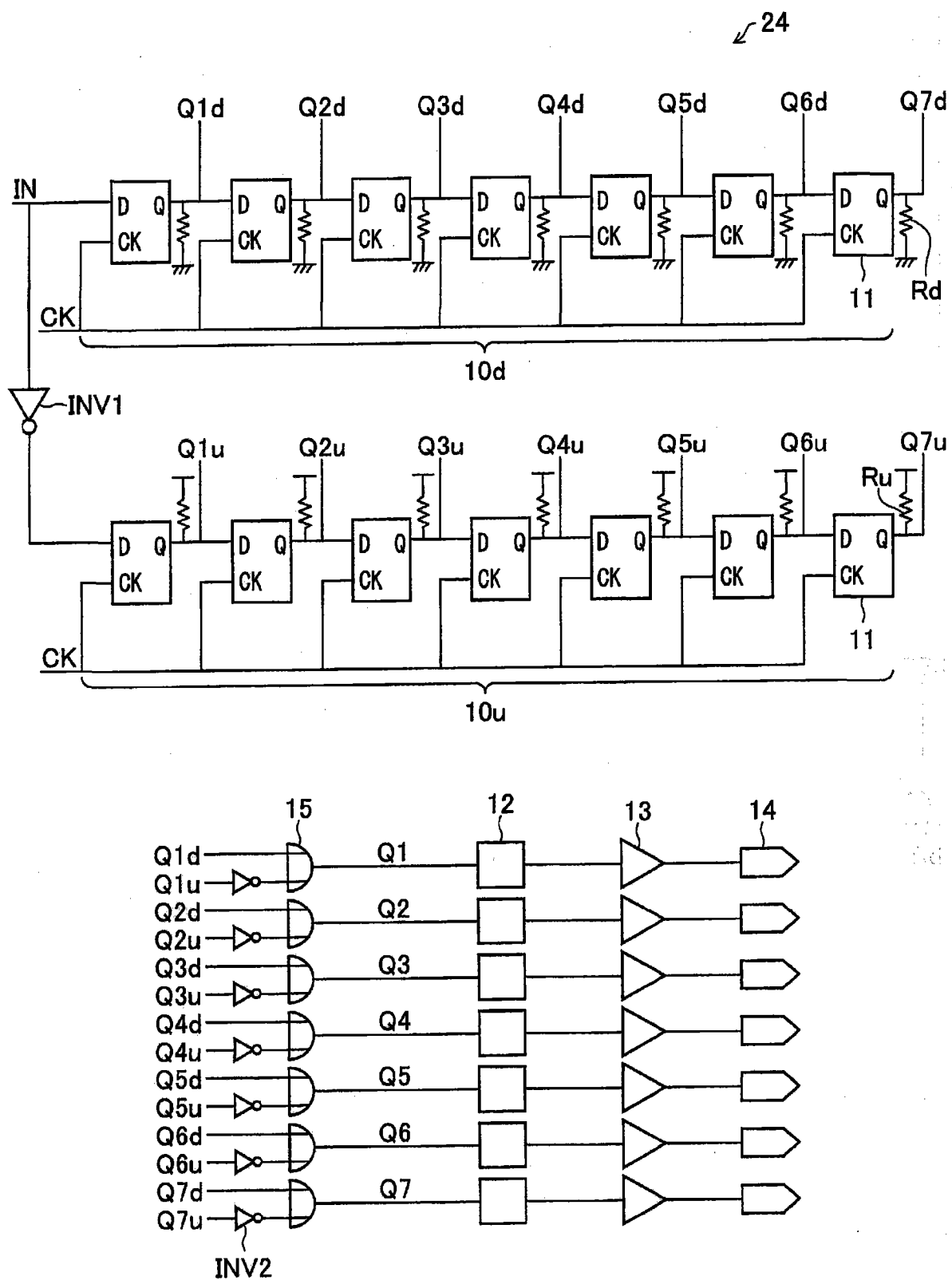


图 3

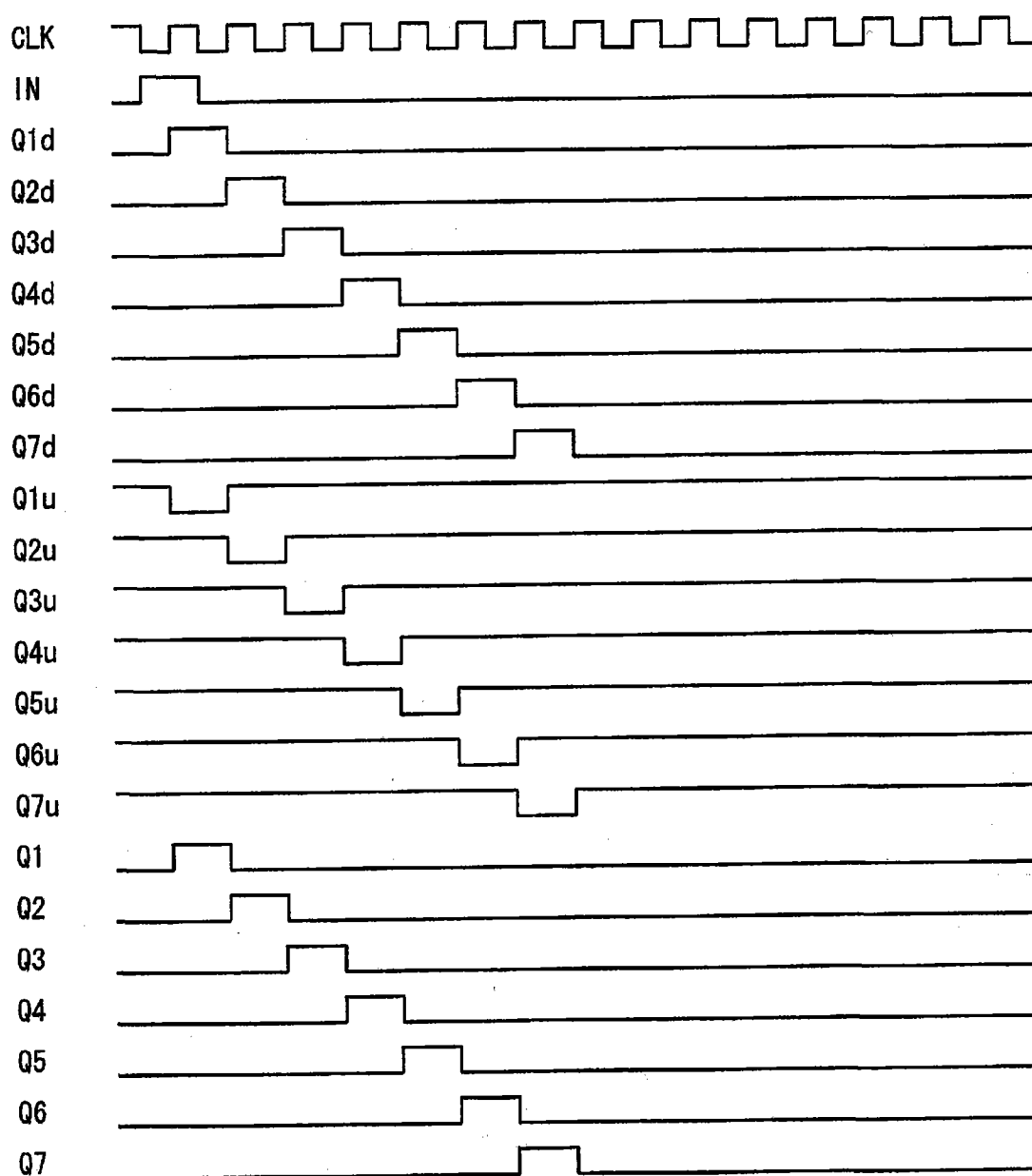


图 4

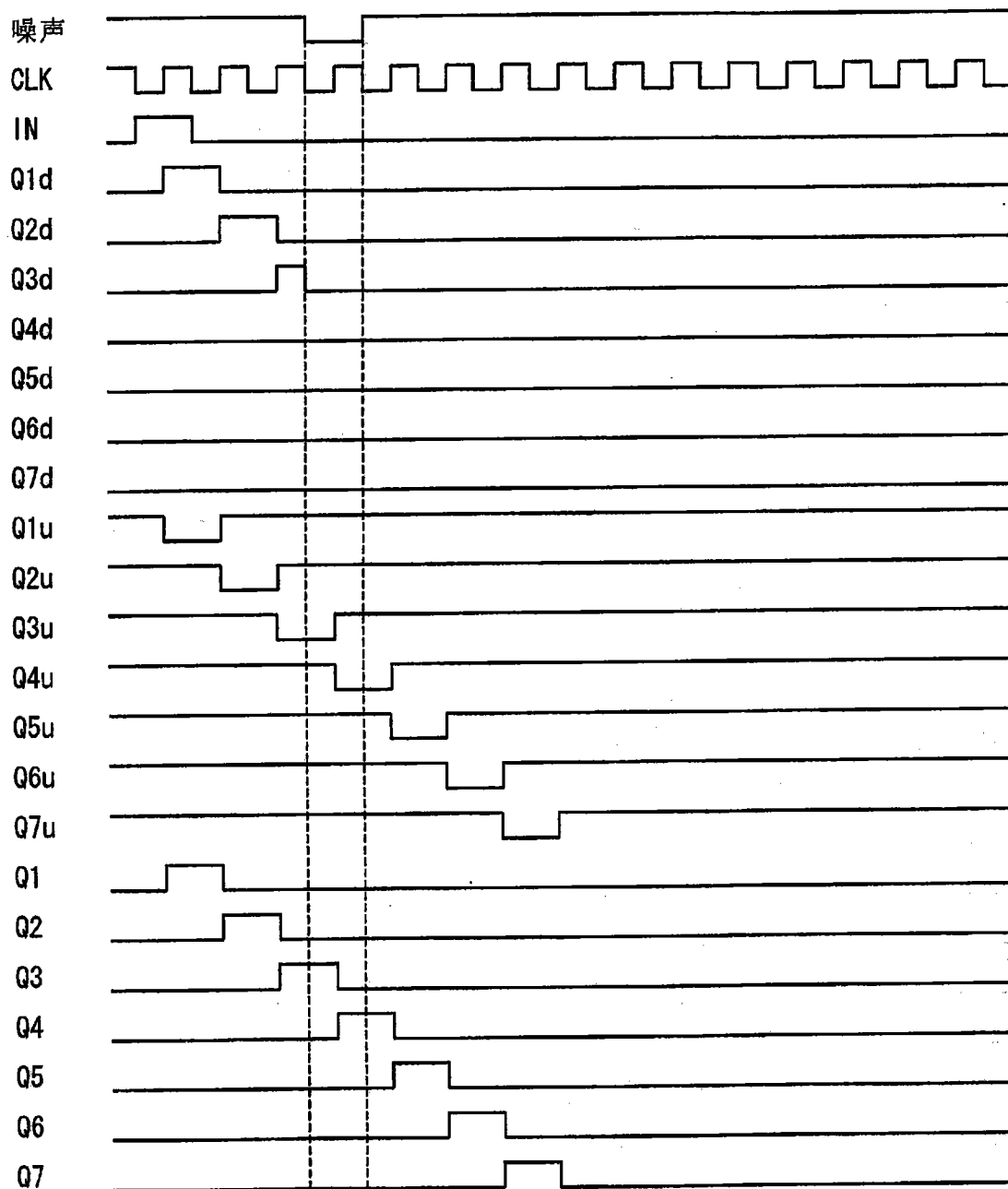


图 5

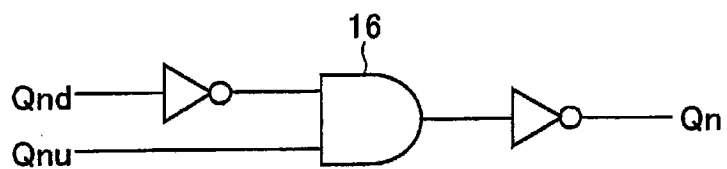


图 6

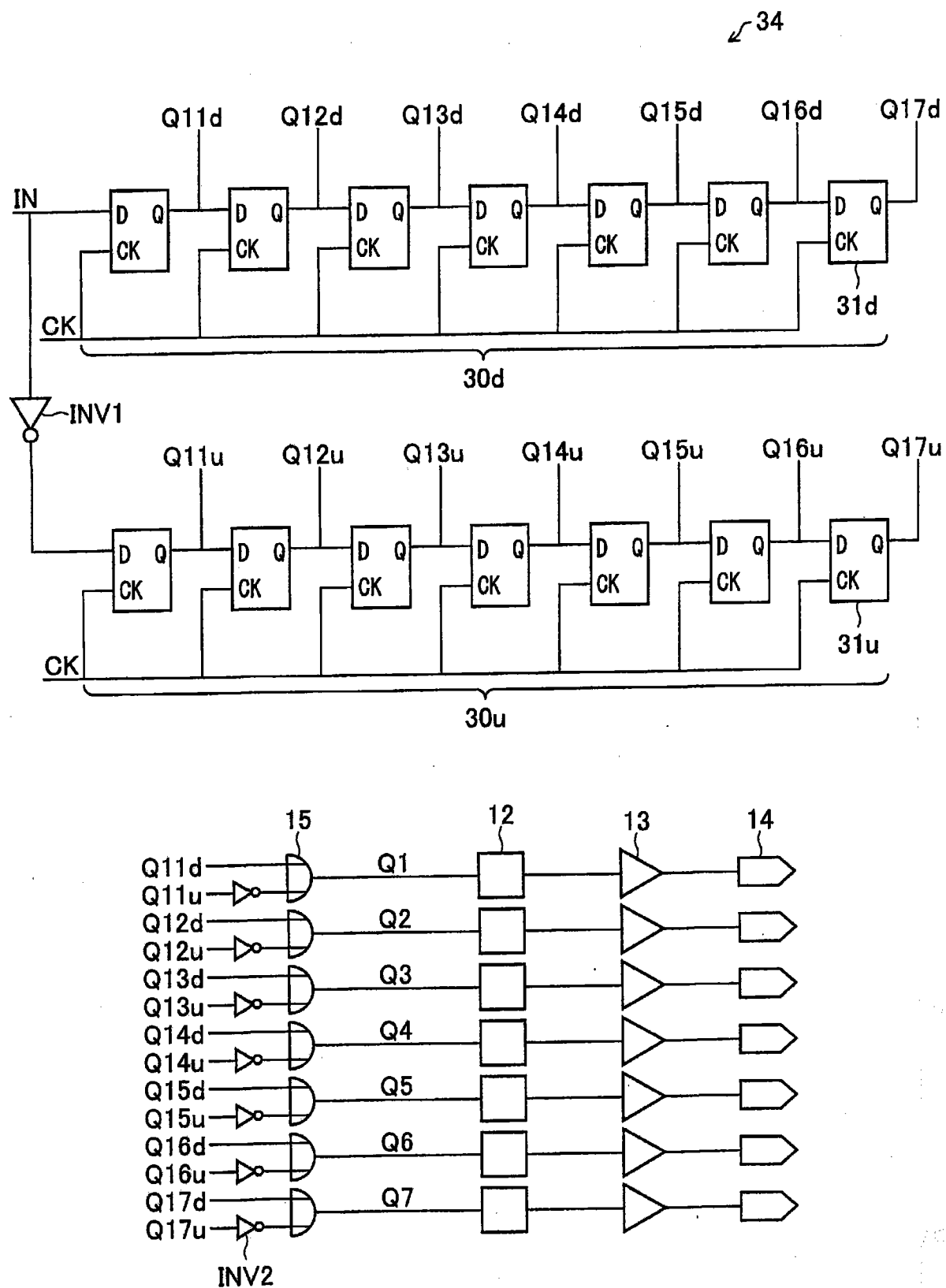


图 7

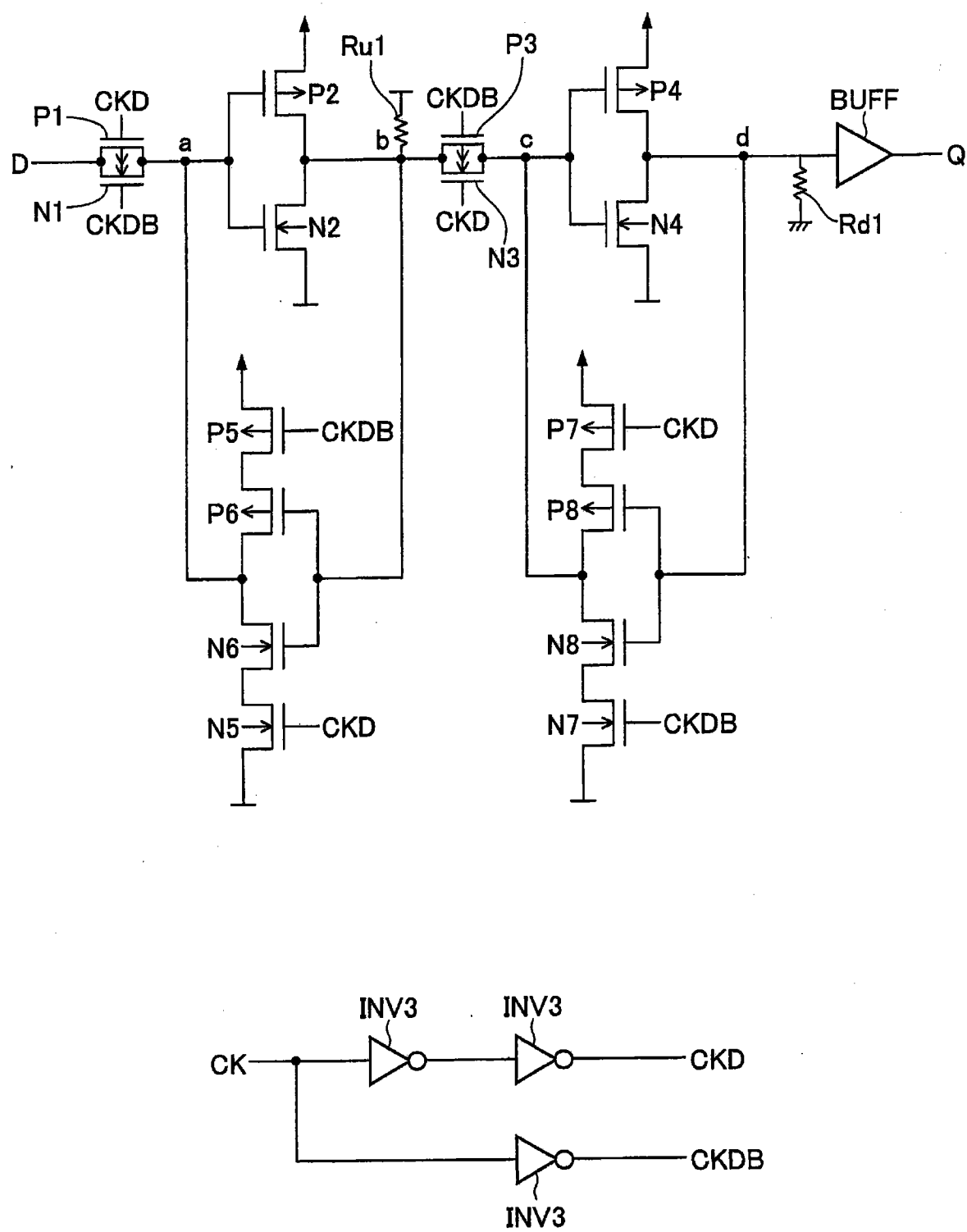


图 8

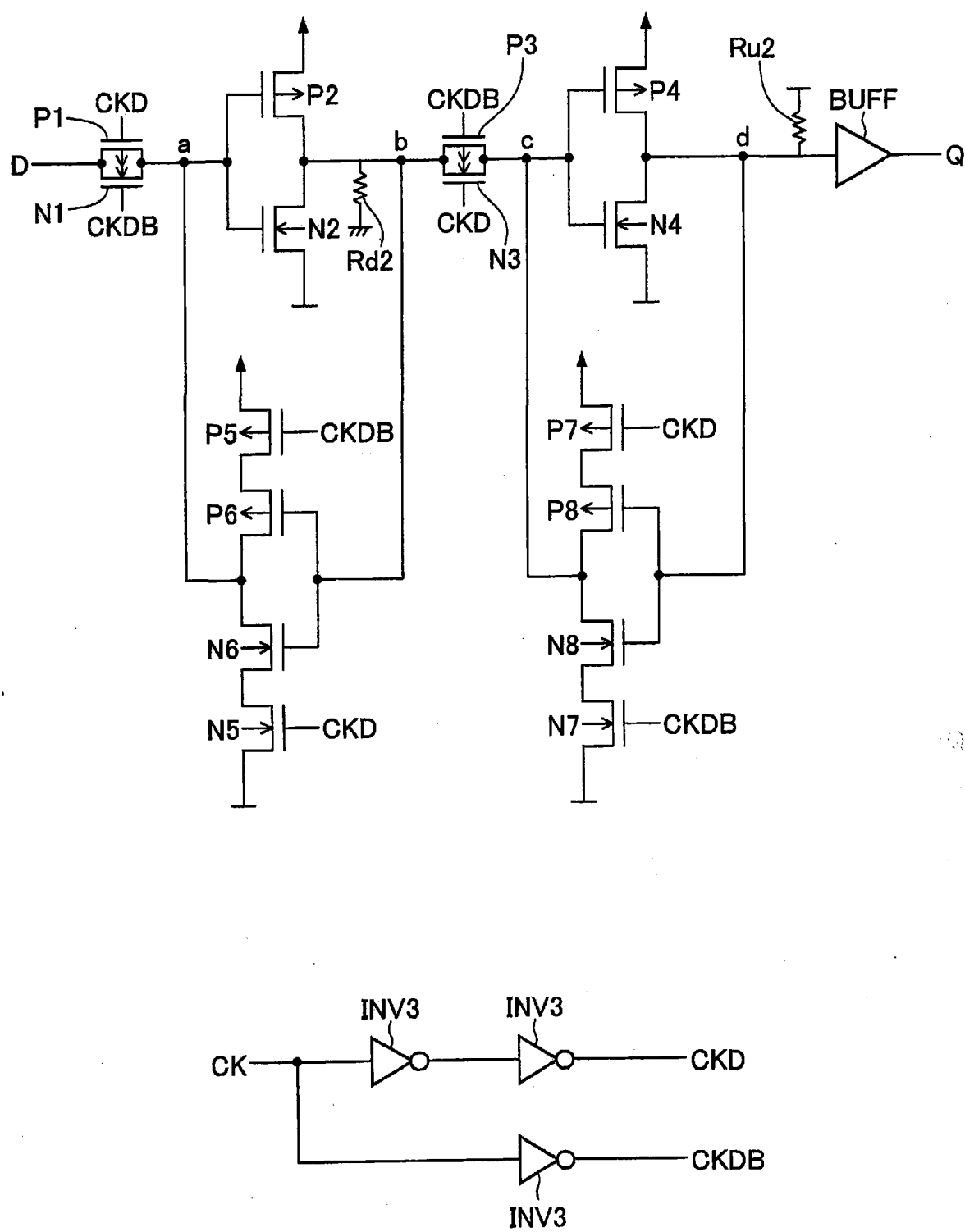


图 9

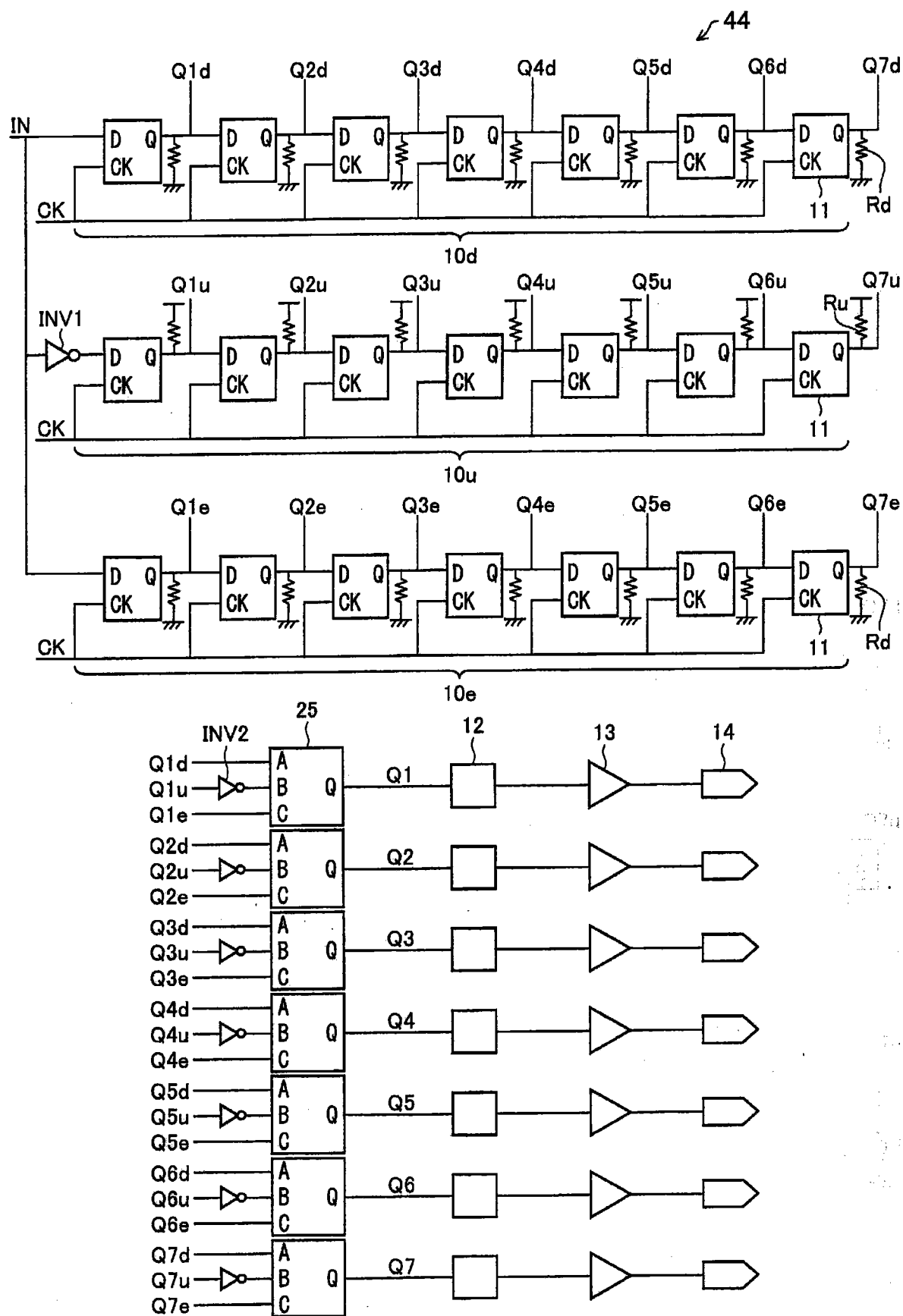


图 10

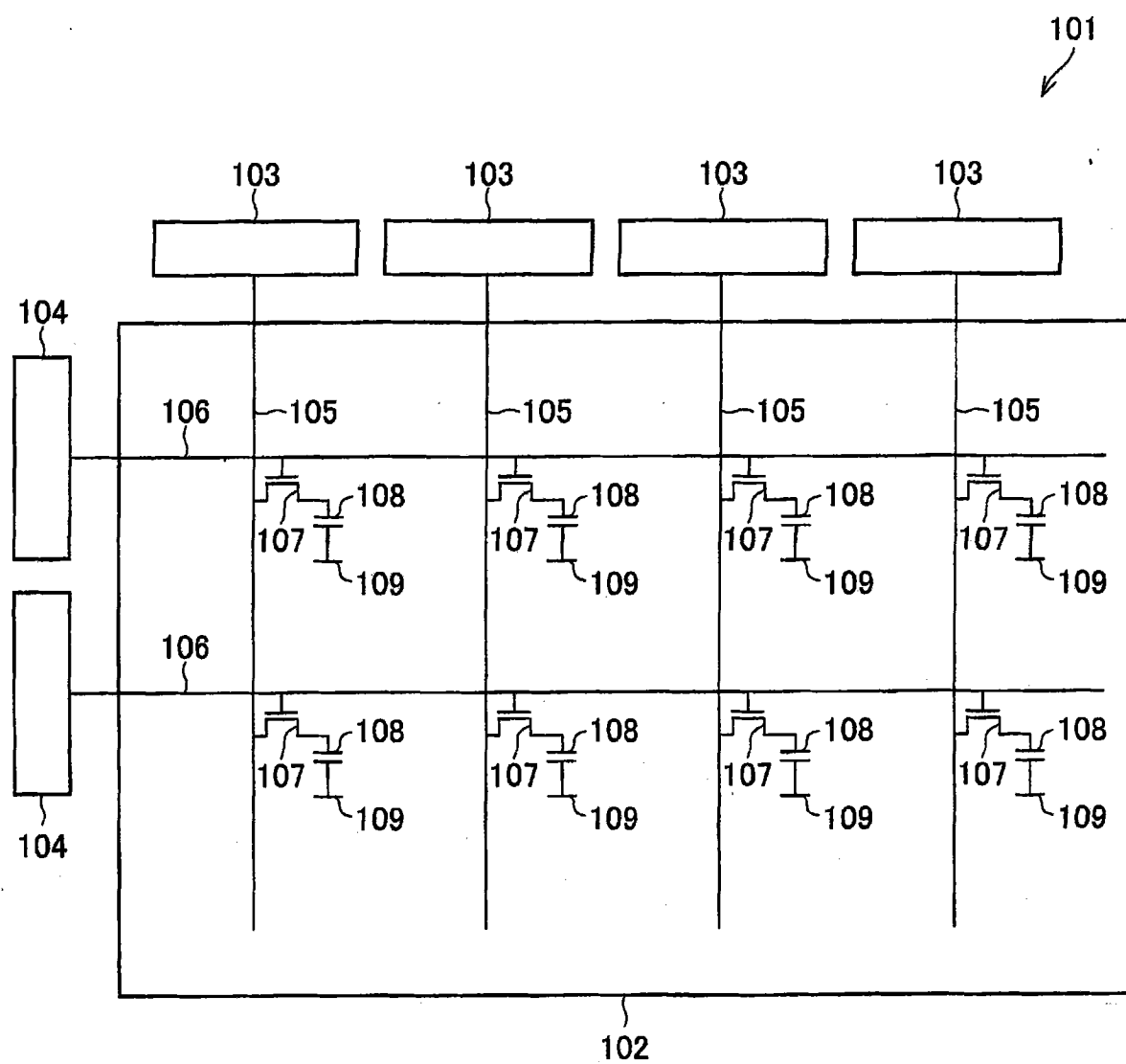


图 13

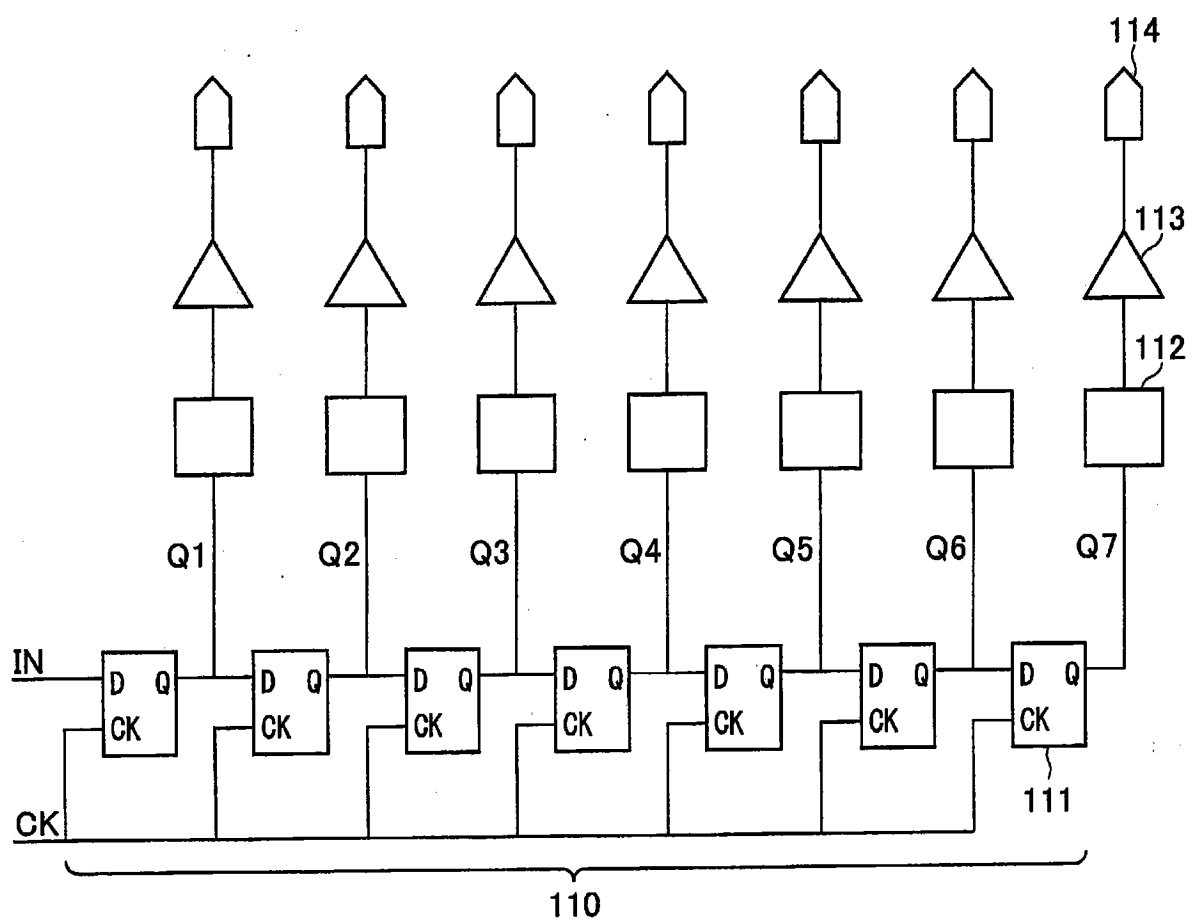


图 14

专利名称(译)	扫描信号线驱动电路及显示装置		
公开(公告)号	CN101836247A	公开(公告)日	2010-09-15
申请号	CN200880112830.6	申请日	2008-10-14
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	渡部利男		
发明人	渡部利男		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G11C19/00		
CPC分类号	G11C19/28 G09G2330/06 G09G2320/0233 G09G3/3677		
代理人(译)	李浩 王忠忠		
优先权	2007279670 2007-10-26 JP		
其他公开文献	CN101836247B		
外部链接	Espacenet SIPO		

摘要(译)

本发明的目的在于实现对于向High侧改变电平的噪声具有高抗扰性、不易发生显示不良的扫描信号线驱动电路，本发明的配设在TFT液晶面板上的栅极驱动器(4)具备级联连接有D-FF(11)的移位寄存器(10d)，信号从该D-FF(11)的数据输出端子(Q)输出。此时，所述D-FF(11)的数据输出端子(Q)上连接有下拉电阻(Rd)，因此，即使接收到向High侧改变电平的噪声的情况下，也能防止所述D-FF的数据输出端子所输出的信号发生电平变动。由此，可以防止因噪声而导致原本不进行显示的栅极线被激活的情况下所产生的显示不良现象。

