

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610160980.7

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G05F 1/46 (2006.01)

H03K 19/0175 (2006.01)

[43] 公开日 2008 年 1 月 2 日

[11] 公开号 CN 101097694A

[22] 申请日 2006.12.11

[21] 申请号 200610160980.7

[30] 优先权

[32] 2006.6.30 [33] KR [31] 10-2006-0060200

[71] 申请人 LG. 飞利浦 LCD 株式会社

地址 韩国首尔

[72] 发明人 李副烈

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 祁建国

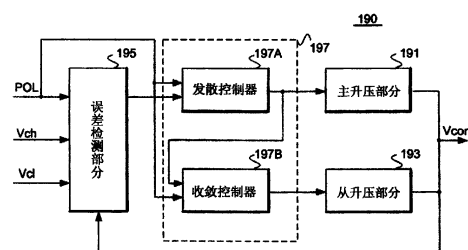
权利要求书 4 页 说明书 10 页 附图 4 页

[54] 发明名称

基准电压产生电路以及采用其的液晶显示器件

[57] 摘要

本发明公开了一种用于产生摇摆式基准电压的基准电压产生电路，其可以缩短至少两个电平之间的转换周期并稳定保持转换后的电平。该基准电压产生电路包括：主升压部分，其选择性执行高速正、负升压以快速升高和降低输出节点上的输出电压；从升压部分，其选择性执行低速正、负升压以缓慢升高和降低输出节点上的输出电压；输入部分，其用于输入电平指定信号以交替指定第一基准电平和第二基准电平；和开关控制部分，其响应于电平指定信号而交替对输出电压与第一和第二基准电平进行比较并选择性执行主升压部分的正、负升压以及从升压部分的正、负升压其中之一。



1、一种基准电压产生电路，包括：

主升压部分，其选择性执行高速正升压和负升压以快速升高和降低输出节点上的输出电压；

从升压部分，其选择性执行低速正升压和负升压以缓慢升高和降低输出节点上的输出电压；

输入部分，用于输入电平指定信号，以交替指定第一基准电平和第二基准电平；

开关控制部分，响应于电平指定信号而交替对输出电压与第一和第二基准电平进行比较并选择性执行主升压部分的正、负升压以及从升压部分的正、负升压其中之一。

2、根据权利要求1所述的电路，其特征在于，当所述输出电压的电平位于所述第一基准电平和第二基准电平之间时选择性执行高速正、负升压。

3、根据权利要求2所述的电路，其特征在于，当所述输出电压的电平偏离于所述第一基准电平和第二基准电平之间的范围时选择性执行低速正、负升压。

4、根据权利要求3所述的电路，其特征在于，在指定第一基准电平的情况根据所述输出电压的变化选择性执行高速正升压和低速负升压，并且在指定第二基准电平的情况根据所述输出电压的变化选择性执行低速正升压和高速负升压。

5、根据权利要求1所述的电路，其特征在于，所述开关部分包括：

误差检测部分，其响应于电平指定信号而将所述输出电压与所述第一和第二基准电平比较并根据结果产生误差检测信号；以及

升压选择部分，通过对所述电平指定信号和误差检测信号进行逻辑组合而允许选择性执行主升压部分的高速正、负升压以及从升压部分的低速正、负升压。

6、根据权利要求5所述的电路，其特征在于，所述误差检测部分包括：

电平选择器，用于响应于所述电平指定信号而选择第一基准电平和第二基准电平；以及

比较器,其将通过所述电平选择器选择的基准电平与输出电压进行比较并产生误差检测信号。

7、根据权利要求5所述的电路,其特征在于,所述升压选择部分包括:发散控制器,其通过逻辑组合电平指定信号和误差检测信号而分别产生用于指定主升压部分的高速正、负升压的高速正、负控制信号;以及

收敛控制器,其通过逻辑组合电平指定信号和误差检测信号而分别产生用于指定从升压部分的低速正、负升压的低速正、负控制信号。

8、根据权利要求7所述的电路,其特征在于,在第一基准电平的情况,使能高速正控制信号和低速负信号使其互补协作。

9、根据权利要求7所述的电路,其特征在于,在第二基准电平的情况,使能高速负控制信号和低速正信号使其互补协作。

10、根据权利要求7所述的电路,其特征在于,所述主升压部分包括通过高速正控制信号允许向输出节点快速充入电压的第一晶体管和通过高速负控制信号允许所述输出节点上的电压快速放电的第二晶体管,并且所述从升压部分包括允许通过低速正控制信号向输出节点缓慢充入电压的第三晶体管和通过高速负控制信号允许所述输出节点缓慢放电的第四晶体管。

11、根据权利要求10所述的电路,其特征在于,所述第一和第二晶体管具有比所述第三和第四晶体管更宽的沟道宽度。

12、根据权利要求10所述的电路,其特征在于,所述第一和第二晶体管分别包括通过低状态信号驱动的P型晶体管,并且所述第三和第四晶体管分别包括通过高状态信号驱动的N型晶体管。

13、根据权利要求7所述的电路,其特征在于,当所述输出电压电平具有在所述第一基准电平和第二基准电平之间的电平时,所述发散控制器选择性使能高速正、负控制信号。

14、根据权利要求7所述的电路,其特征在于,当所述输出电压电平具有偏离于所述第一基准电平和第二基准电平之间的电平时,所述收敛控制器选择性使能低速正、负控制信号。

15、一种液晶显示器件,包括:

液晶面板,其中共同连接到公共电极的液晶单元以矩阵形式设置;

驱动部分,通过参照公共电极上的电压电平而替向液晶单元施加具有负极

性和正极性的像素数据电压而驱动液晶面板；

公共电压产生电路，响应于来自驱动部分的表示所述负极性和正极性像素数据的输出周期的极性翻转信号，所述公共电压产生电路周期性并交替具有第一基准电平和低于第一基准电平的第二基准电平，并且该公共电压产生电路向公共电极施加具有快发散特性和慢收敛特性的公共电压。

16、根据权利要求 15 所述的器件，其特征在于，所述公共电压产生电路包括：

主升压部分，其选择性执行高速正、负升压以快速升高和降低公共电极上的公共电压；

从升压部分，其选择性执行低速正、负升压以缓慢升高和降低公共电极上的公共电压；

开关控制部分，其响应于极性翻转信号而交替对公共电压与第一和第二基准电平进行比较并选择性执行主升压部分的正、负升压以及从升压部分的正、负升压其中之一。

17、根据权利要求 16 所述的器件，其特征在于，当所述公共电压具有位于所述第一基准电平和第二基准电平之间的电平时选择性执行高速正、负升压。

18、根据权利要求 17 所述的器件，其特征在于，当所述公共电压具有偏离于所述第一基准电平和第二基准电平之间范围的电平时选择性执行低速正、负升压。

19、根据权利要求 18 所述的器件，其特征在于，在选择第一基准电压的情况根据所述公共电压的变化而选择性执行高速正升压和低速负升压，并且在选择第二基准电平的情况根据所述公共电压的变化而选择性执行低速正升压和高速负升压。

20、根据权利要求 16 所述的器件，其特征在于，所述开关控制部分包括：

误差检测部分，其响应于极性翻转信号将所述公共电压与所述第一和第二基准电平其中之一进行比较并根据结果产生误差检测信号；以及

升压选择部分，其通过对所述极性翻转信号和误差检测信号进行逻辑组合而选择性执行主升压部分的高速正、负升压以及从升压部分的低速正、负升压。

21、一种基准电压产生电路，包括：

输入部分，用于输入至少两位的电平选择信号，该电平选择信号的逻辑值周期性发生改变；

输出节点；以及

节点控制部分，其采用对应于在至少三个不同基准电平但至少两位电平选择信号的逻辑值的基准电平控制输出节点以及所述输出节点上的输出电压，使得位于所述基准电平之间的输出电压具有快发散特性并且偏离于所述基准电平范围的输出电压具有慢收敛特性。

基准电压产生电路以及采用其的液晶显示器件

本申请要求 2006 年 6 月 30 日在韩国知识产权局提交的韩国专利申请 No.10-2006-0060200 的权益，在此引用其全部内容作为参考。

技术领域

本发明涉及一种可以选择并稳定维持在至少两个电平的摇摆式基准电压产生电路。而且，本发明涉及一种采用该基准电压产生电路的液晶显示器件。

背景技术

普通信号处理和控制系统采用基准电压信号检测所需元件的信号。此外，根据需要，信号处理和控制系统周期性改变信号模式和控制状态。这样，基准电压信号交替具有至少两个电压电平。

实际上，液晶显示器件采用还称作“公共电压”的基准电压信号，该“公共电压”可选择地具有两个不同电压电平。在两个电平之间切换的公共电压有区别地指定正极性和负极性像素数据电压的基准电平，其中该正极性和负极性像素数据电压交替施加给液晶单元。换句话说，该摇摆式公共电压允许正极性和负极性像素数据电压共享预定电压电平区域。液晶显示器件通过采用摇摆式公共电压不但显示高质量的图像而且显著降低了功耗。为了产生摇摆式公共电压，液晶显示器采用包括高电容的晶体管（具有宽沟道宽度的晶体管）的公共电压产生电路。

在公共电压产生电路中提供的高电容晶体管可以缩短公共电压的电平转换周期但是不能稳定保持该转换后的电平。换句话说，在液晶显示器的公共电压产生电路中，会出现公共电压在转换后的电平附近摇摆的振荡现象。该振荡现象向像素数据电压中加入了噪音分量并破坏了显示在液晶显示器件上的图像质量。

发明内容

因此，本发明提供一种基准电压产生电路，其能够基本上避免由现有技术

的限制和缺陷引起的一个或多个问题。

本发明的目的在于提供一种用于产生摇摆式基准电压的基准电压产生电路和采用该电路的液晶显示器件，其中该基准电压产生电路可以缩短在至少两个电平之间的转换时间并稳定保持转换后的电平。

为了实现本发明的目的，本发明提供一种基准电压产生电路，包括：主升压部分，其选择性执行高速正、负升压以快速升高和降低输出节点上的输出电压；从升压部分，其选择性执行低速正、负升压以缓慢升高和降低输出节点上的输出电压；输入部分，其用于输入电平指定信号以交替指定第一基准电平和第二基准电平；和开关控制部分，其响应于电平指定信号而交替对输出电压与第一和第二基准电平进行比较并选择性执行主升压部分的正、负升压以及从升压部分的正、负升压其中之一。

根据本发明的另一方面，本发明提供了一种基准电压产生电路，包括：输入部分，用于输入至少两位的电平选择信号，该电平选择信号的逻辑值发生周期性改变；输出节点；以及节点控制部分，其采用对应于在至少三个不同基准电平的至少两位电平选择信号的逻辑值的基准电平控制输出节点以及所述输出节点上的输出电压，使得位于所述基准电压之间的输出电压具有快发散（divergence）特性并且偏离于所述基准电平范围的输出电压具有慢收敛（convergence）特性。

根据本发明的再一方面，本发明提供了一种液晶显示器间，包括：液晶面板，其中共同连接到公共电极的液晶单元以矩阵形式设置；驱动部分，其通过参照公共电极上的电压电平交替向液晶单元施加具有负极性和正极性的像素数据电压以驱动液晶面板；和公共电压产生电路，响应于来自驱动部分的表示所述负极性和正极性像素数据的输出周期的极性翻转信号，所述公共电压产生电路周期性并交替具有第一基准电平和低于第一基准电平的基准电平，并向公共电极施加具有快发散特性和慢收敛特性的公共电压。

在以下说明书中将对本发明的附加优点、目的和特征进行陈述，其中部分内容通过如下描述对于本领域技术人员显而易见或者可以通过实施本发明了解得到。通过在书面说明书、其权利要求书及其附图中具体指出的结构可以实现和获得本发明的目的和其他优点。

应该理解，本发明以上的概述和以下的详细描述均是示例性的和解释性

的，旨在对权利要求所述的内容提供进一步说明。

附图说明

所包括的附图用于提供对本发明的进一步理解，并包含在说明书中构成说明书的一部分，附图描述了本发明的实施方式并且与说明书一起用于解释本发明的原理。在附图中：

图 1 所示为用于说明根据本发明优选实施方式的液晶显示器件的方框示意图；

图 2 所示为用于说明图 1 的公共电压产生电路的方框图；

图 3 所示为用于说明图 2 的公共电压产生电路的电路图；

图 4 所示为用于说明图 3 的公共电压产生电路操作的逻辑表。

具体实施方式

以下将参照附图说明本发明的优选实施方式。

图 1 所示为用于说明根据本发明的优选实施方式的液晶显示器件的方框示意图。参照图 1，根据本发明的优选实施方式的液晶显示器件包括显示图像的液晶面板 100；用于驱动液晶面板 100 上的 m 条数据线 DL1 到 DL m 的数据驱动器 150；用于驱动液晶面板 100 上的 n 条栅线 GL1 到 GL n 的栅驱动器 170；以及控制数据驱动器 150 和栅驱动器 170 的时序的时序控制器 130。

液晶面板 100 包括由 n 条栅线 GL1 到 GL n 和 m 条数据线 DL1 到 DL m 彼此交叉限定的区域形成的多个像素。各像素包括形成在相应栅线 GL 和相应数据线 GL 之间的交叉部分处的薄膜晶体管 TFT；以及与薄膜晶体管 TFT 和公共电压（Vcom）电极连接的液晶单元 CLC。该薄膜晶体管 TFT 响应于位于相应栅线 GL 上的栅信号而切换从相应数据线 DL 施加给相应液晶单元 CLC 的像素数据电压。液晶单元 CLC 包括彼此相对的公共电极和与薄膜晶体管 TFT 连接的像素电极，在两电极之间插入有液晶层。液晶单元 CLC 充入通过相应的薄膜晶体管 TFT 施加的像素数据电压。此外，每次在相应的薄膜晶体管 TFT 导通时，都要更新液晶单元 CLC 中充入的电压。而且，液晶面板 100 上的各像素包括连接在薄膜晶体管 TFT 和前级栅线之间的存储电容 Cst。存储电容 Cst 将在液晶单元 CLC 中充入的电压的自然降低减小到最小程度。

栅驱动器 170 响应于来自时序控制器 130 的栅控制信号向相应的 n 条栅线 GL1 到 GL n 施加 n 个栅信号。该 n 个栅信号允许通过一个水平同步信号周期连续使能 n 条栅线 GL1 到 GL n 。

数据驱动器 150 响应于来自时序控制器 130 的数据控制信号, 每次在栅线 GL1 到 GL n 其中之一被使能时产生 m 个像素数据电压, 并且将 m 个像素数据电压提供至液晶面板上的 m 条数据线 DL1 到 DL m 。为此, 数据驱动器 150 通过一条线输入来自时序控制器 130 的像素数据, 并采用伽马电压组将对应于该一条线输入的像素数据转换为像素数据电压。从数据驱动器 150 输出的像素数据电压在帧周期期间交替地具有负极性和正极性。在另一形式中, 像素数据电压在线周期 (水平同步信号周期) 期间交替具有负极性和正极性。通过极性翻转信号 POL 的逻辑值确定产生像素数据电压的负极性和正极性。

时序控制器 130 采用来自外部系统 (未示出) 的数据时钟 DCLK、水平同步信号 Hsync、垂直同步信号 Vsync 和数据使能信号 DE 产生栅控制信号、数据控制信号和极性翻转信号 POL, 该外部系统例如为计算机系统的图形模块或者电视接收系统的图像解调模块。将栅控制信号施加给栅驱动器 170 并将数据控制信号和极性翻转信号 POL 施加给数据驱动器 150。此外, 时序控制器 170 在一帧期间输入来自外部系统的像素数据并通过一条线重新设置像素数据帧。通过一条线将通过时序控制器 130 重新设置的一帧像素数据顺序施加给数据驱动器 150。

图 1 的液晶显示器件进一步包括响应于来自时序控制器 130 的极性控制信号 POL 的公共电压产生电路 190。公共电压产生电路 190 向液晶面板 100 上的公共电极施加在两个电平之间摆动且与极性翻转信号 POL 同步的公共电压 Vcom, 该公共电压 Vcom 在预定的电平范围内具有快速的发散特性并在该范围外具有缓慢的收敛特性。快速的发散特性和缓慢的收敛特性缩短了公共电压的电平转换周期并将振荡现象的产生减小到最小程度。换句话说, 由于快速的发散特性和缓慢的收敛特性使得公共电压 Vcom 具有短电平转换周期 (即, 短边沿部分) 以及稳定的电平保持部分。

由于 Vcom 具有快速的发散特性和缓慢的收敛特性, 交替施加给液晶面板上的液晶单元 CLC 的具有负极性和正极性的像素数据电压不产生噪声。因此, 根据本发明的液晶显示器件可以显示没有诸如闪烁和人为干扰的高质量图像。

图2所示为用于详细说明图1的公共电压产生电路的方框图。图2的公共电压产生电路190包括共同连接到输出结点Nout的主升压部分191 (pumping section) 和从升压部分193以及共同响应于来自图1的时序控制器130的极性控制信号POL的误差检测部分195和升压控制部分197。

主升压部分191执行快速提高或者降低输出节点Nout上电荷的正升压和负升压。在主升压部分191执行正升压的情况, 输出节点Nout上的公共电压Vcom迅速提高。另一方面, 如果主升压部分191执行负升压, 则输出节点Nout上的公共电压Vcom迅速降低。

另一方面, 从升压部分193执行用于缓慢提高或者降低输出节点Nout上电荷的正升压或者负升压。在从升压部分193执行正升压的情况, 输出节点Nout上的公共电压Vcom缓慢增加。另一方面, 如果从升压部分193执行负升压, 则输出节点Nout上的公共电压Vcom缓慢降低。

误差检测部分195根据极性翻转信号POL的逻辑值对输出节点Nout上的公共电压Vcom和高电势基准电压Vch或者低电势基准电压Vcl进行比较。例如, 如果极性翻转信号POL具有高逻辑值, 则误差检测部分195对公共电压Vcom和低电势基准电压Vcl进行比较。相反, 如果极性翻转信号POL具有低逻辑值, 则误差检测部分195对公共电压Vcom和高电势基准电压Vch进行比较。如果公共电压高于基准电压(即, 高电势基准电压Vch或者低电势基准电压Vcl), 误差检测部分195产生预定逻辑值(例如, 高逻辑值)的误差检测信号EDS, 同时如果公共电压Vcom低于基准电压(即, 高电势基准电压Vch或者低电势基准电压Vcl), 则误差检测部分195产生基础逻辑值(例如, 低逻辑值)的误差检测信号EDS。

升压控制部分197根据极性翻转信号POL的逻辑值(即, 逻辑状态)执行主升压部分191的正升压以及从升压部分的负升压或者执行主升压部分191的负升压以及从升压部分的正升压。此外, 升压控制部分197根据来自误差检测部分195的误差检测信号EDS切换主升压部分191的升压(正和负升压)和从升压部分193的升压(正和负升压)。

例如, 如果极性翻转信号POL具有高逻辑值, 则升压控制部分197允许根据误差检测信号EDS的逻辑值(即, 逻辑状态)选择性执行主升压部分的负升压和从升压部分193的正升压。如果误差检测信号EDS为预定的逻辑(即

高逻辑值)(即,如果公共电压 V_{com} 高于低电势基准电压 V_{cl}),则升压控制部分 197 允许主升压部分 191 执行快速的负升压。相反,如果误差检测信号 EDS 为基础逻辑(即,低逻辑值)(即,如果公共电压 V_{com} 低于低电势基准电压 V_{cl}),则升压控制部分 197 允许主升压部分 191 执行低速正升压。另一方面,如果极性翻转信号 POL 具有低逻辑,则升压控制部分 197 允许升压部分 191 和 193 根据误差检测信号 EDS 的逻辑值(即,逻辑状态)选择性执行主升压部分 191 的正升压和从升压部分 193 的负升压。如果误差检测信号为预定逻辑(即,高逻辑)(即,如果公共电压 V_{com} 高于高电势基准电压 V_{ch}),则升压控制部分 197 允许从升压部分 193 执行低速负升压。相反,如果误差检测信号 EDS 为基础逻辑(即,低逻辑值)(即公共电压 V_{com} 低于高电势基准电压 V_{ch}),则升压控制部分 197 允许子升压部分 193 执行快速正升压。

为了控制四个升压模式,升压控制部分 197 包括共同响应于极性翻转信号 POL 的发散控制器 197A 和收敛控制器 197B。发散控制器 197A 允许主升压部分 191 根据极性翻转信号 POL 执行高速正升压或者高速负升压。此外,根据来自误差检测部分 195 的误差检测信号 EDS 的逻辑值,发散控制器 197A 允许主升压部分 191 连续执行高速升压(即正升压或者负升压)。例如,如果该极性翻转信号 POL 为高逻辑,则只有在误差检测信号 EDS 为预定逻辑时(即,高逻辑)(即,仅在公共电压 V_{com} 高于低电势基准电压 V_{cl} 时)发散控制器 197A 允许主升压部分 191 执行高速负升压。由于主升压部分 191 的高速负升压,输出节点 Nout 上的公共电压迅速降低为低电势基准电压 V_{cl} 。因此,缩短了将公共电压 V_{com} 从高电势基准电压 V_{ch} 降低到低电势基准电压 V_{cl} 的周期。相反,如果极性翻转信号 POL 为低逻辑,则只有在误差检测信号 EDS 为基础逻辑时(即,低逻辑值)(即,仅在公共电压 V_{com} 低于高电势基准电压 V_{ch} 时),发散控制器 197A 允许主升压部分 191 执行高速正升压。由于主升压部分 191 的高速正升压,输出节点 Nout 上的公共电压 V_{com} 迅速升高为高电势基准电压 V_{ch} 。因此,缩短了将公共电压 V_{com} 从低电势基准电压 V_{cl} 升高到高电势基准电压 V_{ch} 的周期。

类似地,收敛控制器 197B 允许从升压部分 193 根据极性翻转信号 POL 的逻辑值执行低速正升压或者低速负升压。收敛控制器 197B 允许根据发散控制器 197A 的输出信号与主升压部分 191 的升压协作执行从升压部分 193 的低

速升压（正升压或者负升压）。例如，如果该极性翻转信号 POL 为高逻辑，则只有在主升压部分 191 的高速负升压中断时（即，只有在公共电压 Vcom 低于低电势基准电压 Vcl 时）收敛控制器 197B 才允许子升压部分 193 执行低速正升压。子升压部分 193 的低速正升压允许公共电压 Vcom 从低于低电势基准电压 Vcl 的电压增加到低电势基准电压 Vcl。因此，公共电压 Vcom 稳定地保持低电势基准电压 Vcl 并防止出现振荡现象。相反，如果极性翻转信号 POL 为低逻辑，则只有在主升压部分 191 的高速正升压中断时（即，只有在公共电压 Vcom 高于高电势基准电压 Vch 时），收敛控制器 197B 才允许子升压部分 193 执行低速负升压。子升压部分 193 的低速负升压允许输出节点 Nout 上的公共电压 Vcom 从高于高电势基准电压 Vch 的电压降低到高电势基准电压 Vch。

如上所述，在图 2 的对应于本发明的基准电压产生电路的优选实施方式的公共电压产生电路中，执行高速正升压或者高速负升压从而在低电势基准电压 Vcl 和高电势基准电压 Vch 之间的电平范围内实现快速电压发散。响应于从低电势基准电压 Vcl 和高电势基准电压 Vch 之间的电平范围偏离的公共电压，执行低速正升压或者低速负升压以实现低速电压收敛。因此，根据本发明优选实施方式的公共电压产生电路不会产生振荡现象。因此，公共电压缩短了两个电平的转换周期并稳定保持转换后的电平。

图 3 所示为用于说明图 2 的公共电压产生电路的电路图。参照图 3，主升压部分 191 包括连接在电源线 Vdd 和输出节点 Nout 之间的第一晶体管 ML1 以及位于基础电压线 GND 和输出节点 Nout 之间的第二晶体管 ML2。当高速正控制信号 HPS 处于低状态时第一晶体管 ML1 导通并从电源线 Vdd 向输出节点 Nout 施加电源电压以快速提高输出节点 Nout 处的公共电压 Vcom。换句话说，第一晶体管 ML1 执行高速正升压。为此，采用具有较宽沟道宽度的 PMOS 晶体管作为第一晶体管 ML1，而在将高速正控制信号 HPS 使能为高状态时采用具有宽沟道宽度的 NMOS 晶体管。另一方面，当高速负控制信号 HNS 处于高状态时第二晶体管 ML2 导通并快速将输出节点 Nout 上的公共电压 Vcom 放电到基础电压线 GND。换句话说，第二晶体管 ML2 执行高速负升压。为此，采用具有大沟道宽度的 NMOS 晶体管作为第二晶体管 ML2，而在将高速负控制信号 HNS 使能为低状态的情况时采用具有大沟道宽度的 PMOS 晶体管。

类似地，子升压部分 193 包括连接在电源线 Vdd 和输出节点 Nout 之间的

第三晶体管 ML1 和位于输出节点 Nout 和基础电压线 GND 之间的第四晶体管 MS2。当低速正控制信号 LPS 处于低状态时第三晶体管 MS1 导通并从电源线 Vdd 向输出节点 Nout 施加电源电压以缓慢提高输出节点 Nout 上的公共电压 Vcom。换句话说，第三晶体管 MS1 执行低速正升压。为此，采用具有窄沟道宽度的 PMOS 晶体管作为第三晶体管 MS1，而在将低速正控制信号 LPS 使能为高状态时采用具有窄沟道宽度的 NMOS 晶体管。另一方面，当低速负控制信号 LNS 处于高状态时第四晶体管 MS2 导通并将输出节点 Nout 上的公共电压 Vcom 缓慢放电到基础电压线 GND。换句话说，第四晶体管 MS2 执行低速负升压。为此，采用具有窄沟道宽度的 NMOS 晶体管作为第四晶体管 MS2，而在将低速负控制信号 LNS 使能为低状态的情况采用具有窄沟道宽度的 PMOS 晶体管。

误差检测部分 195 包括通过控制开关 SW1 输入基准电压的比较器 200。控制开关 SW1 根据来自图 1 的时序控制器 130 的极性翻转信号 POL 的逻辑值施加低电势基准电压 Vcl 或者高电势基准电压 Vch。例如，如果极性翻转信号 POL 为高逻辑，则控制开关 SW1 向比较器的翻转终端 POL 施加低电势基准电压 Vcl。相反，如果极性翻转信号 POL 为低逻辑，则控制开关向比较器的翻转终端施加高电势基准电压 Vch。比较器 200 对来自输出节点 Nout 的公共电压 Vcom 和来自控制开关 SW1 的低电势或者高电势基准电压 Vcl 或者 Vch 进行比较并产生具有高逻辑或者低逻辑的误差检测信号 EDS。如果公共电压 Vcom 高于低电势或者高电势基准电压 Vcl 或者 Vch，则误差检测信号 EDS 具有高逻辑，而如果公共电压 Vcom 低于低电势或者高电势基准电压 Vcl 或者 Vch，则误差检测信号 EDS 具有低逻辑。

发散控制器 197A 包括共同输入有极性翻转信号 POL 和来自比较器 200 的误差检测信号 EDS 的或门 201 和与门 202。或门 201 仅在极性翻转信号 POL 和误差检测信号 EDS 均为低逻辑时（即，当公共电压 Vcom 低于通过极性翻转信号 POL 选择的高电势基准电压 Vch 时）产生使能为低状态的高速正控制信号 HPS。将在或门 201 中产生的高速正控制信号 HPS 施加给第一晶体管 ML1 的栅端从而允许第一晶体管 ML1 执行高速正电压升压。然后，在输出节点 Nout 上的公共电压 Vcom 迅速从低电势基准电压 Vcl 接近高电势基准电压 Vch。在通过高逻辑驱动第一晶体管 ML1 的情况通过或非门替代执行或操作的或门

201。与门 202 仅在极性翻转信号 POL 和误差检测信号 EDS 均为高逻辑时(即,当公共电压 V_{com} 高于通过极性翻转信号 POL 选择的低电势基准电压 V_{cl} 时)产生使能为高状态的高速负控制信号 HNS。将在与门 202 中产生的高速负控制信号 HNS 施加给主升压部分 191 的第二晶体管 ML2 的栅端从而允许第二晶体管 ML2 执行高速负电压升压。然后,在输出节点 Nout 上的公共电压 V_{com} 迅速从高电势基准电压 V_{ch} 接近低电势基准电压 V_{cl} 。在通过低逻辑驱动第二晶体管 ML2 的情况可以通过或门替代与门 202 执行与操作。

收敛控制器 197B 包括共同输入有极性翻转信号 POL 的异或非门 203 (ENOR 门)和异或门 204 (EOR 门)。异或非门 203 执行极性翻转信号 POL 和来自发散控制器 197B 的与门 202 的高速负控制信号 HNS 的异或非操作。异或非门 203 仅在极性翻转信号 POL 和高速负控制信号 HNS 具有不同逻辑时(即当公共电压 V_{com} 低于通过极性翻转信号 POL 选择的低电势基准电压 V_{ch} 时)产生使能为低状态的低速正控制信号 LPS。将在异或非门 203 中产生的低速正控制信号 LPS 施加给子升压部分 193 的第三晶体管 MS1 的栅端以允许第三晶体管 MS1 执行低速正电压升压。然后,在输出节点 Nout 上的公共电压 V_{com} 缓慢从低于低电势基准电压 V_{cl} 的电压接近低电势基准电压 V_{cl} 。在通过高逻辑驱动第三晶体管 ML1 的情况可以通过异或门替代异或非门 203 执行异或非操作。异或门 204 执行极性翻转信号 POL 和来自发散控制器 197A 的或门 201 的低速正控制信号 HPS 的异或操作。异或门 204 仅在极性翻转信号 POL 和高速负控制信号 HNS 具有相同逻辑时(即当公共电压 V_{com} 高于通过极性翻转信号 POL 选择的高电势基准电压 V_{ch} 时)产生使能为高状态的低速负控制信号 LNS。将在异或门 204 中产生的低速负控制信号 LNS 施加给子升压部分 193 的第四晶体管 MS2 的栅端以允许第四晶体管 MS2 执行低速负电压升压。然后,在输出节点 Nout 上的公共电压 V_{com} 缓慢从高于高电势基准电压 V_{ch} 的电压接近高电势基准电压 V_{ch} 。在通过低逻辑驱动第四晶体管 MS2 的情况可以通过异或非门替代异或门 204 执行异或操作。

通过图 4 所示的逻辑表,图 3 中包括公共电压产生电路的元件的输出信号是显而易见的,其中该公共电压产生电路为本发明的基准电压产生电路的优选实施方式。本领域的技术人员可以很容易地理解图 4 的逻辑表中信号的逻辑变量。因此,这里省略对图 4 的逻辑表的说明。

如上所述，在根据本发明的基准电压产生电路中，在低电势基准电压和高电势基准电压之间的电平范围内执行高速正负升压从而进行快速电压发散。另一方面，响应于从低电势基准电压和高电势基准电压之间的电平范围偏离的公共电压，执行低速正负升压以进行低速电压收敛。从而，摇摆式基准电压信号缩短了两个电平之间的转换时间并稳定保持转换后的电平。

在本发明的液晶显示器件中，采用具有快发散特性和慢收敛特性的摇摆式基准电压信号作为基准电压 V_{com} ，在交替施加给液晶面板上的液晶单元的负极性和正极性像素数据电压中不会产生噪声。由此，根据本发明的液晶显示器件可以在没有诸如闪烁和人为干扰的情况下显示高质量的图像。

尽管参照图 1 到图 4 描述了本发明的优选实施方式，但是显然熟悉本领域的技术人员可以对本发明进行修改和变形。例如，在图 2 和 3 中的极性翻转信号可以由至少两位构成的电平选择信号并且根据该电平选择信号的逻辑值可以有至少三个不同基准电平以选择性地与公共电压进行比较。这样，发散和收敛控制器根据电平选择信号和误差检测信号的逻辑值而允许升压部分选择性执行高速正负升压和低速正负升压。在输出节点上可以产生在前一选择基准电平和当前选择基准电平之间具有快速发散特性并在偏离上述二者之间以外的范围具有慢收敛特性的摇摆式公共电压（即，基准电压）。因此，本发明的技术范围和特征不限于说明书中的优选实施方式，而应当有权利要求书限定。

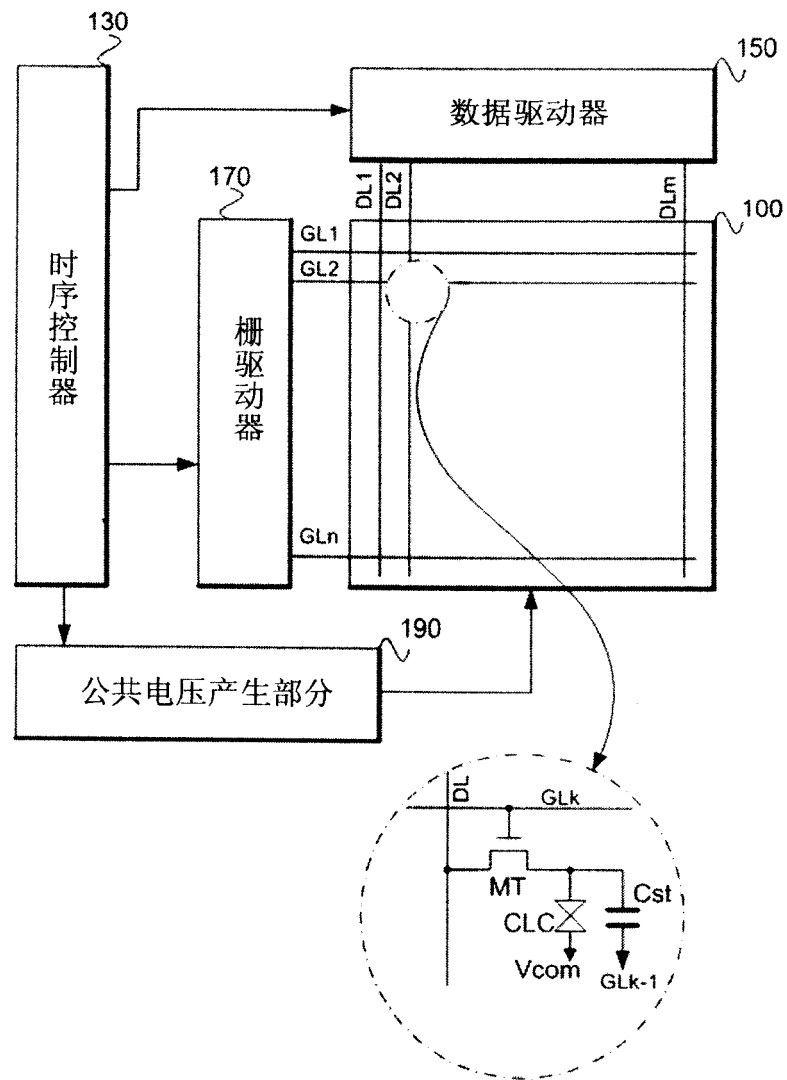


图 1

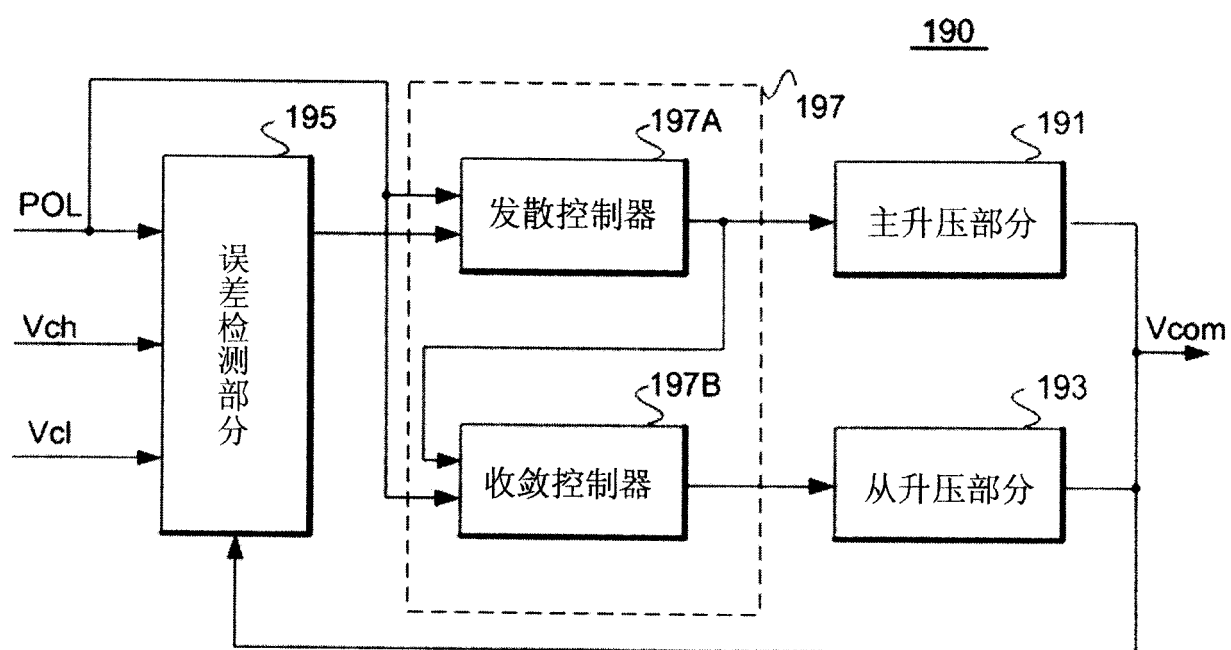


图 2

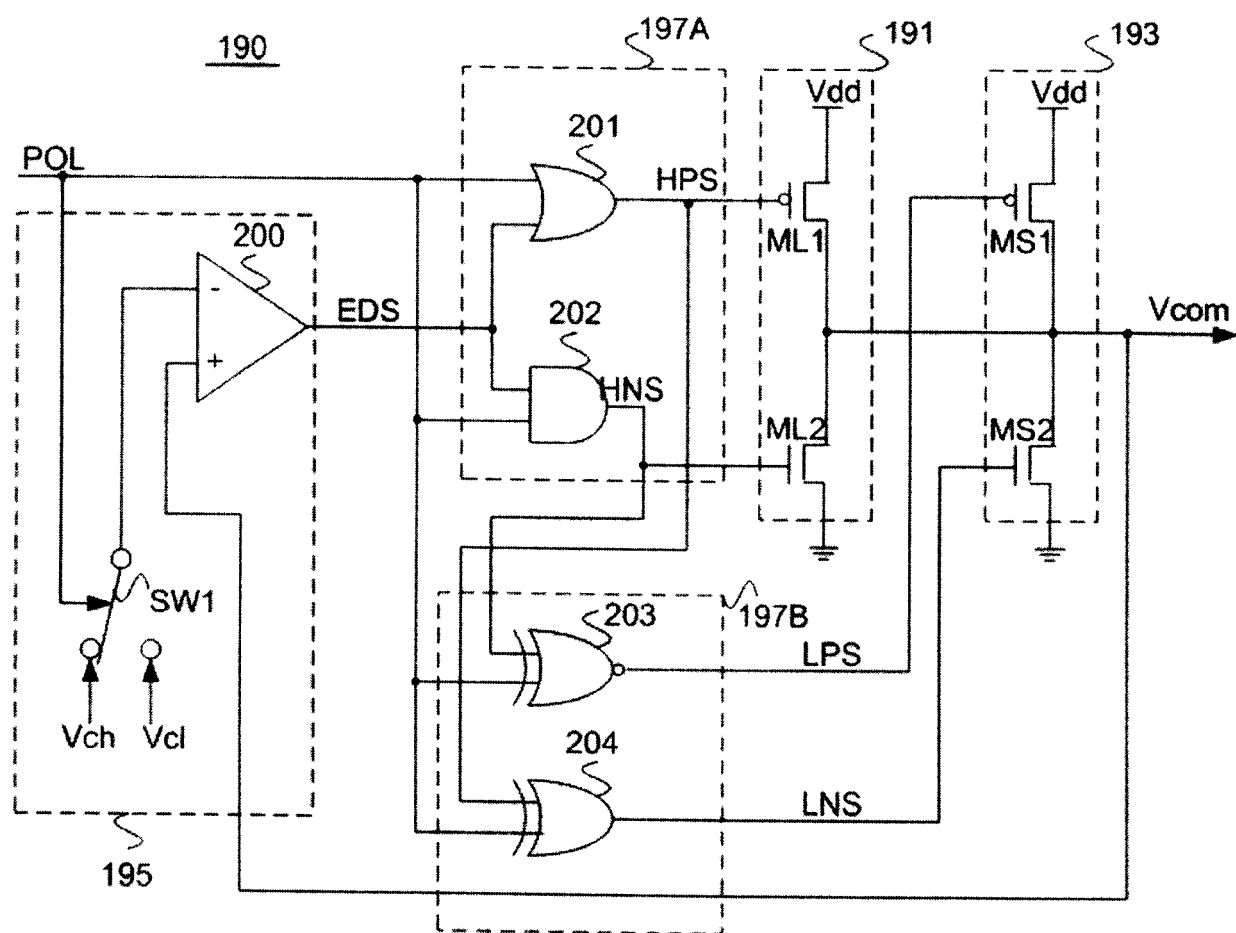


图 3

POL	EDS		HPS	HNS	LPS	LNS	导通
L	$V_{ch} > V_{com}$	L	L	L	H	L	ML1
L	$V_{ch} < V_{com}$	H	H	L	H	H	MS2
H	$V_{cl} > V_{com}$	L	H	L	L	L	MS1
H	$V_{cl} < V_{com}$	H	H	H	H	L	ML2

图 4

专利名称(译)	基准电压产生电路以及采用其的液晶显示器件		
公开(公告)号	CN101097694A	公开(公告)日	2008-01-02
申请号	CN200610160980.7	申请日	2006-12-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	LG.飞利浦LCD株式会社		
[标]发明人	李副烈		
发明人	李副烈		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G05F1/46 H03K19/0175		
CPC分类号	G09G2320/0247 G09G3/3614 G09G3/3655		
代理人(译)	徐金国		
优先权	1020060060200 2006-06-30 KR		
其他公开文献	CN100573646C		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种用于产生摇摆式基准电压的基准电压产生电路，其可以缩短至少两个电平之间的转换周期并稳定保持转换后的电平。该基准电压产生电路包括：主升压部分，其选择性执行高速正、负升压以快速升高和降低输出节点上的输出电压；从升压部分，其选择性执行低速正、负升压以缓慢升高和降低输出节点上的输出电压；输入部分，其用于输入电平指定信号以交替指定第一基准电平和第二基准电平；和开关控制部分，其响应于电平指定信号而交替对输出电压与第一和第二基准电平进行比较并选择性执行主升压部分的正、负升压以及从升压部分的正、负升压其中之一。

