



(12) 发明专利

(10) 授权公告号 CN 101030360 B

(45) 授权公告日 2012. 06. 13

(21) 申请号 200710084466. 4

(22) 申请日 2007. 03. 02

(30) 优先权数据

057105/2006 2006. 03. 03 JP

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 饭塚胜 白石伊织 辻壮介

金野洋仁

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 王英

(51) Int. Cl.

G09G 3/36 (2006. 01)

G09G 3/20 (2006. 01)

G09G 5/22 (2006. 01)

G09G 5/36 (2006. 01)

G09G 5/39 (2006. 01)

G02F 1/133 (2006. 01)

(56) 对比文件

CN 1479309 A, 2004. 03. 03, 全文.

CN 1495794 A, 2004. 05. 12, 全文.

WO 2005/015569 A2, 2005. 02. 17, 说明书第
3 页第 7 行至第 7 页第 25 行、图 1.

审查员 丁芃

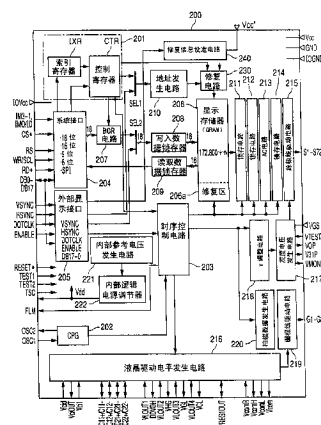
权利要求书 2 页 说明书 11 页 附图 8 页

(54) 发明名称

显示控制半导体集成电路

(57) 摘要

本发明提供一种其中具有 RAM 的显示控制半导体集成电路, 能够修复包括在 RAM 中的缺陷位并且在不显著增加占用区的情况下改进良率。一种液晶控制器 / 驱动器包括用于设定缺陷地址的熔丝电路和用于将设定在该熔丝电路中的缺陷地址与输入地址进行比较的比较电路, 其中在芯片中提供用于存储显示数据的 RAM, 并根据将要被驱动的液晶面板的显示屏的大小确定内置 RAM 的存储容量。该液晶控制器 / 驱动器还具有冗余电路, 在地址彼此匹配时, 其用于用指示备用存储区的地址替换该输入地址, 并将该地址提供到地址解码器。



1. 一种显示控制半导体集成电路,包括:

可读取/可写入的显示存储器,具有的存储区小于 2^n 的地址空间,其能够通过由 n 位二进制码所组成的地址表示,其中 n 为整数,并且在所述存储区中存储显示数据,其中该显示存储器具有除用于存储显示数据的普通存储区以外的备用存储区;以及

提供了修复电路,用于通过用所述备用存储区替换在所述显示存储器中包括缺陷的区域来执行缺陷修复,

其中将所述备用存储区的地址设定在所述地址空间中并且在所述普通存储区的地址范围以外,

所述显示控制半导体集成电路还包括:

地址设定寄存器,用于设定区域以显示显示屏幕中的窗口,

其中将所述备用存储区的所述地址设定在所述寄存器可以设定的地址的地址范围以外,

所述显示控制半导体集成电路还包括:

修复信息设定单元,用于对所述显示存储器中包括缺陷的区域的地址信息进行设定,

其中当没有对所述显示存储器中包括缺陷的所述区域的地址信息进行设定时,所述修复信息设定单元表示在所述地址空间内的所述普通存储区和所述备用存储区的地址范围以外的地址,

其中所述修复信息设定单元不具有用于设定表示所述显示存储器中包括缺陷的区域是否由所述备用存储区替换的信息的单元,

所述显示控制半导体集成电路还包括:

地址比较电路,用于将设定在所述修复信息设定单元中的地址与提供到所述显示存储器的输入地址相比较;以及

地址替换电路,当所述地址比较电路检测到所述地址匹配时,用于用指定所述备用存储区的地址替换提供到所述显示存储器的所述输入地址,

所述显示控制半导体集成电路还包括:

第一地址计数器,用于产生用于向所述显示存储器写入数据的地址;

第二地址计数器,用于产生用于从所述显示存储器中读取数据的地址;

第一地址比较电路,用于将由所述第一地址计数器产生的地址与设定在所述修复信息设定单元中的地址进行比较;以及

第二地址比较电路,用于将由所述第二地址计数器产生的地址与设定在所述修复信息设定单元中的所述地址进行比较,

其中在所述第一或第二地址比较电路检测到地址匹配时,所述地址替换电路替换地址。

2. 根据权利要求1所述的显示控制半导体集成电路,

其中所述显示存储器具有地址解码器,并且该地址解码器基于公共输入地址选择所述普通存储区和所述备用存储区。

3. 根据权利要求1所述的显示控制半导体集成电路,

其中所述地址替换电路通过由多个逻辑门电路组成的组合逻辑电路构成,接收输入到所述地址比较电路的地址和所述地址比较电路的输出,并且能够通过逻辑操作输出指定所

述备用存储区的地址。

4. 根据权利要求 1 所述的显示控制半导体集成电路，

其中所述修复电路以字为单位执行用所述备用存储区替换在所述显示存储器中包括缺陷的区域，该字作为所述显示存储器中的对应于显示装置中的一条显示线的存储区。

5. 根据权利要求 1 所述的显示控制半导体集成电路，还包括：

写禁止控制电路，包括第三地址比较电路，用于检测由所述第一地址计数器所产生的地址是否位于所述普通存储区的地址范围内，并且当所述第三地址比较电路确定所述第一地址计数器所产生的地址不位于所述普通存储区的所述地址范围内时，产生并输出禁止向所述显示存储器写入数据的信号。

6. 根据权利要求 5 所述的显示控制半导体集成电路，

其中所述显示存储器具有地址解码器，并且该地址解码器基于公共输入地址选择所述普通存储区和所述备用存储区。

7. 根据权利要求 5 所述的显示控制半导体集成电路，

其中所述地址替换电路通过由多个逻辑门电路组成的组合逻辑电路构成，接收输入到所述地址比较电路的地址和所述地址比较电路的输出，并且能够通过逻辑操作输出指定所述备用存储区的地址。

8. 根据权利要求 5 所述的显示控制半导体集成电路，

其中所述修复电路以字为单位执行用所述备用存储区替换在所述显示存储器中包括缺陷的区域，该字作为所述显示存储器中的对应于显示装置中的一条显示线的存储区。

显示控制半导体集成电路

[0001] 相关申请的交叉引用

[0002] 本申请要求 2006 年 3 月 3 日提交的日本专利申请 No. 2006-57105 的优先权, 此处通过援引将其内容并入本申请中。

技术背景

[0003] 本发明涉及一种显示控制器, 该显示控制器中具有存储显示数据并控制显示设备的 RAM(随机存储器), 还涉及一种有效应用于形成为集成半导体电路的显示控制器的技术。例如, 本发明涉及一种有效用于驱动液晶显示面板的液晶控制半导体集成电路的技术。

[0004] 近年来, 作为诸如手机或 PDA(个人数字助理) 等便携式电子设备的显示器, 通常采用点阵式液晶面板, 其中多个显示像素二维设置在矩阵中。在该设备中, 安装了形成为半导体集成电路并控制液晶面板显示的液晶显示控制器 (液晶控制器) 和在该控制器控制下驱动该液晶面板的液晶驱动器, 或者其中具有液晶控制器和液晶驱动器的液晶控制器 / 驱动器。

[0005] 迄今, 在液晶控制器 / 驱动器中 (包括液晶控制器), 用于存储显示数据的 RAM 设置在芯片中。内置 RAM 的存储容量通常根据将要被驱动的液晶面板的显示屏大小来确定, 并且其大小比通用存储器的存储容量小。另外, 不设置用于修复缺陷位的所谓冗余电路。

[0006] 将内置 RAM 的存储容量设定为液晶面板的屏幕的大小的原因如下。即使在液晶控制器 / 驱动器中将内置 RAM 的容量设定为存储液晶面板的一个屏幕的显示数据的大小, 芯片区中的 RAM 的比例仍是相当大的。因此, 存储容量的增加直接导致芯片成本的增加。在具有存储一屏显示数据的容量的内置 RAM 中, 由该 RAM 中的缺陷所造成的良率的恶化是如此重大的。因此, 不必提供冗余电路, 并且可以避免提供冗余电路而带来的芯片尺寸的增大。

[0007] 例如, 在日本未审查专利公报 No. 2000-347646 中介绍了一种将内置 RAM 的存储容量设定为存储液晶面板的一屏显示数据的大小的技术。

发明内容

[0008] 为了减小液晶控制器 / 驱动器的芯片大小并降低该芯片的成本, 本发明的发明人试图通过采用微加工工艺来提高内置 RAM 的存储密度。然而, 发现当内置 RAM 的存储密度增大时, 更容易出现缺陷, 并且出现了由 RAM 中的缺陷而引起的良率恶化问题。

[0009] 在这里, 发明人已经研究通过应用存储器缺陷修复技术来提高良率, 该技术使用了用在通用 RAM 中的冗余电路。在用在通用 RAM 中的冗余电路中, 如图 10 所示, 分别提供用于在普通存储器中选择行或列的控制电路和用于在备用存储器中选择行或列的控制电路, 其中备用存储器由缺陷位代替。由于诸如在访问普通存储器中的行或列时的读取速度和在访问备用存储器中的行或列时的读取速度等操作特性互不相同, 因此存在难以在存储器外围电路中进行时序设计的问题。

[0010] 另外, 通用 RAM 中采用的存储器缺陷修复技术不但需要具有诸如熔丝等可编程器件并对将要被修复的存储器中行或列的地址进行存储的电路 (下文, 称作熔丝电路), 而且

还需要存储表明是否执行修复,即是否使用备用存储器中的行或列的信息的熔丝电路。基于熔丝电路的状态,产生并提供用于使备用存储器中的行或列有效或无效的控制信号(在图 10 中用参考标记 EN 表示的信号)。

[0011] 此外,在备用存储器中的多个行或列设置在通用 RAM 的冗余电路中的情况下,需要提供指定将要被使用的存储器行或列的选择信号(在图 10 中用参考标记 SS 表示的信号)。因此,当将通用 RAM 的存储器缺陷修复技术直接应用于液晶控制器/驱动器时,存在冗余电路和布线的占用区变大的问题,并且其导致阻碍芯片尺寸的减小。

[0012] 本发明的目的在于修复包括在 RAM 中的缺陷位而不会过大地增加显示控制半导体集成电路中的占用区,这种显示控制半导体集成电路例如是其中具有存储显示数据的 RAM 的液晶控制器/驱动器,从而使良率得到改进。

[0013] 本发明的另一个目的是便于设计存储器外围电路的时序,使得在显示控制半导体集成电路中,诸如访问普通存储区时的读取速度和访问备用存储区时的读取速度等操作特性互不相同,其中该显示控制半导体集成电路例如是其中具有存储显示数据的 RAM 的液晶控制器/驱动器。

[0014] 通过对说明书及附图的说明,本发明的上述和其它目的以及新颖性特征将变得显而易见。

[0015] 下文将介绍本申请所公开发明中的一个代表性发明的概要。

[0016] 一种显示控制半导体集成电路,其中在芯片中提供用于存储显示数据的 RAM,并根据将要被驱动的液晶面板的显示屏的大小确定内置 RAM 的存储容量,该显示控制半导体集成电路包括用于设定缺陷地址的熔丝电路和用于将设定在该熔丝电路中的缺陷地址与输入地址进行比较的比较电路。该电路也具有冗余电路,在地址彼此匹配时,其用于将指示备用存储区的地址代替输入地址,并将该地址提供到地址解码器。

[0017] 通常,将诸如液晶控制器/驱动器等显示控制半导体集成电路中所提供 RAM 的容量设定为存储液晶面板的一屏显示数据的容量。液晶面板的一个屏幕的大小根据不同于地址位数或者指定通用存储器的大小的数据的标准来确定,并且其不是 2 的 n 次幂(n :整数)。简言之,在液晶控制器/驱动器中,内置 RAM 的使用地址区小于内置 RAM 中的地址位数所指定的有效地址空间。

[0018] 在本发明中,通过注意到这样的事实,将用于修复的备用存储区分配在有效地址空间中的未使用的地址区中,该有效地址空间由内置 RAM 的地址位数指定。另外,作为熔丝电路的默认值,分配了指示这种区域的地址,其中该区域位于有效地址空间中的未使用地址区中,并且没有将该区域分配为修复存储区。

[0019] 在提供用于设定区域以显示显示屏中的窗口的地址设定寄存器的情况下,将备用存储区的地址设定在该寄存器所设定地址的地址范围以外。由于窗口显示区一般最大可以设定为整个显示屏幕,因此可由寄存器设定地址的地址范围以外的地址对应于有效地址空间中的未使用的地址区。如果液晶控制器/驱动器具有用于在内置 RAM 中设定有效存储区的寄存器,显然可以将寄存器可在其中设定地址的地址范围以外的地址识别为未使用的地址区。

[0020] 利用上述装置,不必将用于选择普通存储器行或列的控制电路和用于选择将被缺陷位代替的备用存储器行或列的控制电路构建为单独的电路,并且便于存储器外围电路的

时序设计。

[0021] 另外,由于熔丝电路的默认值是指示未使用地址区的地址,该未使用地址区在有效地址空间中并且没有将其分配为备用存储区,因此不必产生用于使备用存储器行或列有效或无效的控制信号。

[0022] 而且,在将备用存储区分配为有效地址空间中的未使用地址区的情况下,缺陷地址和输入地址相互比较,并且确定地址匹配,输入地址由指示备用存储区的地址代替,并且将最终地址提供给地址解码器。因此,在提供多个备用存储器行或列的情况下,不必单独产生和提供指定将要被使用的存储器行或列的选择信号。

[0023] 根据本发明的一方面,提供了一种显示控制半导体集成电路,包括:

[0024] 可读取/可写入的显示存储器,具有的存储区小于 2^n 的地址空间,其能够通过由 n 位二进制码所组成的地址表示,其中 n 为整数,并且在该存储区中存储显示数据,其中该显示存储器具有除用于存储显示数据的普通存储区以外的备用存储区;以及

[0025] 提供了修复电路,用于通过用所述备用存储区替换在所述显示存储器中包括缺陷的区域来执行缺陷修复,

[0026] 其中将所述备用存储区的地址设定在所述地址空间中并且在所述普通存储区的地址范围以外,

[0027] 所述显示控制半导体集成电路还包括:

[0028] 地址设定寄存器,用于设定区域以显示显示屏幕中的窗口,

[0029] 其中将所述备用存储区的所述地址设定在所述寄存器可以设定的地址的地址范围以外,

[0030] 所述显示控制半导体集成电路还包括:

[0031] 修复信息设定单元,用于对所述显示存储器中包括缺陷的区域的地址信息进行设定,

[0032] 其中当没有对所述显示存储器中包括缺陷的所述区域的地址信息进行设定时,所述修复信息设定单元表示在所述地址空间内的所述普通存储区和所述备用存储区的地址范围以外的地址,

[0033] 其中所述修复信息设定单元不具有用于设定表示所述显示存储器中包括缺陷的区域是否由所述备用存储区替换的信息的单元,

[0034] 所述显示控制半导体集成电路还包括:

[0035] 地址比较电路,用于将设定在所述修复信息设定单元中的地址与提供到所述显示存储器的输入地址相比较;以及

[0036] 地址替换电路,当所述地址比较电路检测到所述地址匹配时,用于用指定所述备用存储区的地址替换提供到所述显示存储器的所述输入地址,

[0037] 所述显示控制半导体集成电路还包括:

[0038] 第一地址计数器,用于产生用于向所述显示存储器写入数据的地址;

[0039] 第二地址计数器,用于产生用于从所述显示存储器中读取数据的地址;

[0040] 第一地址比较电路,用于将由所述第一地址计数器产生的地址与设定在所述修复信息设定单元中的地址进行比较;以及

[0041] 第二地址比较电路,用于将由所述第二地址计数器产生的地址与设定在所述修复

信息设定单元中的所述地址进行比较，

[0042] 其中在所述第一或第二地址比较电路检测到地址匹配时，所述地址替换电路替换地址。

[0043] 下面将简要介绍本中请公开的发明中的一个代表性发明所获得的效果。

[0044] 根据本发明，在诸如其中具有用于存储显示数据的 RAM 的液晶控制器 / 驱动器这样的显示控制半导体集成电路中，修复包括在该 RAM 中的缺陷位，并且可以在不显著增大占用区域的情况下提高良率。

附图说明

[0045] 图 1 是示出其中具有 RAM 和修复电路的液晶控制器 / 驱动器的实施例的框图；

[0046] 图 2 是示出该实施例的液晶控制器 / 驱动器中的显示存储器中的存储区和地址空间之间关系的简图；

[0047] 图 3 是示出在执行窗口显示和窗口区的情况下的显示屏幕和窗口区之间的关系简图；

[0048] 图 4 是示出存储器中的字选择地址和修复信息之间的关系简图，在该存储器中，将数据存储区设定在整个数据存储区中并且不存在如同通用 RAM 那样的未使用的地址空间；

[0049] 图 5 是示出该实施例的液晶控制器 / 驱动器中的显示存储器中的字选择地址和修复信息之间关系的简图；

[0050] 图 6 是示出该实施例的液晶控制器 / 驱动器中的修复电路的结构实例的框图；

[0051] 图 7 是示出该实施例的液晶控制器 / 驱动器的修复电路中的工作时序的时序图；

[0052] 图 8 是示出该实施例的修复电路中的替换电路的结构实例的框图；

[0053] 图 9 是示出该实施例中的替换电路的另一个结构实例的框图；

[0054] 图 10 是示出通用 RAM 中所采用的冗余电路的结构框图。

具体实施方式

[0055] 下文将参考附图介绍本发明的优选实施例。

[0056] 图 1 是示出其中具有 RAM 和修复电路的液晶控制器 / 驱动器 200 的实施例的框图。液晶控制器 / 驱动器 200 其中将 RAM (下文称作显示存储器) 作为存储器，以存储将要在点阵式液晶显示面板上用图形显示的数据。液晶控制器 / 驱动器 200 与写入电路、读取电路和用于输出液晶显示面板的驱动信号的驱动器一起构造为在单个半导体基板上的半导体集成电路。

[0057] 本实施例的液晶控制器 / 驱动器 200 具有控制器 201，用于基于来自外部微处理器、微机或类似设备的指令来控制整个芯片。液晶控制器 / 驱动器 200 还具有脉冲发生器 202，用于基于来自外部的振荡信号或者来自连接到外部端子的振荡器的振荡信号生成在芯片内部的参考时钟脉冲，并且还有时序控制电路 203，用于基于该时钟脉冲生成向芯片中的各种电路提供工作时序的时序信号。

[0058] 液晶控制器 / 驱动器 200 还具有系统接口 204，用于经由未示出的系统总线向微机之类类似设备发送诸如主要像指令那样的数据和固定的显示数据或者从微机之类类似设备接

收主要像指令那样的数据和固定的显示数据,并且还具有外部显示接口 205,用于经由未示出的显示数据总线接收主要来自应用处理器及类似设备的移动图像数据和水平/垂直同步信号 HSYNC 和 VSYNC。

[0059] 此外,该液晶控制器/驱动器 200 具有:显示存储器 206,用于以位图法存储显示数据;以及位转换电路 207,用于执行位处理,例如对来自微机的 RGB 的写入数据的位重新排列。液晶控制器/驱动器 200 具有:写入数据锁存电路 208,用于锁存和保持由位转换电路 207 转换的显示数据或者经由外部显示接口 205 输入的显示数据;读取数据锁存电路 209,用于保持从显示存储器 206 读取的显示数据;以及地址发生电路 210,用于为显示存储器 206 产生选择地址。

[0060] 显示存储器 206 由可读取并可写入的 RAM 和地址解码器构成,其中该 RAM 具有包括多个存储单元、字线和位线(数据线)的存储阵列,该地址解码器用于解码地址发生电路 210 提供的地址并产生对该存储阵列中的字线或位线进行选择信号。显示存储器 206 具有:读出放大器,用于放大从存储单元读出的信号;以及写入驱动器,用于根据写入数据将预定电压施加给存储阵列中的位线。尽管没有限制,但是在本实施例中所构成的存储阵列具有 172,800 字节的存储容量,并且可以基于列(18 位)单元通过 17 位的地址信号读取/写入数据。

[0061] 此外,液晶控制器/驱动器 200 还具有:第一和第二锁存电路 211 和 212,用于顺序锁存从显示存储器 206 读取的显示数据;AC 电路 213,用于将锁存的显示数据转换成用于执行防止液晶恶化的 AC 驱动的数据;以及锁存电路 214,用于保持 AC 电路所转换的数据。液晶控制器/驱动器 200 还具有:液晶驱动电平发生电路 216,用于产生驱动液晶面板所需的多个电平的电压;灰度电压发生电路 217,用于产生生成适应于彩色显示或者灰度显示的波形信号所需的灰度电压,这基于液晶驱动电平发生电路 216 所产生的电压;以及 γ 调整电路 218,用于设定灰度电压以校正液晶面板的 γ 特性。

[0062] 在锁存电路 214 的后级,设置了源极线驱动电路 215,其根据锁存电路 214 所锁存的显示数据从灰度电压发生电路 217 提供的灰度电压中选择电压,并输出将要施加到作为液晶面板的信号线的源极线的电压(源极线驱动信号)S1 到 S720。另一方面,设置了栅极线驱动电路 219、扫描数据发生电路 220 等等,其中栅极线驱动电路 219 用于输出将要施加到作为液晶面板的选择线的栅极线(也称为公共线)的电压(栅极线驱动信号)G1 到 G320,扫描数据发生电路 220 由移位寄存器构成,用于逐个将液晶面板的栅极线依次驱动到选择电平。

[0063] 此外,还设置了内部参考电压发生电路 221 以及电压调节器 222,其中,内部参考电压发生电路 221 用于产生内部参考电压,而电压调节器 222 用于通过降低外部提供的诸如 3.3V 或 2.5V 这样的电压 V_{cc} 来生成例如 1.5V 等内部逻辑电路的电源电压 V_{dd} 。在图 1 中,SEL1 和 SEL2 表示数据选择器,其由时序控制电路 203 输出的开关信号控制并且选择性地通过多个输入信号中的任意信号。

[0064] 控制器 201 具有:诸如控制寄存器 CTR 这样的寄存器,用于控制整个芯片的工作状态,例如液晶控制器/驱动器 200 的工作模式;以及索引寄存器(index register)IXR,用于存储索引信息以查询控制寄存器 CTR 和显示存储器 206。当指定了在外部的微机或类似设备将数据写入索引寄存器 IXR 时所执行的指令时,控制器 201 产生并输出对应于所指定指

令的控制信号。

[0065] 在如上所述构造的控制器 201 控制下,液晶控制器 / 驱动器 200 基于来自微机等类似设备的指令和数据以在未示出的液晶面板上进行显示时执行将显示数据顺序写入显示存储器 206 的绘制过程 (drawing process)。液晶控制器 / 驱动器 200 还执行从显示存储器 206 中周期性读取显示数据的读取过程,产生并输出将要施加给液晶面板的源极线的信号,以及产生并输出将要顺序施加给栅极线的信号。

[0066] 系统接口 204 例如在将图像绘制到显示存储器 206 时将诸如寄存器所需的设定数据和显示数据等信号发送到诸如微机等系统控制器,或者从诸如微机等系统控制器接收诸如寄存器所需的设定数据和显示数据等信号。在该实施例中,系统接口 204 采用 80 系列接口的形式,其能够根据 IM3-1 和 IM0/ID 端子的状态选择 18 位、16 位、9 位和 8 位的并行输入 / 输出或者串行输入 / 输出。

[0067] 与显示存储器 206 对应,该实施例的液晶控制器 / 驱动器 200 具有:修复电路 230,用于修复显示存储器 206 中的缺陷位;以及修复信息设定电路 204,用于保持将要被修复的包括缺陷位的存储器行的地址作为修复信息。显示存储器 206 具有修复存储区 206a,其与用于存储显示数据的普通存储区分开设置。

[0068] 将参考图 2 介绍本实施例的液晶控制器 / 驱动器 200 中的显示存储器 206 中的存储区和地址空间之间的关系。如上所述,在该实施例中,可以利用 17 位的地址信号基于列 (18 位) 单元从显示存储器 206 读取数据或者将数据写入显示存储器 206。另一方面,将要由本实施例的液晶控制器 / 驱动器 200 所驱动的目标是彩色 QVGA 液晶面板,其具有水平方向上的 240 像素 $\times$ 垂直方向上的 320 像素。一个像素是由红、蓝和绿三个点构成的。

[0069] 当利用 6 位数据以灰度 64 表示每个点时,每个像素必然是 18 位的数据。QVGA 液晶面板的一个屏幕的显示数据是 $240 \times 320 \times 18 = 3,110,400$ 位 $= 172,800$ 字节。当将 18 位的数据设定为一列时,如图 2 所示,QVGA 液晶面板的一屏显示数据的存储区 MAR 的大小对应于 320 字 $\times$ 240 列。在该实施例中,一个字并不意味是 16 位,而是指连接到存储器阵列中的一个字线的存储单元组 (该实施例中,540 字节)。

[0070] 因此,用于选择 320 个字中的每一个字所需的字地址由 9 位组成,而用于选择 240 列中的每一列所需的列地址由 8 位组成。另一方面,9 位字地址和 8 位列地址所可以表示的地址空间 ADS 由 512 字 $\times$ 256 列构成。因此,在将显示存储器 206 的存储容量设定为存储 QVGA 液晶面板的一屏显示数据的大小的情况下,如图 2 所示,存在未使用的地址空间。

[0071] 在本实施例的液晶控制器 / 驱动器 200 中,构成显示存储器 206 和修复电路 230,使得未使用地址空间中的在字方向上的区域用作具有备用存储器行的修复存储区 206a。此外,在本实施例中,作为修复信息设定电路 (熔丝电路) 的默认值,分配了指示地址空间中的未使用地址区的地址,没有将其分配作为备用存储区。

[0072] 利用这种结构,不需要将用于选择普通存储器行的控制电路和用于在将要被缺陷位代替的修复存储区 206a 中选择备用存储器行 (下文称为冗余字) 构建为单独的电路,并且也不需要产生用于使冗余字有效或无效的控制信号。这个原因将参照附图 4 和 5 在下文描述。

[0073] 在下面的说明中,尽管没有限制,但是为修复存储区 206a 提供了四个冗余字,并且可以用以两个字为单位的普通存储器行对其进行替换。以两个字为单位执行替换的原因

是,当由于附着杂质或类似物质等而导致存储器阵列中出现缺陷时,该缺陷常常存在于两个字中,使得小型修复电路可以有效替换该缺陷字。

[0074] 图 4 示出了存储器中的字选择地址与修复信息之间的关系,在该存储器中,将数据存储区设定在整个地址空间中,而将未使用地址空间设定在如通用 RAM 中。图 5 示出了本实施例的液晶控制器 / 驱动器中的显示存储器中的字选择地址与修复信息之间的关系。

[0075] 在图 4 和图 5 中,字选择地址列中的 AD8 到 AD0 表示字选择地址的位。字选择地址列中的“9'h”表示 9 位的二进制代码的十六进制符号。修复地址(缺陷地址)列中的“8'b”表示 8 位的二进制代码符号。为了以两个字为单位进行替换,修复地址的位数少一位。在以一个字为单位执行替换的情况下,修复地址包括 9 位。图 4 中从右侧开始的第二列中的“8'bXXXXXXXX”表示可以使用任意的二进制代码。

[0076] 从图 4 中可以理解,当将数据存储区设定在整个地址空间时,在缺陷包括在字中的任意字中时所使用的修复地址必须被设定在熔丝电路中,使得没有空间用于修复地址。因此,除了用于设定修复地址的熔丝电路外,还需要用于设定是否使修复地址有效或无效的熔丝电路。

[0077] 另一方面,在存储器包括未使用的地址空间的情况下,如图 5 所示,通过将冗余字分配到未使用的地址空间,可以通过与选择普通字相同的操作来选择冗余字。另外,在不执行修复的情况下,由于在地址空间中存在未使用地址区这样的区域,并且其没有被分配作为备用存储区,所以将指示该区域的地址设定在熔丝电路中。

[0078] 虽然该地址是在地址空间中,但是没有对应于该地址的存储器。因此,即使将该地址输入到存储器中,存储器也不会操作。应该理解,用于使冗余字有效或无效的熔丝电路和控制信号(使能信号)是不必要的。此外,通过将在不执行修复的情况下所设定的地址设定为熔丝电路的默认值,并且将该默认值设定为例如“8'b11111111”作为初始状态,具有的优点是在不执行修复的情况下,熔丝电路本身的设定不是必须的了。

[0079] 图 6 示出了修复电路 230 的结构实例。图 7 示出了该修复电路 230 的工作时序。

[0080] 尽管在图 1 中没有示出,但是地址发生电路 210 具有:地址计数器 210a,用于产生在利用微机从显示存储器 206 读取显示数据或将显示数据写入到显示存储器 206 时所使用的地址;以及地址计数器 210b,用于产生在从显示存储器 206 中读取显示数据以将显示数据显示在液晶面板上时所使用的地址。修复电路 230 设置有与所述两个地址计数器 210a 和 210b 对应的两个比较电路 231a 和 231b,其中计数器所产生的地址 AC[16-8]P 和 CGAD[16-8]P 输入到这两个比较电路中。

[0081] 修复电路 230 设置有锁存电路 232,用于锁存和保持设定在修复信息设定电路 240 中的缺陷地址 FRADA[16-9]N 和 FRADB[16-9]N。修复信息设定电路 240 由诸如熔丝或者制造后可编程的非易失性存储器等器件构成,一旦进行了设定,即使在电源电压中断后也可以保持该设定。在本实施例中,可以对 9 位字选择地址中的两个高八位进行设定。通过设定高八位,便于基于以两个字为单位的替换。

[0082] 由锁存电路 232 锁存并转换后的缺陷地址 FRADA[16-9]P 和 FRADB[16-9]P 送到比较电路 231a 和 231b 中,并且分别与地址计数器 210a 和 210b 所产生的地址 AC[16-8]P 的高八位 AC[16-9]P 和 CGAD[16-8]P 的高八位 CGAD[16-9]P 进行比较。

[0083] 在比较电路 231a 和 231b 之后,设置了替换电路 233。当比较的地址不匹配时,替

换电路 233 将地址 AC[16-9]P 和 CGAD[16-9]P 按照原来的样子通过,而当比较的地址相匹配时,输出高八位的冗余地址,用于选择替换地址 AC[16-9]P 和 CGAD[16-9]P 的冗余字 Y320 和 Y321 或 Y322 和 Y323。

[0084] 通过将没有输入到比较电路的一个位 AC[8]P 或 CGAD[8]P 增加到替换电路 233 输出的八位地址以获得 9 位地址,锁存电路 234a 或 234b 锁存该 9 位地址。锁存电路 234a 或 234b 所锁存的地址由位于后级的选择器 235 选择并由锁存电路 236 锁存。之后,将该地址提供到显示存储器 206 中的解码器驱动器 DEC 中并被解码。结果,从显示存储器 206 中的字线 Y0 到 Y323 中选择出对应于解码地址的一条字线。

[0085] 在本实施例的液晶控制器/驱动器 200 中,当通过在该工艺的最后步骤中所进行的探针测试等而在显示存储器 206 中发现缺陷位时,将包括该缺陷位的存储器行的地址设定为修复信息设定电路 240 中的缺陷地址。当将液晶控制器/驱动器 200 安装在系统中并且接通电源时,缺陷地址从修复信息设定电路 240 中读取、由修复电路 230 中的锁存电路 232 锁存,以及保持该缺陷地址直到电源切断。当修复信息设定电路 240 是能够在电源接通期间连续输出地址这类电路时,不必提供锁存电路 232。

[0086] 在修复信息设定电路 240 中,没有设定缺陷地址的状态为“00000000”,使得将在锁存电路 232 中正被转换并输出的默认值设定为“8'b11111111”。当在修复信息设定电路 240 中没有设定缺陷地址的初始状态为“11111111”时,可以在不在锁存电路 232 中对其转换的情况下,按照现在的样子将该地址作为默认值“8'b11111111”提供给比较电路。在本实施例的修复信息设定电路 240 中,没有设定表示是否执行修复的信息。因此,用于基于该信息使普通字或备用字(冗余字)有效或失效的控制信号也不需要。

[0087] 通过图 6 和示出常规冗余电路的图 10 之间的比较可以显然理解,在图 10 中,用于选择普通存储器行或列的控制电路和解码器与用于选择将要被缺陷位替换的备用存储器行或列(冗余存储器)的控制电路和解码器分开设置。因此,诸如访问普通存储器行或列时的读取速度和访问备用存储器行或列时的读取速度等这样的工作特性彼此是不同的,使得难以进行存储器的外围电路的时序设计。另一方面,在图 6 的冗余电路中,公共的解码器驱动器用作选择普通字的解码器驱动器和用于选择冗余字的解码器驱动器。因此,诸如选择普通字时的读取速度和选择备用字时的读取速度等这样的工作特性是相同的,并且便于存储器的外围电路的时序设计。

[0088] 图 7 示出了修复电路 230 的工作时序。由于修复电路 230 响应于来自用于产生写入地址的地址计数器 210a 的地址的操作与修复电路 230 响应于来自用于产生读取地址的地址计数器 210b 的地址的操作是相同的,因此仅仅示出了修复电路 230 响应于来自地址计数器 210a 的地址的工作时序。

[0089] 如图 7 所示,当来自地址计数器 210a 的地址 AC[16-8]P 与设定在修复信息设定电路 240 中的两个缺陷地址 A 和 B 之中的缺陷地址 A 相匹配时,比较电路 231a 的输出变为高电平(时间 t1)。相应地,替换电路 233 所输出的地址成为用于选择冗余字 A 的地址(时间 t2)。

[0090] 因此,在与锁存时序信号 ACLATP 的上升沿(时间 t3)同步的后级,锁定电路 234 锁存冗余字 A 的地址。从图 7 中可以理解的是,在本实施例中,通过对电路进行设计以使在时间 t2 和时间 t3 之间提供预定裕度,可以防止误操作,其中在时间 t2 处地址在替换电路

233 中转换为冗余字 A, 而时间 t_3 是锁存时序信号 ACLATP 的上升沿。因此, 便于时序设计。

[0091] 在图 6 中, 还示出了用于执行结合修复电路 230 的工作的写禁止控制的电路 250。在将如图 3 所示的窗口显示在液晶面板的显示屏的部分中的情况下, 首先提供写抑制控制电路以禁止向除窗口之外的区域写入数据。图 6 所示的写禁止控制电路 250 示出的是概念上的, 并且本发明不限于这种结构。

[0092] 261 表示用于设定窗口起始地址 (VSA, HAS) 的寄存器而 262 表示用于设定窗口结束地址 (VEA, HEA) 的寄存器。利用寄存器 261 和 262, 最大可以指定整个显示屏幕, 即显示存储器 206 的整个存储区。提供窗口设定寄存器 261 和 262 作为图 1 中的控制寄存器 CTR 的一部分或者作为与控制器 201 中的控制寄存器 CTR 分开的寄存器。

[0093] 写禁止控制电路 250 设置有比较电路 251a, 用于将设定在窗口设定寄存器 261 和 262 中的地址 VSA 和 VEA 与来自地址计数器 210a 的地址 AC[16-8]P 进行比较。比较电路 251a 确定写入地址是否位于窗口显示区中。当写入地址位于窗口显示区时, 比较电路 251a 的输出变为高电平。当写入地址位于窗口显示区之外时, 输出变为低电平。

[0094] 写禁止控制电路 250 还设置有比较电路 251b, 用于检测最高有效位 AC16 和地址 AC[16-8]P 中的第三高位是否是“1, 1”。比较电路 251b 确定写入地址是否在未使用的地址空间中。从如图 5 中可以理解的是, 在本实施例的显示存储器中, AC16 和 AC14 为“1, 1”的地址区是未使用的地址空间。当写入地址在未使用地址空间的范围外时, 比较电路 251b 的输出是高电平。当写入地址在未使用地址空间时, 比较电路 251b 的输出是低电平。

[0095] 尽管没有限制, 但是将比较电路 251a 和 251b 的输出输入到 OR 门 252, 并且 OR 门 252 的输出信号 VAE_P 经由 AND 门 253 和锁存电路 254 提供给显示存储器 206 中的写入驱动器 (未示出), 使得在输出信号 VAE_P 变为低电平时不执行写入操作。输入到 AND 门 253 的其它端子的信号 HAE_P 是来自设置在列侧上具有类似结构的写禁止控制电路 (未示出) 的信号。

[0096] 图 8 示出了替换电路 233 的结构实例。存在对应于地址计数器 210a 和比较电路 231a 的替换电路 233 以及对应于地址计数器 210b 和比较电路 231b 的替换电路 233。由于替换电路 233 具有相同的结构, 因此仅示出它们中的一个, 而没有示出另一个。

[0097] 图 8 的替换电路 233 由选择器 SEL1 到 SEL8 构成。对于其中的每个选择器, 输入来自地址计数器 210a 的地址 AC[16-9]P 的位和两个冗余地址 RA_A[16-9] 和 RA_B[16-9] 的位。根据来自比较电路 231a 的地址匹配信号 ACRWAE_P 和 ACRWBE_P, 选择器 SEL1-SEL8 选择其中一个输入地址, 并作为 ACCP[16-9] 输出。

[0098] 具体地, 当地址匹配信号 ACRWAE_P 变为表示匹配的高电平时, 选择并输出冗余地址 RA_A[16-9]。当地址匹配信号 ACRWBE_P 变为表示匹配的高电平时, 选择并输出冗余地址 RA_B[16-9]。当 ACRWAE_P 和 ACRWBE_P 都被设定为表示不匹配的低电平时, 选择并输出来自地址计数器 210a 的地址 AC[16-9]P。当地址匹配信号 ACRWBE_P 被设定为表示匹配的高电平时, 选择并输出冗余地址 RA_B[16-9]。当 ACRWAE_P 和 ACRWBE_P 都被设定为表示不匹配的低电平时, 选择并输出来自地址计数器 210a 的地址 AC[16-9]P。

[0099] 可以通过例如其输入被拉高到电源电压 V_{cc} 的反相器或者其输入被拉低到接地电压 GND 的反相器来产生冗余地址 RA_A[16-9] 和 RA_B[16-9] 的位。可选地, 根据选择器 SEL1-SEL8 的电路类型, 输入端可以直接连接到电压 V_{cc} 或者 GND。由于冗余地址从开始是

固定的,因此不必构成像修复信息设定电路 240 这样的可编程电路。

[0100] 此外,在使用本实施例的替换电路的修复电路中,当缺陷地址没有设定在修复信息设定电路 240 中时,地址匹配信号 ACRWAE_P 和 ACRWBE_P 没有被设定为高电平,使得地址替换不被执行。

[0101] 图 9 示出了替换电路 233 的另一个结构实例。存在对应于地址计数器 210a 和比较电路 231a 的替换电路 233 以及对应于地址计数器 210b 和比较电路 231b 的替换电路 233。由于替换电路 233 具有相同的结构,因此仅示出它们中的一个,而没有示出另一个。

[0102] 图 9 的替换电路 233 由多个逻辑门组成的组合逻辑电路构成。在图 6 的修复电路中,示出了比较电路 231a 所比较的地址是由八位组成的情况。如果示出由对应于这种情况的组合逻辑电路所构成的替换电路 233,那么该图是复杂的。为了便于理解,图 9 示出了在地址由四位组成的情况下的替换电路 233。在使用图 9 的下列说明中,将设定在修复信息设定电路 240 中的缺陷地址 FADA3 到 FADA0 以及 FADB3 到 FADB0 设定为“0001”和“1010”,并且将冗余地址设定为“1100”和“1101”。

[0103] 当地址计数器 210a 提供到比较电路 231a 的地址 ADIN3 到 ADIN0 与缺陷地址 FADA3 到 FADA0 匹配时,将缺陷地址 A 匹配信号 ACRWAE_P 设定为“1”。当地址 ADIN3 到 ADIN0 与缺陷地址 FADB3 到 FADB0 匹配时,将缺陷地址 B 匹配信号 ACRWBE_P 设定为“1”。当信号 ADIN3 到 ADIN0、ACRWAE_P 和 ACRWBE_P 输入到由组合逻辑电路所构成的替换电路 233 并且 ACRWAE_P 和 ACRWBE_P 都为“0”时,如表 1 所示,ADIN3 到 ADIN0 输出为 AD3 到 AD0。

[0104] 当 ACRWAE_P 为“1”时,输出冗余地址“1100”作为 AD3 到 AD0。当 ACRWBE_P 为“1”时,输出冗余地址“1101”作为 AD3 到 AD0。也就是说,设定替换电路 233 的逻辑门电路 LG1 到 LG4 的逻辑,从而满足表 1 的真值表。图 9 中示出的逻辑门电路 LG1 到 LG4 是个实例,并且可以使用任何电路,只要它们具有类似的逻辑。

[0105] 表 1

[0106]

输入信号						输出信号			
ADIN3	ADIN2	ADIN1	ADIN0	缺陷地址 A 匹配信 号	缺陷地址 B 匹配信 号	AD3	AD2	AD1	AD0
0	0	0	0	0	0	0	0	0	0
0	0	0	1	1	0	1	1	0	0
1	0	1	0	0	1	1	1	0	1

[0107] 从表 1 可以理解,对于在缺陷地址匹配信号 ACRWAE_P 和 ACRWBE_P 中任何一个为“1”时的输出为“1”的位,使用逻辑门电路 LG3(LG4)。对于在缺陷地址匹配信号 ACRWAE_P 和 ACRWBE_P 中任何一个为“1”时的输出为“0”的位,使用逻辑门电路 LG2。对于在缺陷地址匹配信号 ACRWAE_P 为“1”并且 ACRWBE_P 为“0”时的输出为“0”的位,以及当缺陷地址匹配信号 ACRWAE_P 为“0”并且 ACRWBE_P 为“1”时的输出为“1”的位,使用逻辑门电路 LG1。

[0108] 相反,对于在缺陷地址匹配信号 ACRWAE_P 为“0”并且 ACRWBE_P 为“1”时的输出为“0”的位,以及当缺陷地址匹配信号 ACRWAE_P 为“1”并且 ACRWBE_P 为“0”时的输出为“1”的位,使用门就足够,其中图 9 中的逻辑门电路 LG1 中的反相器接收 ACRWAE_P 而非 ACRWBE_P。通过使用由如图 9 所示的组合逻辑电路所构成的替换电路 233,可以不必提供用于产生冗余地址 RA_A[16-9] 和 RA_B[16-9] 的电路。

[0109] 尽管发明人所完成的本发明已经在本文中进行了具体的描述,但是显然,本发明并不限于前面的实施例,而是可以在不偏离要旨的情况下进行各种改变。

[0110] 例如,尽管在前面实施例中提供了备用存储区作为用于执行字修复的冗余字,但是也可以提供备用存储区作为用于执行列修复的冗余列。虽然在该实施例中修复是通过以两个字为单位的替换完成的,但是修复也可以通过以一个字或三个或更多个字为单位的替换来完成。

[0111] 本发明同样可以适用于能够产生并输出用于两个或多个液晶面板的驱动信号的液晶控制器 / 驱动器,其中具有存储两屏显示数据的显示存储器或者具有的存储区比一屏显示数据的存储区大的显示存储器,以进行重叠显示。

[0112] 上面,已经介绍了将此处发明人所完成的本发明应用到液晶控制器 / 驱动器来作为发明背景中的 QVGA 液晶面板产生并输出驱动信号的情况。本发明不限于这种情况,而且不但可以应用到为除 QVGA 液晶面板以外的液晶面板产生并输出驱动信号的液晶控制器 / 驱动器,而且还可以应用到显示控制半导体集成电路,以驱动除诸如有机 EL 显示面板等液晶以外的显示设备。

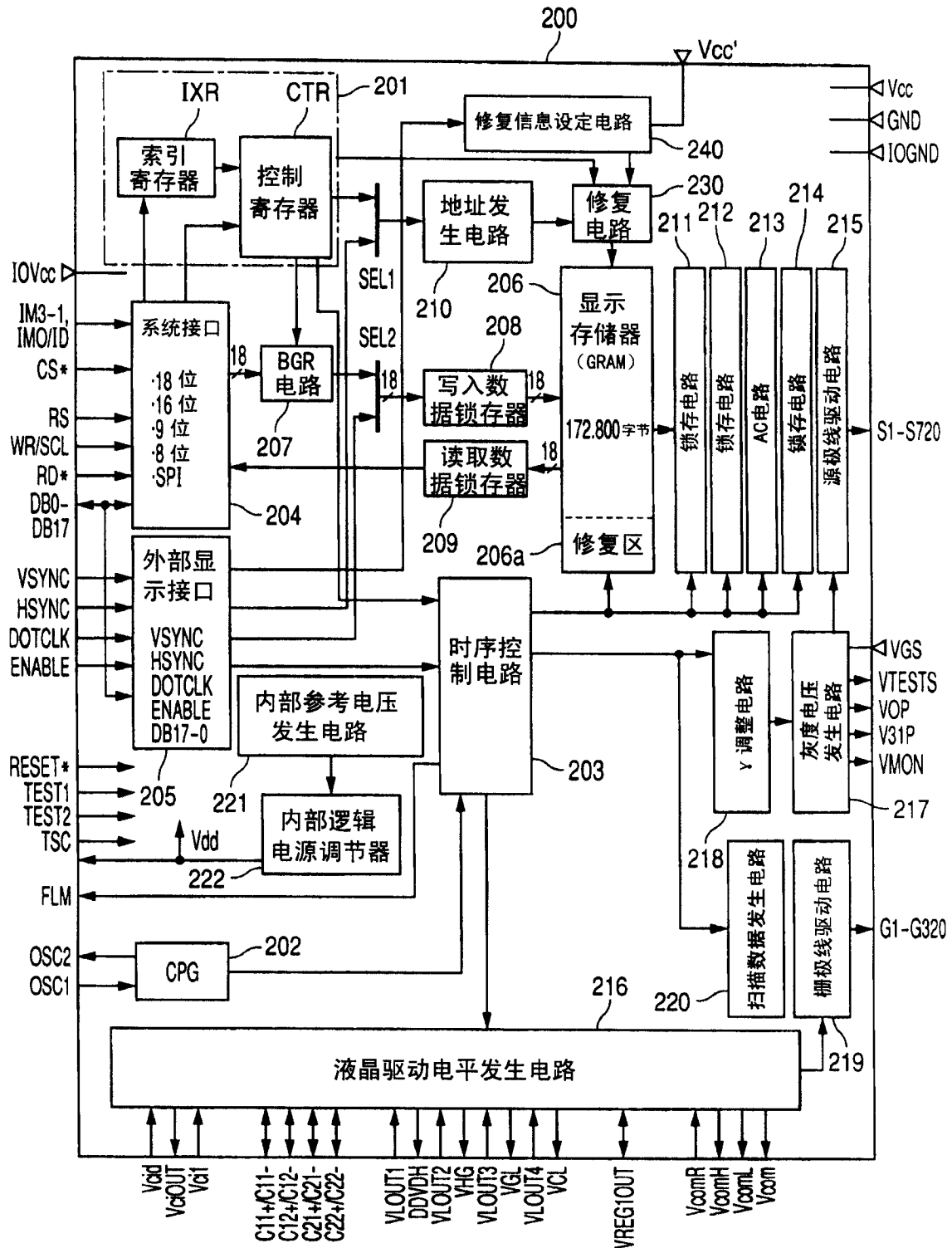


图 1

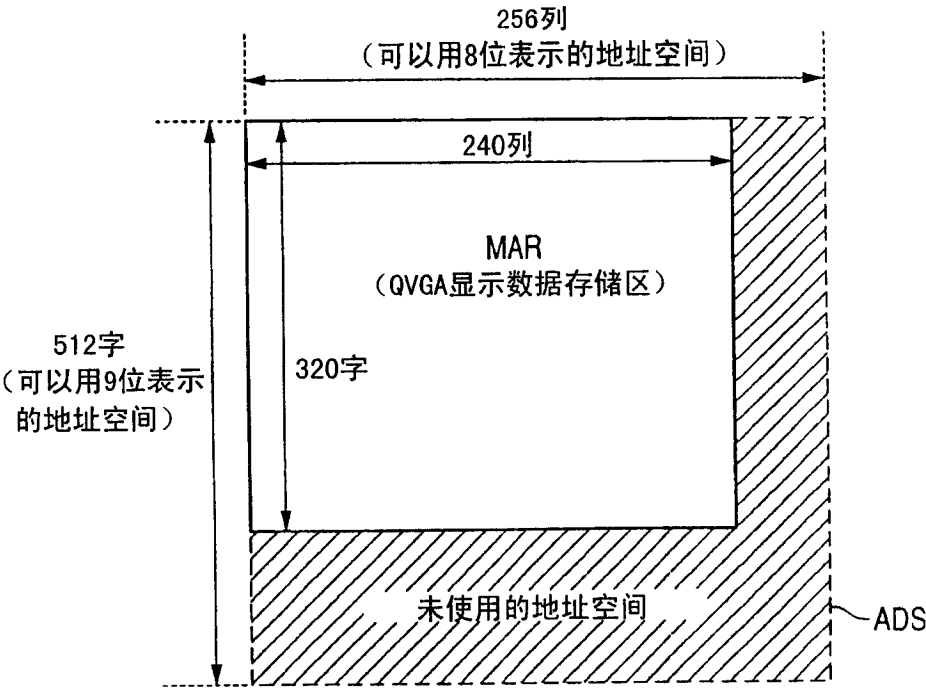


图 2

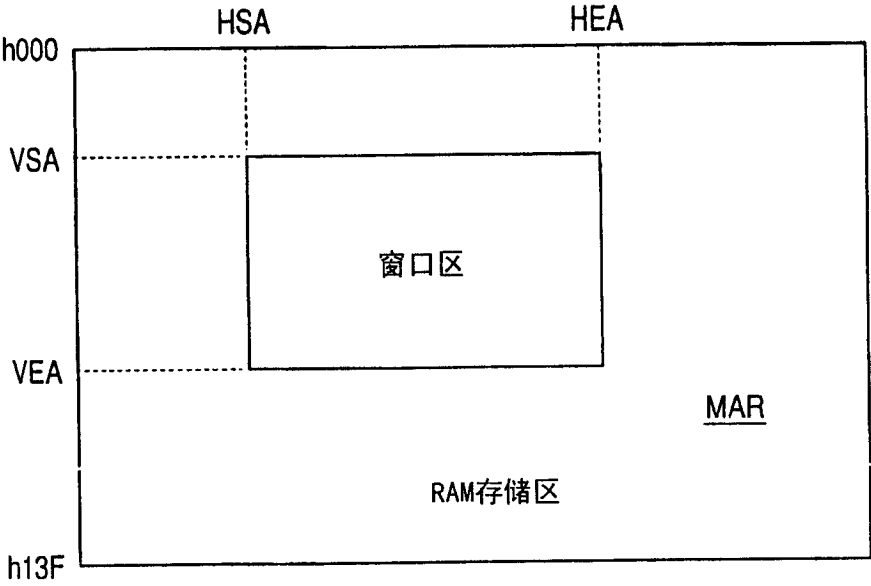


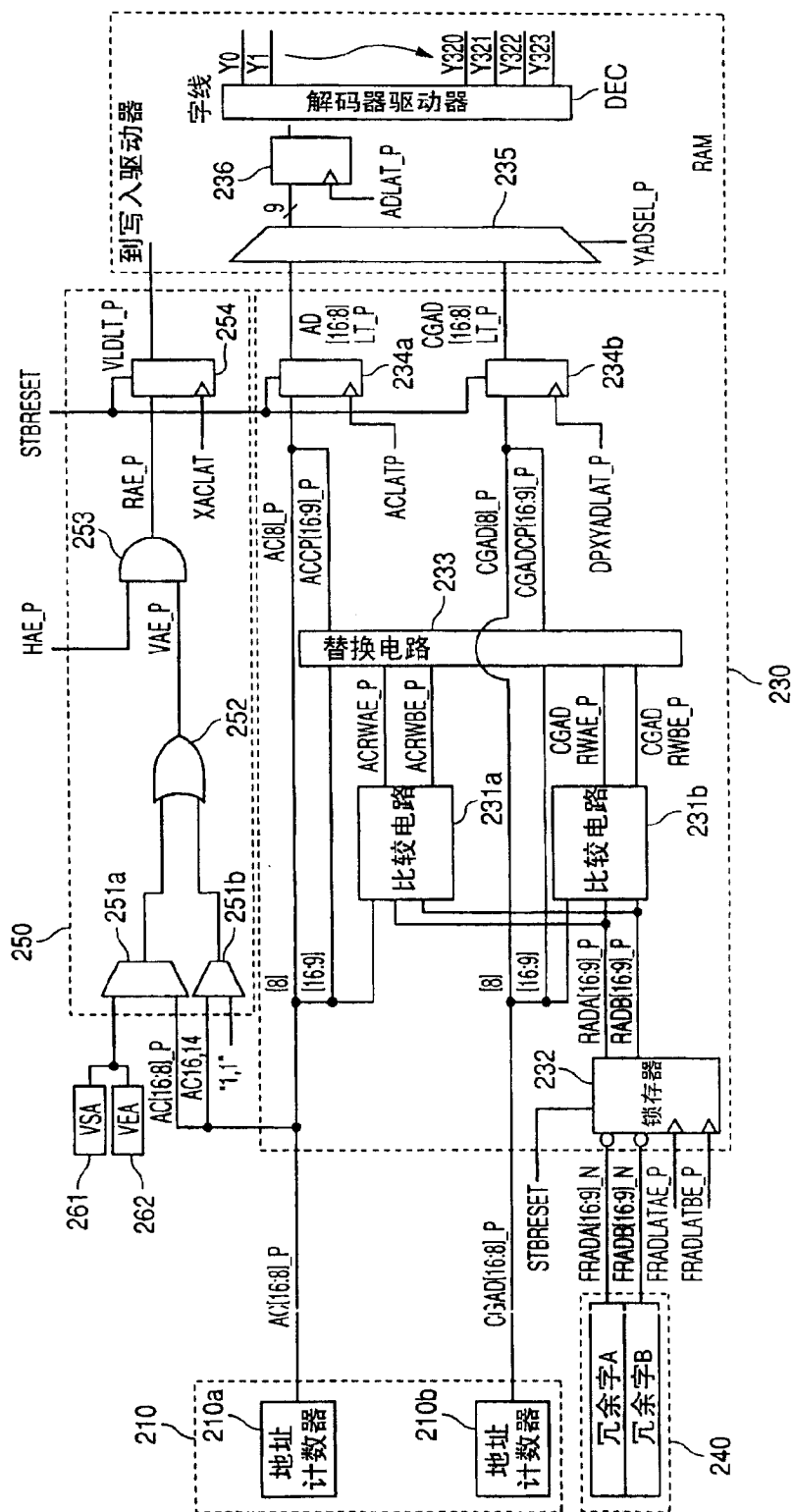
图 3

使用的地址空间	字选择地址										作用	在修复字情况下的修复信息		在没有修复情况下的修复信息				
	十六进制符号的字选择地址											修复地址	使能信号	修复地址	使能信号			
	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0									
普通字	9'h000	0	0	0	0	0	0	0	0	0		8'b00000000	1	8'bXXXXXXXXXX	0			
	9'h001									1		8'b00000001						
	9'h002									1								
	9'h003									1								
	9'h1F8	1	1	1	1	1	1	0	0	0	8'b11111100							
	9'h1F9									1								
	9'h1FA								1	0	8'b11111101							
	9'h1FB									1								
	9'h1FC							1	0	0	8'b11111110							
	9'h1FD									1								
	9'h1FE								1	0	8'b11111111							
	9'h1FF									1								

图4

字选择地址										作用	在修复字情况下的修复信息	在没有修复情况下的修复信息	
十六进制符号的字选择地址		AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1				AD0
使用的地址空间	9'h000	0	0	0	0	0	0	0	0	0	8'b00000000	8'b11111111	
	9'h001									1	8'b00000001		
	9'h002									0			
	9'h003									1			
未使用的地址空间													

图5



6
圖

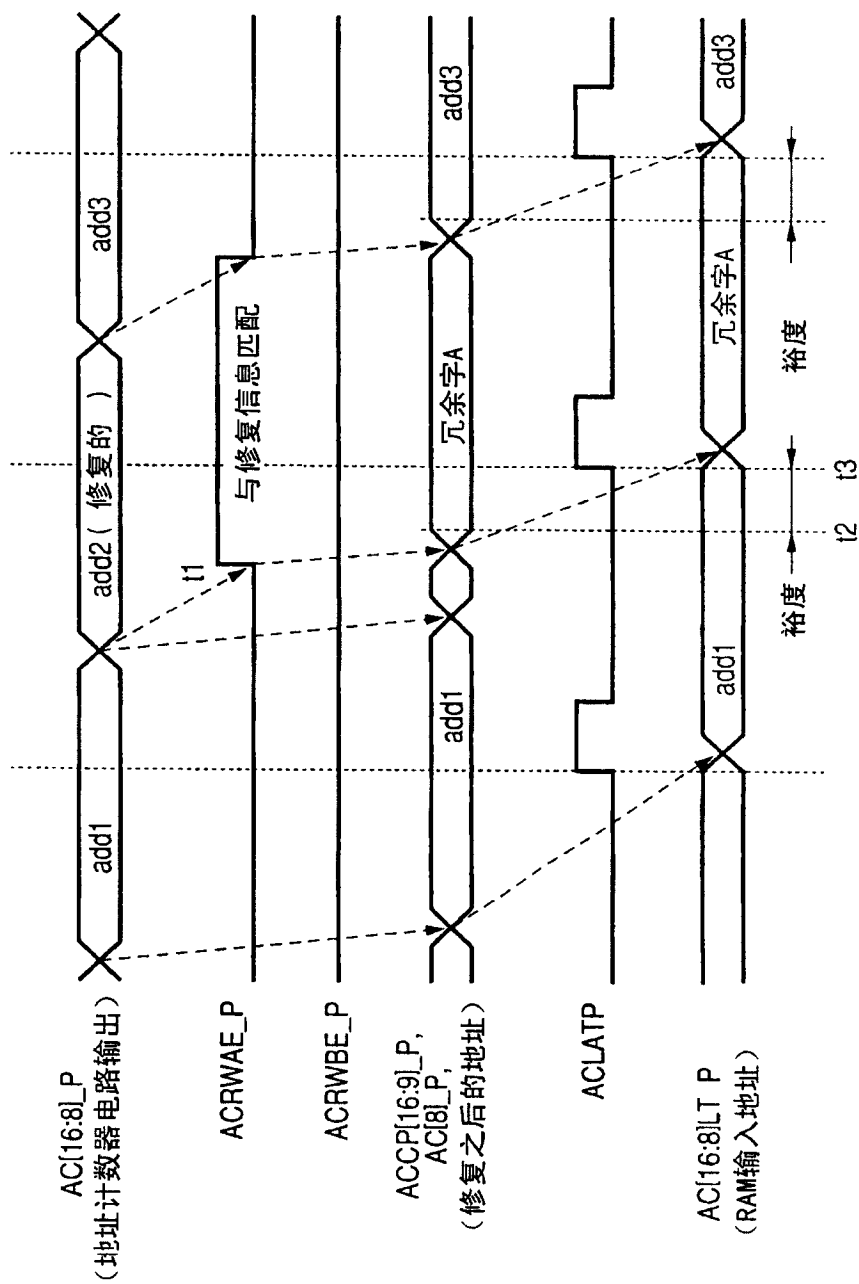


图7

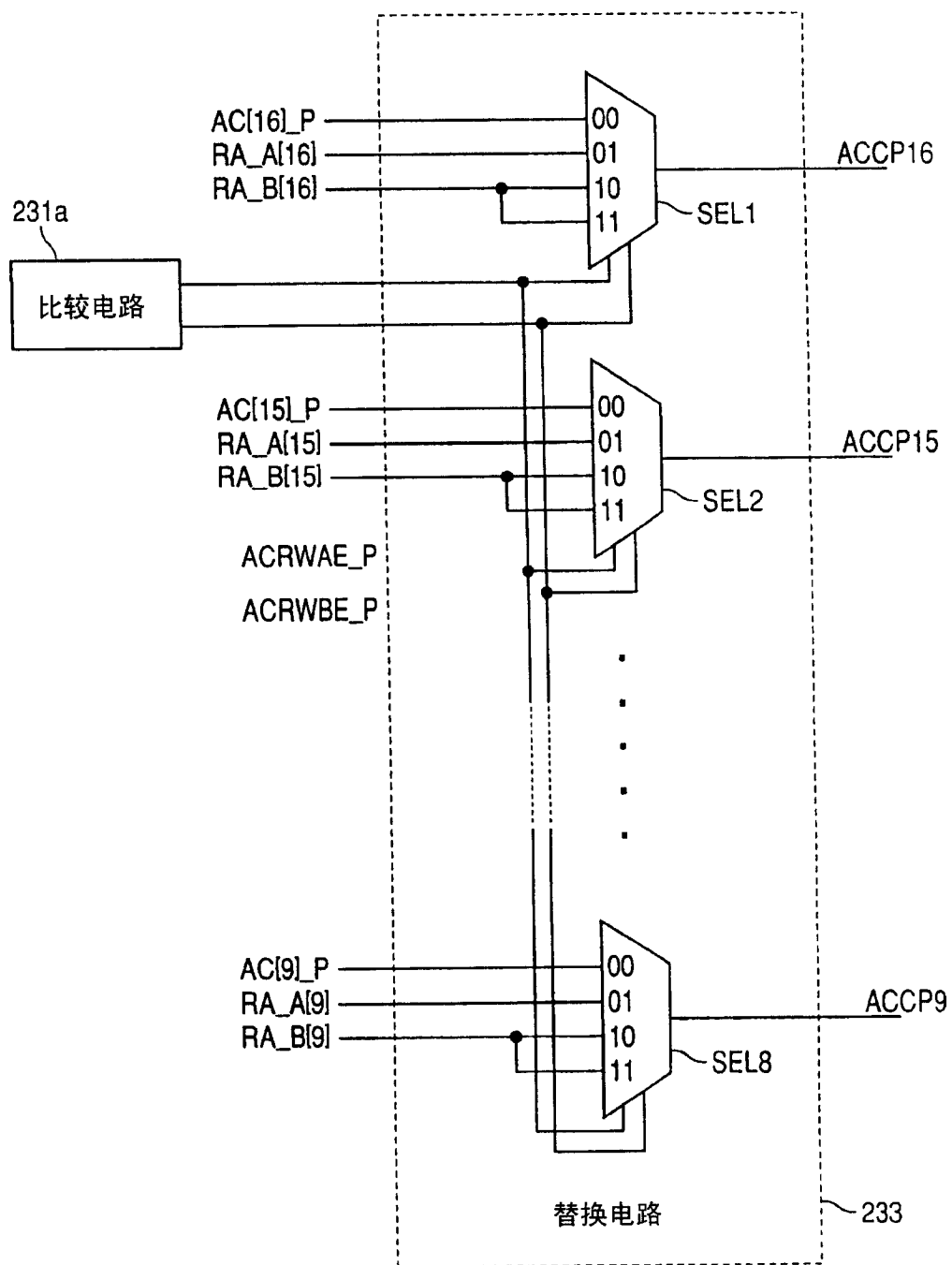


图 8

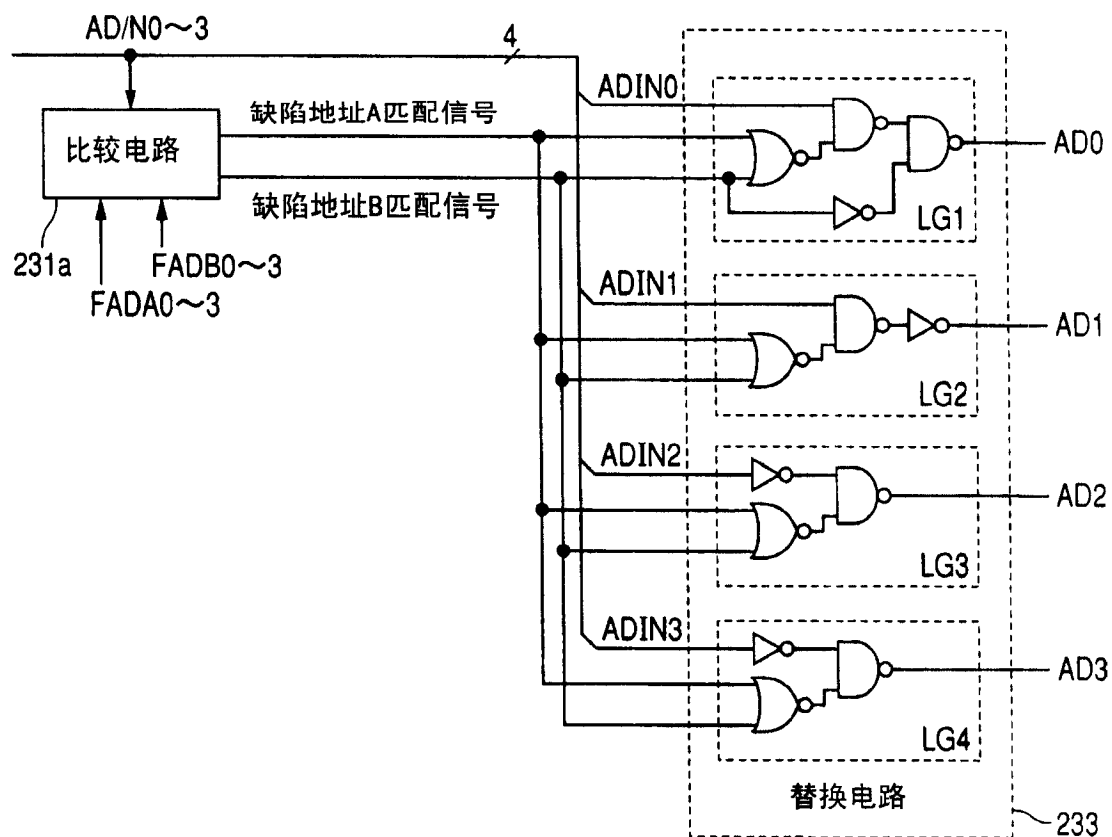


图 9

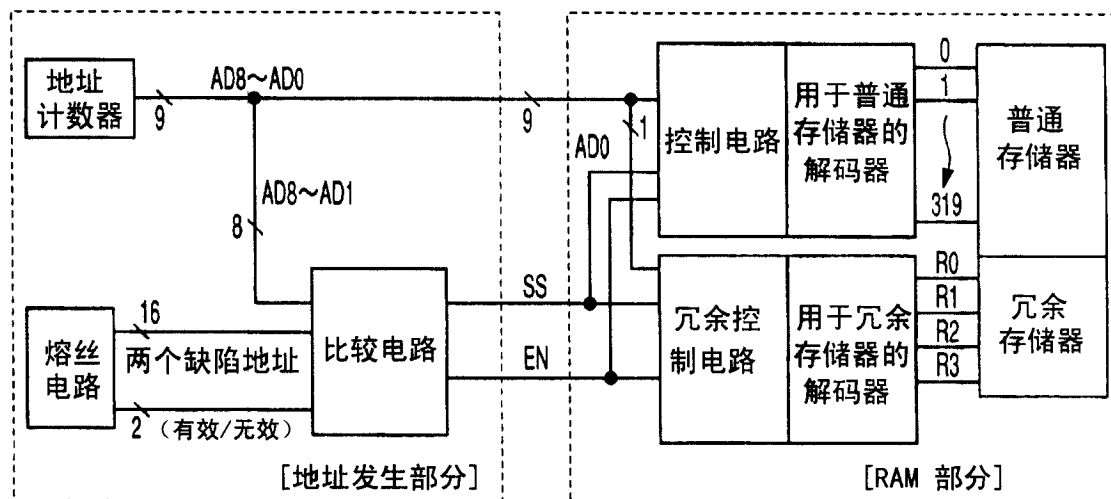


图 10

专利名称(译)	显示控制半导体集成电路		
公开(公告)号	CN101030360B	公开(公告)日	2012-06-13
申请号	CN200710084466.4	申请日	2007-03-02
[标]申请(专利权)人(译)	株式会社瑞萨科技		
申请(专利权)人(译)	株式会社瑞萨科技		
当前申请(专利权)人(译)	瑞萨电子株式会社		
[标]发明人	饭塚胜 白石伊织 辻壮介 金野洋仁		
发明人	饭塚胜 白石伊织 辻壮介 金野洋仁		
IPC分类号	G09G3/36 G09G3/20 G09G5/22 G09G5/36 G09G5/39 G02F1/133		
CPC分类号	G09G2330/08 G09G3/3648 G09G2310/027		
代理人(译)	王英		
审查员(译)	丁芃		
优先权	2006057105 2006-03-03 JP		
其他公开文献	CN101030360A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种其中具有RAM的显示控制半导体集成电路，能够修复包括在RAM中的缺陷位并且在不显著增加占用区的情况下改进良率。一种液晶控制器/驱动器包括用于设定缺陷地址的熔丝电路和用于将设定在该熔丝电路中的缺陷地址与输入地址进行比较的比较电路，其中在芯片中提供用于存储显示数据的RAM，并根据将要被驱动的液晶面板的显示屏的大小确定内置RAM的存储容量。该液晶控制器/驱动器还具有冗余电路，在地址彼此匹配时，其用于用指示备用存储区的地址替换该输入地址，并将该地址提供到地址解码器。

