

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 03801982.5

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/30 (2006.01)

G02F 1/133 (2006.01)

[45] 授权公告日 2008 年 3 月 12 日

[11] 授权公告号 CN 100375144C

[22] 申请日 2003.6.27 [21] 申请号 03801982.5

[30] 优先权

[32] 2002.11.6 [33] JP [31] PCT/JP02/11587

[32] 2003.3.7 [33] JP [31] PCT/JP03/02757

[86] 国际申请 PCT/JP2003/008249 2003.6.27

[87] 国际公布 WO2004/042691 日 2004.5.21

[85] 进入国家阶段日期 2004.7.6

[73] 专利权人 三菱电机株式会社

地址 日本东京

[72] 发明人 飞田洋一

[56] 参考文献

JP2000-214800A 2000.8.4

US5006732 1991.4.9

EP1102234A2 2001.5.23

US5206544A 1993.4.27

JP5-142573A 1993.6.11

JP3-293813A 1991.12.25

US4945259 1990.7.31

JP5-291917A 1993.11.5

审查员 陈敏泽

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王以平

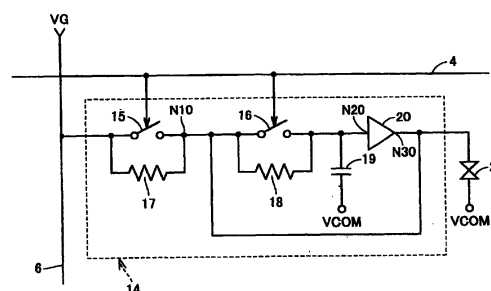
权利要求书 5 页 说明书 43 页 附图 73 页

[54] 发明名称

采样保持电路以及使用它的图像显示装置

[57] 摘要

本发明的采样保持电路(14)包括:连接在数据线(6)和第1节点(N10)之间的第1开关(15);连接在第1节点(N10)和第2节点(N20)之间的第2开关(16);连接在第2节点(N20)和共用电位(VCOM)的线之间的电容器(19);把与第2节点(N20)相等的电位施加给第1节点(N10)以及液晶单元(2)的一电极的驱动电路(20)。第1开关(15)以及第2开关(16)在扫描线(4)是“H”电平的情况下导通。



1. 一种采样保持电路，是采样输入电位，保持以及输出采样取得的电位的采样保持电路，其特征在于：

具备：第1开关元件、第2开关元件、第1电容器、驱动电路，其中

上述第1开关元件的一个电极接受上述输入电位，该第1开关元件在第1期间导通，

上述第2开关元件的一个电极连接在上述第1开关元件的另一电极上，该第2开关元件在第2期间导通，

上述第1电容器的一个电极连接在上述第2开关元件的另一电极上，其另一电极接受规定的电位，以及

在上述驱动电路中，其输入节点连接在上述第2开关元件的另一电极上，其输出节点连接在上述第1开关元件的另一电极上，把与上述输入节点的电位对应的电位输出到上述输出节点，

还具备：第3开关元件，在每个第1时间中，只导通比上述第1时间短的第2时间而向上述驱动电路供给电源电压。

2. 根据权利要求1所述的采样保持电路，其特征在于：上述第1以及第2期间是相同的期间。

3. 根据权利要求1所述的采样保持电路，其特征在于：上述第2期间是上述第1期间内的期间。

4. 根据权利要求1所述的采样保持电路，其特征在于：

上述驱动电路包括：

输出比上述输入节点的电位只高预先确定的第1电压的电位的第1电平移位电路；

把比上述第1电平移位电路的输出电位只低预先确定的第2电压的电位输出到上述输出节点的第2电平移位电路。

5. 根据权利要求1所述的采样保持电路，其特征在于：

上述驱动电路包含：第1电流限制元件、第1导电形式的第1晶

体管、第2导电形式的第2晶体管，其中

上述第1电流限制元件的一个电极接受第1电源电位，

上述第1晶体管的第1电极连接在上述第1电流限制元件的另一电极上，其第2电极接受第2电源电位，其输入电极接受上述输入节点的电位，

上述第2晶体管的第1电极接受第3电源电位，其第2电极连接在上述输出节点上，其输入电极连接在上述第1电流限制元件的另一电极上。

6. 根据权利要求5所述的采样保持电路，其特征在于：

上述驱动电路进一步包含：第2导电形式的第3晶体管和第1导电形式的第4晶体管，其中

上述第3晶体管的第1电极以及输入电极连接在上述第1电流限制元件的另一电极上，其第2电极连接在上述第1晶体管的第1电极上，

上述第4晶体管的第1电极连接在上述第2晶体管的第2电极上，其第2电极以及输入电极连接在上述输出节点上。

7. 根据权利要求5所述的采样保持电路，其特征在于：上述驱动电路进一步包含被连接在上述输出节点和第4电源电位的线之间的第2电流限制元件。

8. 根据权利要求7所述的采样保持电路，其特征在于：

上述第1以及第3电源电位是同电位，

上述第2以及第4电源电位是同电位。

9. 根据权利要求7所述的采样保持电路，其特征在于：上述第1以及第2电流限制元件分别包含第1以及第2电阻元件。

10. 根据权利要求7所述的采样保持电路，其特征在于：

上述第1电流限制元件包含第1导电形式的第3晶体管，上述第3晶体管的输入电极接受第1恒定电压，

上述第2电流限制元件包含第2导电形式的第4晶体管，上述第4晶体管的输入电极接受第2恒定电压。

11. 根据权利要求4所述的采样保持电路，其特征在于：

上述驱动电路进一步包含：脉冲发生电路，它与上述第1电平移位电路的输入节点的电位上升了的情况对应地，使上述第2电平移位电路的输入节点的电位脉冲式地上升。

12. 根据权利要求11所述的采样保持电路，其特征在于：

上述脉冲发生电路包含第2电容器，

上述第2电容器的一个电极连接在上述第2电平移位电路的输入节点上，其另一电极的电位与上述第1电平移位电路的输入节点的电位上升了的情况对应地脉冲式地上升。

13. 根据权利要求11所述的采样保持电路，其特征在于：

上述脉冲发生电路包含第4开关元件，

在上述第4开关元件中，其一个电极接受第1电源电位，其另一电极连接在上述第2电平移位电路的输入节点上，并且该第4开关元件与上述第1电平移位电路的输入节点的电位上升了的情况对应地脉冲式地导通。

14. 根据权利要求4所述的采样保持电路，其特征在于：上述驱动电路进一步包含消除偏移电压的偏移补偿电路。

15. 根据权利要求14所述的采样保持电路，其特征在于：

上述偏移补偿电路包含：

第2电容器，该第2电容器的一个电极与上述第1电平移位电路的输入节点连接；

连接在上述驱动电路的输入节点和上述第1电平移位电路的输入节点之间的第4开关元件；

连接在上述第2电容器的另一电极和上述第2电平移位电路的输出节点之间的第5开关元件；

连接在上述驱动电路的输入节点和上述第2电容器的另一电极之间的第6开关元件；

连接在上述第2电平移位电路的输出节点和上述驱动电路的输出节点之间的第7开关元件，

并且上述偏移补偿电路执行以下的步骤:

使上述第 4 和第 5 开关元件导通,在向上述第 1 电平移位电路的输入节点施加上述驱动电路的输入节点的电位的同时,把上述第 2 电容器的另一电极连接在上述第 2 电平移位电路的输出节点上的第 1 步骤;

使上述第 6 开关元件导通,在向上述第 2 电容器的另一电极施加上述驱动电路的输入节点的电位的同时,把上述第 2 电容器的一个电极的电位施加到上述第 1 电平移位电路的输入节点的第 2 步骤;以及

使上述第 7 开关元件导通,把上述第 2 电平移位电路的输出节点的电位施加到上述驱动电路的输出节点的第 3 步骤。

16. 根据权利要求 1 所述的采样保持电路,其特征在于:

上述驱动电路包含:

输出比上述输入节点的电位只低预先确定的第 1 电压的电位的第 1 电平移位电路;

把比上述第 1 电平移位电路的输出电位只高预先确定的第 2 电压的电位输出到上述输出节点的第 2 电平移位电路。

17. 根据权利要求 16 所述的采样保持电路,其特征在于:

上述驱动电路还包含:

与上述第 1 电平移位电路的输入节点的电位降低了的情况对应地,使上述第 2 电平移位电路的输入节点的电位脉冲式地降低的脉冲发生电路。

18. 根据权利要求 17 所述的采样保持电路,其特征在于:

上述脉冲发生电路包含第 2 电容器,

上述第 2 电容器的一个电极与上述第 2 电平移位电路的输入节点连接,其另一电极的电位与上述第 1 电平移位电路的输入节点的电位降低了的情况对应地脉冲式地降低。

19. 根据权利要求 17 所述的采样保持电路,其特征在于:

上述脉冲发生电路包含第 4 开关元件,

在上述第 4 开关元件中,其一个电极接受第 1 电源电位,其另一

电极连接在上述第 2 电平移位电路的输入节点上，并且该第 4 开关元件与上述第 1 电平移位电路的输入节点的电位降低了的情况对应地脉冲式地导通。

采样保持电路以及 使用它的图像显示装置

技术领域

本发明涉及采样保持电路以及使用它的图像显示装置，特别涉及采样输入电位，保持以及输出采样得到的电位的采样保持电路、使用它的图像显示装置。

背景技术

图 76 是展示以往的液晶显示装置的主要部分的电路图。在图 76 中，在该液晶显示装置中，在扫描线 301 和数据线 302 的交叉部分上配置液晶单元 303 以及采样保持电路 304。采样保持电路 304 包含开关 305 以及电容器 307。开关 305 被连接在数据线 302 和节点 N300 之间，扫描线 301 在选择电平是“H”电平的期间导通。开关 305 具有寄生电阻。在图 76 中，用与开关 305 并联连接的电阻元件 306 表示寄生电阻。电容器 307 被连接在节点 N300 和共用电位 VCOM 的线之间。液晶单元 303 被连接在节点 N300 和共同电位 VCOM 的线之间。

如果扫描线 301 上升到选择电平的“H”电平，则开关 305 导通，节点 N300 被充电到数据线 302 的电位。如果扫描线 301 下降到非选择电平的“L”电平，则开关 305 处于非导通，由电容器 307 保持节点 N300 的电位。液晶单元 303 显示与节点 N300 的电位相应的光透过率。

但是，在以往的液晶显示装置中，当在扫描线 301 被设置在“L”电平的状态下数据线 302 的电位变化时，经由电阻元件 306 在节点 N300 和数据线 302 之间流过漏电流，节点 N300 的电位变化。因此需要在规定周期再写入节点 N300 的电位，消耗了比较大的电力。

发明内容

因此本发明的主要目的在于提供一种保持电位的变化小的采样保持电路,和使用它的图像显示装置。

本发明的采样保持电路,是采样输入电位,保持以及输出采样取得的电位的采样保持电路,其特征在于:具备:第1开关元件、第2开关元件、第1电容器、驱动电路,其中上述第1开关元件的一个电极接受上述输入电位,该第1开关元件在第1期间导通,上述第2开关元件的一个电极连接在上述第1开关元件的另一电极上,该第2开关元件在第2期间导通,上述第1电容器的一个电极连接在上述第2开关元件的另一电极上,其另一电极接受规定的电位,以及在上述驱动电路中,其输入节点连接在上述第2开关元件的另一电极上,其输出节点连接在上述第1开关元件的另一电极上,把与上述输入节点的电位对应的电位输出到上述输出节点,还具备:第3开关元件,在每个第1时间中,只导通比上述第1时间短的第2时间而向上述驱动电路供给电源电压。因而,在使第1以及第2开关元件在第1以及第2期间导通而采样输入电位后,即使在输入电位变化时,因为由驱动电路保持第1开关元件的另一电极的电位,所以采样后的电位的变化小。

另外,在本发明的图像显示装置中,设置上述采样保持电路、由其输出电位驱动的液晶单元或者发光元件。这种情况下,灰度电位或者灰度电流的再写入的频率少即可,可以谋求消耗电力的减少。

附图说明

图1是展示本发明的实施例1的彩色液晶显示装置的整体构成的框图。

图2是展示图1所示的水平扫描电路的主要部分的电路框图。

图3是展示与图1所示的各液晶单元对应设置的采样保持电路的构成的电路图。

图4是展示图3所示的驱动电路的构成的电路图。

图5是用于说明图4所示的驱动电路的动作的电路图。

图6是用于说明图4所示的驱动电路的动作的时序图。

图7是展示实施例1的变形例子的电路图。

图8是展示实施例1的另一变形例子的电路图。

图9是展示实施例1的又一变形例子的电路图。

图10是展示实施例1的又一变形例子的电路图。

图11是展示实施例1的又一变形例子的电路图。

图 12 是展示本发明的实施例 2 的采样保持电路的驱动电路的构成的电路图。

图 13 是更详细展示图 12 所示的驱动电路的构成的电路图。

图 14 是展示实施例 2 的变形例子的电路图。

图 15 是展示实施例 2 的另一变形例子的电路图。

图 16 是展示实施例 2 的又一变形例子的电路图。

图 17 是展示本发明的实施例 3 的采样保持电路的驱动电路的构成的电路图。

图 18 是展示图 17 所示的驱动电路的动作的时序图。

图 19 是展示实施例 3 的变形例子的电路图。

图 20 是展示本发明的实施例 4 的采样保持电路的驱动电路的构成的电路图。

图 21 是展示实施例 4 的变形例子的电路图。

图 22 是展示实施例 4 的另一变形例子的电路图。

图 23 是展示实施例 4 的又一变形例子的电路图。

图 24 是展示实施例 4 的又一变形例子的电路图。

图 25 是展示实施例 4 的又一变形例子的电路图。

图 26 是展示本发明的实施例 5 的采样保持电路的驱动电路的构成的电路图。

图 27 是展示图 26 所示的驱动电路的动作的时序图。

图 28 是展示实施例 5 的变形例子的电路图。

图 29 是展示本发明的实施例 6 的采样保持电路的驱动电路的构成的电路图。

图 30 是展示实施例 6 的变形例子的电路图。

图 31 是展示本发明的实施例 7 的采样保持电路的驱动电路的构成的电路图。

图 32 是展示图 31 所示的驱动电路的构成的电路图。

图 33 是展示本发明的实施例 8 的采样保持电路的带偏移补偿功能驱动电路的构成的电路图。

图 34 是展示图 33 所示的带偏移值补偿功能的驱动电路的动作的时序图。

图 35 是展示本发明的实施例 9 的采样保持电路的带偏移值补偿功能的驱动电路的构成的电路框图。

图 36 是展示图 35 所示的带偏移值补偿功能的驱动电路的动作的时序图。

图 37 是展示图 35 所示的带偏移值补偿功能的驱动电路的动作的另一时序图。

图 38 是展示实施例 9 的变形例子的电路图。

图 39 是展示实施例 9 的另一变形例子的电路图。

图 40 是展示实施例 9 的又一变形例子的电路图。

图 41 是展示实施例 9 的又一变形例子的电路图。

图 42 是展示实施例 9 的又一变形例子的电路图。

图 43 是展示实施例 9 的又一变形例子的电路图。

图 44 是展示实施例 9 的又一变形例子的电路图。

图 45 是展示实施例 9 的又一变形例子的电路图。

图 46 是展示实施例 9 的又一变形例子的电路图。

图 47 是展示实施例 9 的又一变形例子的电路图。

图 48 是展示实施例 9 的又一变形例子的电路图。

图 49 是展示实施例 9 的又一变形例子的电路图。

图 50 是展示本发明的实施例 10 的采样保持电路的带偏移值补偿功能的驱动电路的构成的电路框图。

图 51 是展示图 50 所示的带偏移值补偿功能的驱动电路的动作的时序图。

图 52 是展示图 50 所示的带偏移值补偿功能的驱动电路的动作的另一时序图。

图 53 是展示本发明的实施例 11 的采样保持电路的带偏移值补偿功能的驱动电路的构成的电路框图。

图 54 是展示图 53 所示的带偏移值补偿功能的驱动电路的动作的

时间图。

图 55 是展示本发明的实施例 12 的采样保持电路的推动 (push) 型驱动电路的构成的电路图。

图 56 是更详细展示图 55 所示的推动 (push) 型驱动电路的构成的电路图。

图 57 是展示实施例 12 的变形例子的电路图。

图 58 是展示实施例 12 的另一变形例子的电路图。

图 59 是展示本发明的实施例 13 的采样保持电路的牵引 (pull) 型驱动电路构成的电路图。

图 60 是展示实施例 13 的变形例子的电路图。

图 61 是展示本发明的实施例 14 的采样保持电路的驱动电路的构成的电路方框图。

图 62 是展示实施例 14 的变形例子的电路图。

图 63 是展示实施例 14 的另一变形例子的电路图。

图 64 是展示实施例 14 的又一变形例子的电路图。

图 65 是更详细展示图 64 所示的驱动电路的构成的电路图。

图 66 是展示本发明的实施例 15 的彩色液晶显示装置的主要部分的电路图。

图 67 是展示本发明的实施例 16 的彩色液晶显示装置的主要部分的电路图。

图 68 是展示图 67 所示的驱动电路的构成的电路图。

图 69 是展示图 68 所示的驱动电路的动作的时间图。

图 70 是展示实施例 16 的变形例子的电路图。

图 71 是展示实施例 16 的另一变形例子的电路图。

图 72 是展示实施例 16 的又一变形例子的电路图。

图 73 是展示实施例 16 的又一变形例子的电路图。

图 74 是展示本发明的实施例 17 的图像显示装置的主要部分的电路框图。

图 75 是展示本发明的实施例 18 的图像显示装置的主要部分的电

路框图。

图 76 是展示以往的液晶显示装置的主要部分的电路图。

具体实施方式

图 1 是展示本发明的实施例 1 的彩色液晶显示装置的构成的框图。在图 1 中，该液晶显示装置包括：液晶板 1、垂直扫描电路 7 以及水平扫描电路 8，例如被设置在手机上。

液晶板 1 包含：被排列成多行多列的多个液晶单元 2；与各行对应设置的扫描线 4 以及共用电位线 5；与各列对应设置的数据线 6。

液晶单元 2 在各行中每 3 个 1 组被预先分组。在各组的 3 个液晶单元 2 中，分别设置 R、G、B 的彩色滤光器。各组的 3 个液晶单元 2 构成 1 个像素 3。

垂直扫描电路 7 根据图像信号每隔规定时间顺序选择多条扫描线 4，把选择出的扫描线 4 设置成选择电平的“H”电平。如果扫描线 4 被设置在选择电平的“H”电平，则与此扫描线 4 对应的各液晶单元 2 和与该液晶单元 2 对应的数据线 6 被连接。

水平扫描电路 8 根据图像信号，在由垂直扫描电路 7 选择了 1 条扫描线 4 的期间，例如每 12 条地顺序选择多条数据线 6，向被选择的各数据线 6 施加灰度电位 VG。液晶单元 2 的光透过率根据灰度电位 VG 的电平变化。

如果由垂直扫描电路 7 以及水平扫描电路 8 扫描液晶板 1 的整个液晶单元 2，则在液晶板 1 上显示 1 个图像。

图 2 是展示图 1 所示的水平扫描电路 8 的主要部分的电路框图。在图 2 中，水平扫描电路 8 包含灰度电位发生电路 10 以及驱动电路 13。只可以由水平扫描电路 8 同时选择的数据线 6 的数量（这种情况下是 12）设置灰度电位发生电路 10 以及驱动电路 13。

灰度电位发生电路 10 包含：串联连接在第 1 电源电位 V1（5V）的节点和第 2 电源电位 V2（0V）的节点之间的 $n+1$ 个（ n 是自然数）电阻元件 11.1~11. $n+1$ ；分别连接在 $n+1$ 个电阻元件 11.1~11. $n+1$ 之间

的 n 个节点和输出节点 10a 之间的 n 个开关 12.1~12.n。

在 $n+1$ 个电阻元件 11.1~11.n+1 之间的 n 个节点上, 分别显现 n 级电位。开关 12.1~12.n 由图像浓度信号 ϕP 控制, 只有它们之中的某一个被设置在导通状态。在输出节点 10a 上把 n 级电位中的某 1 级电位作为灰度电位 V_G 输出。驱动电路 13 向数据线 6 提供电流使得被选择出的数据线变为灰度电位 V_G 。

图 3 是展示与各液晶单元 2 对应设置的采样保持电路 14 的构成的电路图。在图 3 中, 该采样保持电路 14 包含开关 15、16、电容器 19 以及驱动电路 20。开关 15、16 被串联连接在对应的数据线 6 和驱动电路 20 的输入节点 N20 之间。开关 15、16 都在对应的扫描线 4 是选择电平的“H”电平时导通, 在对应的扫描线 4 是非选择电平的“L”电平时为非导通。

开关 15、16 的各个端子之间存在寄生电阻。在图 3 中, 开关 15、16 的寄生电阻分别用电阻元件 17、18 表示。电阻元件 17、18 分别与开关 15、16 并联连接。开关 15、16 分别由例如 N 型晶体管、或者 P 型晶体管、或者并联连接的 N 型晶体管以及 P 型晶体管构成。扫描线 4 串联连接在开关 15、16 所包含的 N 型晶体管的栅极上。另外扫描线 4 经由倒相器与开关 15、16 所包含的 P 型晶体管的栅极连接。

电容器 19 的一电极与节点 N20 连接, 电容器 19 的另一电极从共用电位 5 接收共用电位 V_{COM} 。驱动电路 20 把与输入节点 N20 的电位相等的电位输出到输出节点 N30。驱动电路 20 的输出节点 N30 在与开关 15 和 16 之间的节点 N10 连接的同时, 与液晶单元 2 的一电极连接。共用电位 V_{COM} 被给予液晶单元 2 的另一电极。

以下, 说明此采样保持电路 14 的动作。如果扫描线 4 被设置为选择电平的“H”电平, 则开关 15、16 导通, 节点 N10、N20、N30 的电位和数据线 6 的电位相同。如果把扫描线 4 设置为非选择电平“L”电平, 则由电容器 19 保持节点 N20 的电位。节点 N10 的电位由驱动电路 20 保持为与节点 N20 相同的电位。节点 N20 的电位经由电阻元件 17、18 受到数据线 6 的电位变化的影响而变化, 但因为由驱动电路

20 保持节点 N10 的电位，所以数据线 6 的电位变化对节点 N10 的影响比现有技术小。

图 4 是展示驱动电路 20 的构成的电路图。在图 4 中，驱动电路 20 包含电平移位电路 21、25、电容器 29、负载（pull up）电路 30 以及下拉（pull down）电路 33。

电平移位电路 21 包含：串联连接在第 3 电源电位 V3（15V）的节点和接地电位 GND 的节点之间的电阻元件 22、N 型场效应晶体管（以下，称为 N 型晶体管）23 以及 P 型场效应晶体管（以下，称为 P 型晶体管）24。N 型晶体管 23 的栅极与其漏极（节点 N22）连接。N 型晶体管 23 构成二极管元件。P 型晶体管 24 的栅极与输入节点 N20 连接。电阻元件 22 的电阻值设定为比晶体管 23、24 的导通电阻值充分大的值。

如果把输入节点 N20 的电位（灰度电位）设置为 VI，把 P 型晶体管的阈值电压设置为 VTP，把 N 型晶体管的阈值电压设置为 VTN，则 P 型晶体管 24 的源极（节点 N23）的电位 V23 以及 N 型晶体管 23 的漏极（节点 N22）的电位 V22 分别用下式（1）、（2）表示。

$$V23=VI+|VTP|.....(1)$$

$$V22=VI+|VTP|+VTN.....(2)$$

因而，电平移位电路 21 输出使输入电位 VI 只移位 $|VTP|+VTN$ 的电位 V22。

电平移位电路 25 包含串联连接在第 4 电源电位 V4（5V）的节点和第 5 电源电位 V5（-10V）之间的 N 型晶体管 26、P 型晶体管 27 以及电阻元件 28。N 型晶体管 26 的栅极连接在输入节点 N20 上。P 型晶体管 27 的栅极连接在其漏极（节点 N27）。P 型晶体管 27 构成二极管元件。电阻元件 28 的电阻值被设定为比晶体管 26、27 的导通电阻值充分大的值。

N 型晶体管 26 的源极（节点 N26）的电位 V26 以及 P 型晶体管 27 的漏极（节点 N27）的电位 V27，分别用下式（3）、（4）表示。

$$V26=VI-VTN.....(3)$$

$$V27=V_I-V_{TN}-|V_{TP}|.....(4)$$

因而,电平移位电路 25 输出使输入电位 V_I 只偏移 $-V_{TN}-|V_{TP}|$ 的电位 $V27$ 。

电容器 29 连接在电平移位电路 21 的输出节点 $N22$ 和电平移位电路 25 的输出节点 27 之间。电容器 29 在把节点 $N22$ 的电位变化传递到节点 $N27$ 的同时,把节点 $N27$ 的电位变化传递到节点 $N22$ 。

负载电路 30 包含串联连接在第 6 电源电位 $V6$ (15V) 的节点和输出节点 $N30$ 之间的 N 型晶体管 31 以及 P 型晶体管 32。在输出节点 $N30$ 上连接负载电容 (液晶单元 2 以及开关 15、16 的寄生电容) 36。N 型晶体管 31 的栅极接受电平移位电路 21 的输出电位 $V22$ 。P 型晶体管 32 的栅极连接在其漏极上。P 型晶体管 32 构成二极管元件。因为设定了第 6 电源电位 $V6$ 使得 N 型晶体管 31 在饱和区域动作,所以 N 型晶体管 31 进行所谓的源跟随动作。

为了便于说明,如图 5 所示,假设 P 型晶体管 32 的漏极 (节点 $N30'$) 和输出节点 $N30$ 之间处于非导通状态。N 型晶体管 31 的源极 (节点 $N31$) 的电位 $V31$ 以及 P 型晶体管 32 的漏极 (节点 $N30'$) 的电位 $V30'$, 分别用下式 (5)、(6) 表示。

$$V31=V22-V_{TN}=V_I+|V_{TP}|.....(5)$$

$$V30'=V31-|V_{TP}|=V_I.....(6)$$

返回图 4,下拉电路 33 包含串联连接在第 7 电源电位 $V7$ (-10V) 的节点和输出节点 $N30$ 之间的 P 型晶体管 35 以及 N 型晶体管 34。P 型晶体管 35 的栅极接受电平移位电路 25 的输出电位 $V27$ 。N 型晶体管 34 的栅极连接在其漏极上。N 型晶体管 34 构成二极管元件。因为设定了第 7 电源电位 $V7$ 使得 P 型晶体管 35 在饱和区域动作,所以 P 型晶体管 35 进行所谓的源跟随动作。

为了便于说明,如图 5 所示,假设 N 型晶体管 34 的漏极 (节点 $N30'$) 和输出节点 $N30$ 之间处于非导通状态。P 型晶体管 35 的源极 (节点 $N34$) 的电位 $V34$ 以及 N 型晶体管 34 的漏极 (节点 $N30''$) 的电位 $V30''$, 分别用下式 (7)、(8) 表示。

$$V_{34}=V_{27}+|V_{TP}|=V_I-V_{TN}\dots\dots (7)$$

$$V_{30''}=V_{34}+V_{TN}=V_I\dots\dots (8)$$

公式(7)(8)表示:即使连接 P 型晶体管 32 的漏极(节点 N30')和 N 型晶体管 34 的漏极(节点 N30''), 在第 6 电源电位 V6 的节点和第 7 电源电位 V7 的节点之间也没有电流流过, 输出节点 N30 的电位 VO 和输入节点 N20 的电位 VI 相同。因而, 如果使电阻元件 22、28 的电阻值充分大, 则在成为了 VO=VI 的稳定状态下, 贯通电流极小。

图 6 是用于说明本驱动电路 20 的交流动作(转移状态下的动作)的时序图。在图 6 中, 在初始状态中, 假设 VI=VL。由此, V22、V27、VO 分别如下。

$$V_{22}=V_L+|V_{TP}|+V_{TN}$$

$$V_{27}=V_L-|V_{TP}|-V_{TN}$$

$$V_O=V_L$$

在时刻 t 1 如果 VI 从 VL 上升到 VH, 则 V22、V27、VO 在经过规定时间后分别如下。

$$V_{22}=V_H+|V_{TP}|+V_{TN}$$

$$V_{27}=V_H-|V_{TP}|-V_{TN}$$

$$V_O=V_H$$

在此电平变化过程中进行以下的动作。在电平移位电路 25 中, 如果在时刻 t1 输入电位 VI 从 VL 上升到 VH, 则 N 型晶体管 26 的驱动能力提高, 节点 N26 的电位 V26 迅速上升。由此, P 型晶体管 27 的源极-栅极间电压增大, P 型晶体管 27 的驱动能力也提高, 节点 N27 的电位 V27 迅速上升。

如果节点 N27 的电位 V27 迅速上升, 则由于电容耦合经由电容器 29 节点 N22 的电位 V22 只迅速上升 VH-VL。与此对应输出节点 N30 的电位 VO 也从 VL 迅速上升到 VH。

另外在时刻 t2 如果输入电位 VI 从 VH 下降到 VL, 则 P 型晶体管 24 的驱动能力提高, 节点 N23 的电位 V23 迅速下降。由此, N 型

晶体管 23 的栅极-源极间电压增大, N 型晶体管 23 的驱动能力也提高, 节点 N22 的电位 V22 迅速下降。

如果节点 N22 的电位 V22 迅速下降, 则由于电容耦合作用经由电容器 29 节点 N27 的电位 V27 只迅速下降 $V_H - V_L$ 。与此对应输出节点 N30 的电位 VO 也从 V_H 迅速下降到 V_L 。

另外在驱动电路 20 中, 在稳定状态下在负载电路 30 以及下拉电路 33 中没有贯通电流流过, 因为通过把电阻元件 22、26 的电阻值设置得比晶体管 23、24、26、27 的导通电阻值充分高, 还可以减小电平移位电路 21、25 的贯通电流, 所以可以谋求直流电流的降低。另外, 因为设置了电容器 29, 所以还可以迅速地响应输入电位 VI 的变化。

在本实施例 1 中, 因为在采样保持电路 14 中, 在数据线 6 和驱动电路 20 的输入节点 N20 之间串联连接 2 个开关 15、16, 由驱动电路 20 把开关 15、16 之间的节点 N10 的电位保持在节点 N20 的电位, 所以即使在数据线 6 的电位变化的情况下, 也可以抑制节点 N10、N20、N30 的电位变化。因而, 可以减少刷新 (refresh) 节点 N10、N20、N30 的电位的频度, 可以谋求消耗电力的降低。

进而, 通过在规定周期切换液晶单元 2 的驱动电压的极性, 还可以谋求液晶显示装置的低电力消耗。作为以规定周期切换液晶单元 2 的驱动电压极性的方法, 例如有在规定周期交替在 5V 以及 0V 之间切换图 2 的第 1 电源电位 V1, 在规定周期交替在 0V 以及 5V 之间切换第 2 电源电位 V2, 在规定周期在 0V 以及 5V 之间交替切换图 3 的共用电位 VCOM 的方法。

另外, 采样保持电路 14 不仅可以用于在液晶显示装置那样的图像显示装置中采样以及保持灰度电位, 当然还可以作为采样以及保持模拟电位并施加到负载电路的电路而用于任何用途。

另外, 驱动电路 20 不仅可以用于在液晶显示装置那样的图像显示装置中传递灰度电位, 当然还可以作为为了使得成为与输入的模拟电位同电位而控制输出节点电位的模拟缓冲器而用于任何用途。

另外, 驱动电路 20 的场效应晶体管可以是 MOS 晶体管, 也可以

是 TFT（薄膜晶体管）。另外，电阻元件可以用高感应金属形成，也可以用杂质扩散层形成，为了减小占有面积也可以用场效应晶体管形成。

另外，当用 TFT 构成场效应晶体管的情况下，可以用本征 a-Si 薄膜构成电阻元件。即，在被形成在玻璃衬底上的本征 a-Si 薄膜的表面上形成栅极电极，从栅极电极上方向规定区域注入杂质，在栅极电极一方以及另一方分别形成源极以及漏极。被栅极电极遮挡未注入杂质的部分为通道区域。不能导通时的通道区域的电阻，即非导通时的 TFT 的电阻值为 $10^{12}\Omega$ 级。

如果把电阻元件设置为和晶体管同样大小，则电阻元件的电阻值和非导通时的晶体管的电阻值相同，电平移位电路 21、25 的电源电位 V3、V4-V5 由电阻元件和晶体管分压，输出电平 V22、V27 下降，不能得到所希望的电位。为了防止这种情况，需要电阻元件的电阻值比晶体管的截止电阻值还小。例如，可以把电阻元件的宽度设置为晶体管宽度的 10~100 倍，把电阻元件的电阻值设置成晶体管电阻值的 $1/10 \sim 1/100$ 倍。或者，如果用注入了杂质的 a-Si 膜构成电阻元件，则不增大电阻元件的面积就可以减小电阻元件的电阻值。

以下，说明各种变形例子。图 7 的驱动电路 40 是从图 4 的驱动电路 20 中除去电容器 29 的电路。当负载电容 36 的电容值比较小的情况下，可以减小晶体管 23、24、26、27、31、32、34、35 的尺寸。如果减小晶体管 23、27、31、35 的尺寸，则晶体管 23、27、31、35 的栅极电容减小，节点 N22、N27 的寄生电容减小。因而，即使没有电容器 29 也可以通过经由电阻元件 22、28 进行的充放电提高以及降低节点 N22、N27 的电位 V22、V27。在此变形例子中，因为除去了电容器 29，所以电路的占有面积小。

图 8 的驱动电路 41 是从图 4 的驱动电路 20 中除去连接成二极管的晶体管 23、27、32、34 的电路。输出电位 VO 为 $VO = VI + |V_{TP}| - V_{TN}$ 。但是，如果设定为 $|V_{TP}| \approx V_{TN}$ ，则 $VO \approx VI$ 。或者，如果考虑把 $|V_{TP}| - V_{TN}$ 的值作为偏移值使用则可以和图 4 的驱动电路 20 同样地

使用。在此变形例子中，因为除去了晶体管 23、27、32、34，所以可以减小电路的占有面积。

图 9 的驱动电路 42 是从图 8 的驱动电路 41 中进一步除去电容器 29 的电路。当负载电容 36 的电容值比较小的情况下，可以减小晶体管 24、26、31、35 的尺寸，可以减小节点 N22、N27 的寄生电容。因而，即使没有电容器 29 也可以通过经由电阻元件 22、28 进行的充放电提高或者降低节点 N22、N27 的电位 V22、V27。在此变形例子中，因为除去了电容器 29，所以可以进一步减小电路占有的面积。

在图 10 的彩色液晶显示装置中，与各行对应地设置 2 条扫描线 4a、4b。开关 15、16 分别在扫描线 4a、4b 是选择电平的“H”电平时导通。开关 15、16 同时导通，在开关 16 断开后开关 15 被断开。这种情况下，可以谋求驱动电路 20 的动作稳定化。

图 11 的图像显示装置在实施例 1 的彩色液晶显示装置中用 P 型晶体管 50 以及有机 EL（场致发光）元件 51 置换液晶单元 2。P 型晶体管 50 以及有机 EL 元件 51 被串联连接在电源电位 VCC 的线和接地电位 GND 的线之间。P 型晶体管 50 的栅极与驱动电路 20 的输出节点 N30 连接。根据驱动电路 20 的输出电位，P 型晶体管 50 的导通电阻变化，流过有机 EL 元件 51 的电流值变化。由此，有机 EL 元件 51 的亮度变化。有机 EL 元件 51 被配置成多行多列构成 1 块板，在该板上显示 1 个图像。

[实施例 2]

图 12 是展示本发明的实施例 2 的采样保持电路的驱动电路 60 的构成的电路图。参照图 12，该驱动电路 60 和图 4 的驱动电路 20 的不同点是分别用电平移位电路 61、63 置换电平移位电路 21、25。电平移位电路 61 用恒流源 62 置换电平移位电路 21 的电阻元件 22，电平移位电路 63 用恒流电源 64 置换电平移位电路 25 的电阻元件 28。

恒流电源 62 如图 13 所示，包含 P 型晶体管 65、66 以及电阻元件 67。P 型晶体管 65 被连接在第 3 电源电位 V3 的线和节点 N22 之间，P 型晶体管 66 以及电阻元件 67 被串联连接在第 3 电源电位 V3 的线

和接地电位 GND 的线之间。P 型晶体管 65、66 的栅极都连接在 P 型晶体管 66 的漏极上。P 型晶体管 65、66 构成电流镜像电路。在 P 型晶体管 66 以及电阻元件 67 上流过的与电阻元件 67 的电阻值相应的值的恒定电流，在 P 型晶体管 65 上流过的与在 P 型晶体管 66 流过的恒流值相应的值的恒流。进而，电阻元件 67 的一电极与接地电位 GND 的线连接，而在比从第 3 电源电位 V3 中减去 P 型晶体管 66 的阈值电压的绝对值 $|V_{TP}|$ 的电位还低的另一电源电位线上连接电阻元件 67 的一电极。另外，作为恒流源可以代替晶体管 65、66 以及电阻元件 67，在第 3 电源电位 V3 的线和节点 N22 之间设置相互连接栅极和源极的偏转型晶体管。

另外恒流源 64 包含电阻元件 68 以及 N 型晶体管 69、70。电阻元件 68 以及 N 型晶体管 69 被串联连接在第 4 电源电位 V4 的线和第 5 电源电位 V5 的线之间，N 型晶体管 70 连接在节点 N27 和第 5 电源电位 V5 的线之间。N 型晶体管 69、70 的栅极都与 N 型晶体管 69 的漏极连接。N 型晶体管 69、70 构成电流镜像电路。在电阻元件 68 以及 N 型晶体管 69 上流过的与电阻元件 68 的电阻值相应值的恒定电流，在 N 型晶体管 70 上流过的与在 N 型晶体管 69 上流过的恒定电流值相应值的恒定电流。进而，电阻元件 68 的一电极连接在第 4 电源电位 V4 上，而在比在第 5 电源电位 V5 上加算了 N 型晶体管 69 的阈值电压 V_{TN} 的电位还高的另一电源电位的线上连接电阻元件 68 的一电极。另外，作为恒流源可以代替晶体管 69、70 以及电阻元件 68，而在第 5 电源电位 V5 的线和节点 N27 之间设置相互连接栅极和源极后的偏转型晶体管。其他的过程以及动作因为和图 4 的驱动电路 20 一样，所以不重复其说明。

在本实施例 2 中，因为分别用恒流源 62、64 置换图 4 的驱动电路 20 的电阻元件 22、28，所以与输入电位 VI 的值无关，可以得到与输入电位 VI 相等的输出电位 VO。

以下，说明本实施例 2 的各种变形例子。图 14 的驱动电路 71 是从图 12 的驱动电路 60 中除去电容器 29 的电路。此变形例子在负荷电

容 36 的电容值比较小的情况下有效。在此变形例子中，因为除去了电容器 29，所以电路占有面积小。

图 15 的驱动电路 72 是从图 13 的驱动电路 60 中除去 N 型晶体管 23、34 以及 P 型晶体管 27、32 的电路。在此变形例子中，因为除去了晶体管 23、27、32、34，所以可以减小电路的占有面积，但是输出电位 VO 为 $VO=VI+|V_{TP}|-V_{TN}$ 。

图 16 的驱动电路 73 是从图 15 的驱动电路 72 中除去电容器 29 的电路。此变形例子在负载电容 36 的电容值比较小的情况下有效。在此变形例子中，因为除去了电容器 29，所以电路的占有面积小。

[实施例 3]

例如在图 4 的驱动电路 20 中，在负载电容 36 充放电时，晶体管 31、32、34、35 各自进行所谓的源跟随动作。此时，随着输出电位 VO 接近输入电位 VI，晶体管 31、32、34、35 的各自的栅极-源极电压减小，晶体管 31、32、34、35 的电流驱动能力下降。对于晶体管 32、34，可以通过扩大它们的栅极电极宽度来防止驱动能力下降，但如果扩大晶体管 31、35 的栅极电极宽度则栅极电容增大，驱动电路 20 的动作速度下降。在本实施例 3 中，谋求解决此问题。

图 17 是展示本发明的实施例 3 的采样保持电路的驱动电路 75 的构成的电路图。参照图 17，此驱动电路 75 是在图 14 的驱动电路 71 上追加了电容器 76、77 的电路。电容器 76 的一电极接受升压信号 ϕB ，其另一电极被连接在节点 N22 上。电容器 77 的一电极接受升压信号 ϕB 的互补信号 $\bar{\phi B}$ ，其另一电极连接在节点 N27 上。

图 18 是展示图 17 所示的驱动电路 75 的动作的时序图。在图 18 中，为了容易理解，节点 N22、N27 的电位 V22、V27 以及输出电位 VO 的转移时间比实际长。在时刻 t1 中，如果输入电压 VI 从“L”电平 VL 上升到“H”电平 VH，则电位 V22、V27、VO 各自逐渐上升。如上所述，电位 V22、V27、VO 各自其电位变化的周期比较快速地上升，随着接近最终电平而上升速度变慢。

在从时刻 t1 经过规定时间后的时刻 t2，在升压信号 ϕB 上升到

“H”电平的同时信号/ ϕB 下降到“L”电平。如果信号 ϕB 上升到“H”，则经由电容器 76 通过电容耦合作用，节点 N22 的电位 V_{22} 只上升规定电压 ΔV_1 。如果信号/ ϕB 下降到“L”电平，则经由电容器 77 通过电容耦合作用，节点 N27 的电位 V_{27} 只下降规定电位 ΔV_2 。这时，因为进行向输出节点 N30 输出“H”电平 V_H 的动作，N 型晶体管 31 的导通电阻值比 P 型晶体管 35 的导通电阻值还低，所以 V_{22} 的电平上升作用比 V_{27} 的电平下降作用还强，输出电位 V_O 从时刻 t_2 开始迅速上升（当未升压到 V_{22} 的情况下用虚线表示）。

升压后的电位 V_{22} 从节点 N22 经由晶体管 23、24 向接地电位 GND 的线流出电流，由此降低到 $V_I + |V_{TP}| + V_{TN}$ 。另外降压后的电位 V_{27} 从第 4 电源电位 V_4 的线经由晶体管 26、27 向节点 27 流入电流，由此上升到 $V_I - |V_{TP}| - V_{TN}$ 。

在时刻 t_3 ，在升压信号 ϕB 下降到“L”电平的同时信号/ ϕB 上升到“H”电平。如果信号 ϕB 下降到“L”电平，则经由电容器 76 通过电容耦合作用，节点 N22 的电位 V_{22} 只下降规定电压 ΔV_1 。另外如果信号/ ϕB 上升到“H”电平，则经由电容器 77 通过电容耦合作用，节点 N27 的电位 V_{27} 只上升规定电压 ΔV_2 。即使 V_{22} 只下降 ΔV_1 也没有能力在负载电路 30 中使输出电位 V_O 下降，即使 V_{27} 只上升 ΔV_2 也没有能力在下拉电路 33 中使输出电压上升，所以输出电位 V_O 没有变化。

降压的电位 V_{22} 由于从第 3 电源电位 V_3 的线经由 P 型晶体管 65 向节点 N22 流入电流，因而上升到 $V_I + |V_{TP}| + V_{TN}$ 。但是，因为为了低消耗电力化而把 P 型晶体管 65 的电流驱动能力设定为很小，所以节点 N22 的电位 V_{22} 上升到原本的电平 $V_I + |V_{TP}| + V_{TN}$ 所需要的时间，比 V_{22} 下降到其电平 $V_I + |V_{TP}| + V_{TN}$ 所需要的时间还长。

另外升压后的电位 V_{27} 由于从节点 N27 经由 N 型晶体管 70 向第 5 电源电位 V_5 的线流出电流，因而下降到 $V_I - V_{TN} - |V_{TP}|$ 。但是，因为为了低消耗电力化而把 N 型晶体管的电流驱动能力设定为很小，所以节点 N27 的电位 V_{27} 下降到原本的电平 $V_I - V_{TN} - |V_{TP}|$ 所需要的时间，比 V_{27} 上升到其电平 $V_I - V_{TN} - |V_{TP}|$ 所需要的时间还长。

以下在时刻 t_4 ，如果输入电位 V_I 从“H”电平 V_H 下降到“L”电平 V_L ，则电位 V_{22} 、 V_{27} 、 V_4 的各自渐渐降低。电位 V_{22} 、 V_{27} 、 V_4 的各自，虽然电位变化的初期比较快速下降，但随着接近最终电平下降速度变慢。

在从时刻 t_4 经过规定时间后的时刻 t_5 ，在升压信号 ϕ_B 上升到“H”电平的同时信号 ϕ_B 下降到“L”电平。如果信号 ϕ_B 上升到“H”电平，则经由电容器 76 通过电容耦合作用，节点 N22 的电位 V_{22} 只上升规定电压 ΔV_1 。如果信号 ϕ_B 下降到“L”电平，则经由电容器 77 通过电容耦合作用，节点 N27 的电位 V_{27} 只下降规定电压 ΔV_2 。此时，因为进行向输出节点 N30 输出“L”电平 V_L 的动作，P 型晶体管 35 的导通电阻值比 N 型晶体管 31 的导通电阻值还低，所以因 V_{27} 引起的电平下降作用比因 V_{22} 引起的电平上升作用还强，输出电位 V_O 从时刻 t_5 开始迅速下降（当未下降到 V_{27} 的情况下用虚线表示）。

升压的电位 V_{22} 由于从节点 N22 经由晶体管 23、24 向接地电位 GND 的线流出电流，因而下降到 $V_I + |V_{TP}| + V_{TN}$ 。另外降低的电压 V_{27} 从第 4 电源电位 V_4 的线经由晶体管 26、27 向节点 N27 流入电流，因而上升到 $V_I - |V_{TP}| - V_{TN}$ 。

在时刻 t_6 ，在升压信号 ϕ_B 下降到“L”电平的同时信号 ϕ_B 上升到“H”电平。如果信号 ϕ_B 下降到“L”电平，则经由电容器 76 通过电容耦合作用，节点 N22 的电位 V_{22} 只下降规定电压 ΔV_1 。另外如果信号 ϕ_B 上升到“H”电平，则经由电容器 77 通过电容耦合作用，节点 N27 的电位 V_{27} 只上升规定电压 ΔV_2 。因为即使下降 ΔV_1 也没有能力在负载电路 30 中使输出电位 V_O 下降，即使上升 ΔV_2 也没有能力在下拉电路 33 中使输出电位 V_O 上升，所以输出电位 V_O 没有变化。

降压的电位 V_{22} 由于从第 3 电源电位 V_3 经由晶体管 65 向节点 N22 流入电流，因而上升到 $V_I + |V_{TP}| + V_{TN}$ 。但是，因为为了降低电力消耗把 P 型晶体管 65 的电流驱动能力设定得小，所以节点 N22 的电位 V_{22} 上升到原本的电平 $V_I + |V_{TP}| + V_{TN}$ 所需要的时间比 V_{22} 下降到该电平 $V_I + |V_{TP}| + V_{TN}$ 所需要的时间还长。

另外, 升压后的电位 V_{27} 由于从节点 N_{27} 经由 N 型晶体管 70 向第 5 电源电位 V_5 的线流出电流, 因而降低到 $V_I - V_{TN} - |V_{TP}|$ 。但是, 因为为了降低电力消耗把 N 型晶体管 70 的电流驱动能力设定得很小, 所以节点 N_{27} 的电位 V_{27} 下降到原本电平 $V_I - V_{TN} - |V_{TP}|$ 所需要的时间比 V_{27} 上升到其电平 $V_I - V_{TN} + |V_{TP}|$ 所需要的时间还长。

在本实施例 3 中, 因为对应于输入电位 V_I 从“L”电平 V_L 上升到“H”电平 V_H , 把节点 N_{22} 的电位 V_{22} 升压到比原本应该达到的电位 $V_I + |V_{TP}| + V_{TN}$ 还高的电位, 所以可以快速提高输出电位 V_O 的上升速度。另外, 对应于输入电位 V_I 从“H”电平 V_H 下降到“L”电平 V_L , 因为节点 N_{27} 的电位 V_{27} 也下降到比原本需要达到的电位 $V_I - |V_{TP}| - V_{TN}$ 还低的电位, 所以可以加速输出电位 V_O 的下降速度。因而, 可以谋求驱动电路 75 的响应速度的高速化。

图 19 是展示本实施例 3 的变形例子的驱动电路 78 的构成的电路图。此驱动电路 78 是除去图 17 的驱动电路 75 的晶体管 23、27、32、34 的电路。在本变形例子中, 因为除去晶体管 23、27、32、34, 所以输出电位 V_O 变为 $V_O = V_I + |V_{TP}| - V_{TN}$, 电路的占有面积小。

[实施例 4]

图 20 是展示本发明的实施例 4 的采样保持电路的驱动电路 80 的构成的电路图。参照图 20, 此驱动电路 80 是在图 14 的驱动电路 17 上追加 P 型晶体管 81 以及 N 型晶体管 82 的电路。P 型晶体管 81 被连接在第 3 电源电位 V_3 的线和节点 N_{22} 之间, 其栅极接受提升信号 $/\phi_P$ 。N 型晶体管 82 被连接在节点 N_{27} 和第 5 电源电位 V_5 的线之间, 其栅极接收提升信号 $/\phi_P$ 的互补信号 ϕ_P 。

信号 ϕ_P 、 $/\phi_P$ 以和在实施例 3 中所示的信号 ϕ_B 、 $/\phi_B$ 同样的定时产生电平变化。即, 在输入信号 V_I 从“L”电平 V_L 上升到“H”电平 V_H 后经过规定时间后, 信号 $/\phi_P$ 、 ϕ_P 分别被脉冲式地设置为“L”电平以及“H”电平, P 型晶体管 81 以及 N 型晶体管 82 脉冲式地导通。由此, 节点 N_{22} 的电位 V_{22} 在升压到用晶体管 81 和晶体管 23、24 分压第 3 电源电位 V_3 的电位后, 成为规定值 $V_I + |V_{TP}| + V_{TN}$ 。另外, 节

点 N27 的电位 V_{27} 在被降压到用晶体管 26、27 和晶体管 28 分压第 4 电源电位 V_4 和第 5 电源电位 V_5 之间的电压 V_4-V_5 的电位后，成为规定值 $V_I-V_{TN}-|V_{TP}|$ 。这时，如已在实施例 3 中叙述的那样，由 N 型晶体管 31 产生的充电作用比由 P 型晶体管 35 引起的放电作用还强，输出电位 V_O 迅速与输入电位 V_I 相等。当输入电位 V_I 从“H”电平 V_H 下降到“L”电平 V_L 的情况下，由 P 型晶体管 35 产生的放电作用比由 N 型晶体管 31 产生的充电作用还强，输出电位 V_O 迅速与输入电位 V_I 相等。

即使在本实施例 4 中也可以得到和实施例 3 一样的效果。

以下，说明本实施例 4 的各种变形例子。图 21 的驱动电路 83 是从图 20 的驱动电路 80 中除去 N 型晶体管 23、24 以及 P 型晶体管 27、32 的电路。在该变形例子中，因为除去了晶体管 23、27、32、34，所以输出电位 V_O 为 $V_O=V_I+|V_{TP}|-V_{TN}$ ，电路的占有面积小。

图 22 的驱动电路 85 是在图 20 的驱动电路 80 中追加了 N 型晶体管 86 以及 P 型晶体管 87 的电路，N 型晶体管 86 被连接在 P 型晶体管 24 的源极和接地电位 GND 的线之间，其栅极接受提升信号 ϕ_P 。P 型晶体管 87 被连接在第 4 电源电位 V_4 的线和 N 型晶体管 26 的漏极之间，其栅极接受提升信号 ϕ_P 的互补信号 $\phi_{\bar{P}}$ 。在该变形例子中，因为在 P 型晶体管 81 的导通时 N 型晶体管 86 为非导通，所以可以防止从第 3 电源电位 V_3 的线经由晶体管 81、23、24、86 向接地电位 GND 的线流过贯通连流。另外，因为在 N 型晶体管 82 的导通时 P 型晶体管 87 为非导通，所以可以防止从第 4 电源电位 V_4 的线经由晶体管 87、26、27、82 向第 5 电源电位 V_5 的线流过贯通连流。因而，电路 61、63 的消耗电流小。

图 23 的驱动电路 88 是从图 22 的驱动电路 85 中除去 N 型晶体管 23、34 以及 P 型晶体管 27、32 的电路。在该变形例子中，因为除去了晶体管 23、27、32、34，所以输出电位 V_O 为 $V_O=V_I+|V_{TP}|-V_{TN}$ ，电路占有面积小。

图 24 的驱动电路 90 在向图 20 的驱动电路 80 的 P 型晶体管 24

的源极施加信号 ϕP 而代替接替电位 GND 的同时, 向 N 型晶体管 26 的漏极施加信号 ϕP 而代替第 4 电源电位 V4。在该变形例子中, 因为在 P 型晶体管 81 的导通时把 P 型晶体管 24 的漏极设置为“H”电平, 所以可以防止在晶体管 81、23、24 中流过贯通电流。另外, 在 N 型晶体管 82 的导通时因为把 N 型晶体管 26 的漏极设置为“L”电平, 所以可以防止在晶体管 26、27、82 上流过贯通电流。因而, 可以谋求电路 61、63 的消耗电流的降低。

图 25 的驱动电路 91 是从图 24 的驱动电路 90 中除去 N 型晶体管 23、34 以及 P 型晶体管 27、32 的电路。在此变形例子中, 因为除去了晶体管 23、27、32、34, 所以输出电位 VO 为 $VO=VI+|VTP|-VTN$, 电路占有面积小。

[实施例 5]

图 26 是展示本发明的实施例 5 的采样保持电路的驱动电路 95 的构成的电路图。参照图 26, 此驱动电路 95 和图 17 的驱动电路 75 不同之处在于: 各自用电平移位电路 96、102 置换电平移位电路 61、63。

电平移位电路 96 是在电平移位电路 61 上追加了 P 型晶体管 97、98 以及 N 型晶体管 99~101 的电路。P 型晶体管 97、N 型晶体管 99、100 以及 P 型晶体管 98 被串联连接在第 3 电源电位 V3 的线和接地电位 GND 的线之间, N 型晶体管 101 被连接在第 3 电源电位 V3 的线和节点 N22 之间。P 型晶体管 97 的栅极连接在 P 型晶体管 66 的栅极上。因而, 在晶体管 97、99、100、98 上流过与在 P 型晶体管 66 上流过的电流值相应值的恒定电流。N 型晶体管 99、100 的栅极分别被连接在它们的漏极上。N 型晶体管 99、100 各自构成二极管。P 型晶体管 98 的栅极接受输入电位 VI。晶体管 97、99 之间的节点电位 V99 为 $V99=VI+|VTP|+2VTN$ 。V99 被施加给 N 型晶体管 101 的栅极。N 型晶体管 101 把节点 N22 充电至 $V99-VTN=VI+|VTP|+VTN$ 。

电平移位电路 102 是在电平移位电路 63 上追加了 N 型晶体管 103、104 以及 P 型晶体管 105~107 的电路。N 型晶体管 103、P 型晶体管 105、106 以及 N 型晶体管 104 被串联连接在第 4 电源电位 V4 的

线和第 5 电源电位 V5 的线之间, P 型晶体管 107 被连接在节点 N27 和第 5 电源电位 V5 的线之间。N 型晶体管 103 的栅极接受输入电位 V1。P 型晶体管 105、106 的栅极分别连接在它们的漏极上, P 型晶体管 105、106 各自构成二极管。N 型晶体管 104 的栅极与 N 型晶体管 69 的栅极连接。在 N 型晶体管 104 上流过与在 N 型晶体管 69 上流过的恒流值相应值的恒定电流。MOS 晶体管 106 和 104 之间的节点电位 V106 为 $V106 = V1 - V_{TN} - 2|V_{TP}|$ 。V106 被给予 P 型晶体管 107 的栅极。P 型晶体管 107 把节点 N27 放电到 $V106 - |V_{TP}| = V1 - V_{TN} - |V_{TP}|$ 。其他的构成以及动作因为和图 17 的驱动电路 75 一样, 所以不重复其说明。

图 27 是展示图 26 所示的驱动电路 95 的动作的时序图, 是和图 18 对比的图。参照图 27, 在此驱动电路 95 中, 因为用晶体管 97~101 把节点 N22 充电到 $V1 + |V_{TP}| + V_{TN}$, 所以在节点 N22 的电位 V22 下降到比规定值 $V1 + |V_{TP}| + V_{TN}$ 还低时 (时刻 t3, t6), 节点 N22 的电位 V22 可以迅速恢复到规定值 $V1 + |V_{TP}| + V_{TN}$ 。另外, 因为用晶体管 103~107 把节点 N27 放电到 $V1 - V_{TN} - |V_{TP}|$, 所以当节点 N27 的电位 V27 上升到比 $V1 - V_{TN} - |V_{TP}|$ 还高时 (时刻 t3, t6), 可以使节点 N27 的电位 V27 迅速恢复到规定值 $V1 - V_{TN} - |V_{TP}|$ 。因而, 可以谋求电路响应速度的高速化。

图 28 是展示本实施例 5 的变形例子的电路图。此驱动电路 108 是从图 26 的驱动电路 95 中除去 N 型晶体管 23、34、100 以及 P 型晶体管 27、32、105 的电路。在该变形例子中, 因为除去了晶体管 23、27、32、34、100、105, 所以输出电位 VO 为 $VO = V1 + |V_{TP}| - V_{TN}$, 可以使电路的占有面积小。

[实施例 6]

图 29 是展示本发明的实施例 6 的采样保持电路的驱动电路 110 的构成的电路图。参照图 29, 此驱动电路 110 和图 26 的驱动电路 95 不同之处在于: 用电平移位电路 111、112 置换电平移位电路 96、102。

电平移位电路 111 是从电平移位电路 96 中除去 P 型晶体管 97、98 以及 N 型晶体管 100, 把 N 型晶体管 99 连接在 P 型晶体管 65 的源

极和节点 N22 之间的电路。N 型晶体管 99 的栅极连接在 N 型晶体管 99 的漏极以及 N 型晶体管 101 的栅极上。N 型晶体管 99、101 的栅极电位 V_{99} 为 $V_{99}=V_I+|V_{TP}|+2V_{TN}$ 。N 型晶体管 101 把节点 22 充电到 $V_{99}-V_{TN}=V_O+|V_{TP}|+V_{TN}$ 。

电平移位电路 112 是从电平移位电路 102 中除去 N 型晶体管 103、104 以及 P 型晶体管 105，把 P 型晶体管 106 连接在节点 N27 和 N 型晶体管 70 的漏极之间的电路。P 型晶体管 106 的栅极被连接在其漏极以及 P 型晶体管 107 的栅极上。P 型晶体管 106、107 的栅极电位 V_{106} 为 $V_{106}=V_I-V_{TN}-2|V_{TP}|$ 。P 型晶体管 107 把节点 N27 放电到 $V_{106}+|V_{TP}|=V_I-V_{TN}-|V_{TP}|$ 。其他的构成以及动作因为和图 26 的驱动电路 95 一样，所以不重复其说明。

在本实施例 6 中，除了可以得到和实施例 5 同样的效果外，因为可以削减从第 3 电源电位 V_3 的线经由晶体管 97、99、100、98 流过接地电位 GND 的线上的电流，以及从第 4 电源电位 V_4 的线经由晶体管 103、105、106、104 流过第 5 电源电位 V_5 的线的电流，所以可以减小消耗电流。另外，因为除去了晶体管 97、98、100、103~105，所以可以使电路的占有面积小。

图 30 是展示本实施例 6 的变形例子的电路图。此驱动电路 113 是从图 29 的驱动电路 110 中除去 N 型晶体管 23、34 以及 P 型晶体管 27、32 的电路。在该变形例子中，因为除去了晶体管 23、27、32、34，所以输出电位 V_O 为 $V_O=V_I+|V_{TP}|-V_{TN}$ ，可以使电路的占有面积小。

[实施例 7]

图 31 是展示本发明的实施例 7 的半导体集成电路装置的主要部分的电路框图。在图 31 中，该半导体集成电路装置包括 j 个（ j 是 2 以上的整数）驱动电路 115.1~115.j。

驱动电路 115.1 如图 32 所示，分别用电平移位电路 116、117 置换图 13 的驱动电路 60 的电平移位电路 61、63。电平移位电路 116 是从电平移位电路 61 中除去 P 型晶体管 66 以及电阻元件 67 的电路，电平移位电路 117 是从电平移位电路 63 中除去电阻元件 68 以及 N 型

晶体管 69 的电路。晶体管 65、70 的栅极分别接受偏置电位 VBP、VBN。其他的驱动电路 115.2~115.j 各自也和驱动电路 115.1 的构成相同。

返回图 31, 在此半导体集成电路装置中, 用于生成偏置电位 VBP 的 P 型晶体管 66 以及电阻元件 67, 和用于生成偏置电位 VBN 的电阻元件 68 以及 N 型晶体管 69 被共通地设置在驱动电路 115.1~115.j 中。

P 型晶体管 66 以及电阻元件 67 被串联连接在第 3 电源电位 V3 的线和接地电位 GND 的线之间, P 型晶体管 66 的栅极与其漏极 (节点 N66) 连接。在节点 N66 上显现偏置电位 VBP。在节点 N66 和接地电位 GND 的线之间, 连接用于使偏置电位 VBP 稳定化的电容器 118。在驱动电路 115.1~115.j 各自的 P 型晶体管 65 上流过与在 P 型晶体管 66 上流过的恒流值相应的恒流。

电阻元件 68 以及 N 型晶体管 69 被连接在第 4 电源电位 V4 的线和第 5 电源电位 V5 的线之间, N 型晶体管 69 的栅极与其漏极 (节点 N68) 连接。在节点 N68 上显现偏置电位 VBN。在节点 N68 和接地电位 GND 的线之间连接用于使偏置电位 VBN 稳定化的电容器 119。驱动电路 115.1~115.j 各自的 N 型晶体管 70 流过与在 N 型晶体管 69 上流过的恒流值相应的恒流。

在本实施例 7 中, 除了可以得到和实施例 2 一样的效果外, 因为把用于生成偏置电位 VBP、VBN 的电路共通地设置在驱动电路 115.1~115.j 上, 所以驱动电路 115.1~115.j 的每个的占有面积小。

[实施例 8]

图 33 是展示本发明实施例 8 的采样保持电路的带偏移补偿功能的驱动电路 120 的构成的电路框图。在图 33 中, 此带偏移补偿功能的驱动电路 120 包含驱动电路 121、电容器 122 以及开关 S1~S4。驱动电路 121 是实施例 1~11 所示的驱动电路中的任意一个驱动电路。电容器 122 以及开关 S1~S4 构成当因驱动电路 121 的晶体管的阈值电压的离散等引起在驱动电路 121 的输入电位和输出电位之间产生电位差即偏移电压 VOF 的情况下, 用于补偿此偏移电压 VOF 的偏移补偿电路。

即, 开关 S1 被连接在输入节点 N120 和驱动电路 121 的输入节点

N20 之间, 开关 S4 被连接在输出节点 N121 和驱动电路 121 的输出节点 N30 之间。电容器 122 以及开关 S2 被串联连接在驱动电路 121 的输入节点 N20 和输出节点 N30 之间。开关 S3 被连接在输入节点 N120 和电容器 122 以及开关 S2 间的节点 N122 之间。开关 S1~S4 的各个可以是 P 型晶体管, 也可以是 N 型晶体管。可以并联连接 P 型晶体管以及 N 型晶体管。开关 S1~S4 的各个由控制信号 (未图示) 控制开/关。

现在说明驱动电路 121 的输出电位比输入电位只低偏移电压 VOF 的情况。如图 34 所示, 在初始状态下, 所有开关 S1~S4 被设置为断开状态。在某一时刻 t1 如果开关 S1、S2 被设置为接通状态, 则驱动电路 121 的输入节点 N20 的电位 V20 为 $V20=V_I$, 驱动电路 121 的输出电位 V30 以及节点 N122 的电位 V122 为 $V30=V122=V_I-VOF$, 电容器 122 被充电到偏移电压 VOF。

以下在时刻 t2 如果开关 S1、S2 被设置为断开状态, 则偏移电压 VOF 被电容器保持。以下在时刻 t3 如果开关 S3 被设置为接通状态, 则节点 N122 的电位 V122 为 $V122=V_I$, 驱动电路 121 的输入电位 V20 为 $V20=V_I+VOF$ 。其结果, 驱动电路 121 的输出电位 V30 为 $V30=V20-VOF$, 驱动电路 121 的偏移电压 VOF 被消除。以下在时刻 t4 如果开关 S4 被设置为接通状态, 则输出电位 VO 为 $VO=V_I$, 并提供给负载。

在本实施例 8 中, 可以消除驱动电路 121 的偏移电压 VOF, 可以使输出电位 VO 和输入电位 V_I 一致。

进而, 开关 S4 并不是必须的。如果不设置开关 S4, 则当负载电容 36 的电容值大的情况下, 在时刻 t1 把开关 S1、S2 设置为接通状态后, 直至电容器 122 的端子间电压 VOF 稳定的时间长。

[实施例 9]

图 35 是展示本发明实施例 9 的采样保持电路的带偏移补偿功能的驱动电路 125 的构成的电路框图。在图 35 中, 此带偏移补偿功能的驱动电路 125 是在图 12 的驱动电路 60 上追加电容器 122a、122b、126a、126b 以及开关 S1a~S4a、S1b~S4b 的电路。

开关 S1a、S1b 被分别连接在输入节点 N120 和晶体管 24、26 的栅极（节点 N20a，N20b）之间。开关 S4a、S4b 被分别连接在输出节点 N121 和晶体管 32、34 的漏极（节点 N30a、N30b）之间。电容器 122a 以及开关 S2a 被串联连接在节点 N20a 和 N30a 之间。电容器 122b 以及开关 S2b 被串联连接在节点 N20b 和 N30b 之间。开关 S3a 被连接在输入节点 120 和电容器 122a 以及开关 S2a 之间的节点 N122a 之间。开关 3b 被连接在输入节点 N120 和电容器 122b 以及开关 S2b 之间的节点 N122b 之间。电容器 126a、126b 的一电极分别连接在节点 N30a、N30b，它们的另一电极分别接收复位信号 ϕR 及其互补信号 $\phi \bar{R}$ 。

图 36 是展示图 35 所示的带偏移补偿功能的驱动电路 125 的动作的时序图。由恒流源 62 以及晶体管 23、24、31、32 组成的充电电路、由恒流源 64 以及晶体管 26、27、34、35 组成的放电电路虽然充电和放电不同，但因为进行同样的动作，所以在图 36 中只说明充电电路的动作。因为 N 型晶体管 31 的阈值电压 V_{TN} 比 N 型晶体管的阈值电压 V_{TN} 只大 $VOFa$ ，所以假设在充电电路一侧有偏移电压 $VOFa$ ，在放电电路一侧没有偏移电压 $VOFb$ 。

在初始状态下，在把开关 S1a~S3a 设置为断开状态的同时把开关 S4a 设置在接通状态，在节点 N20a、N122a、N30a、N121 上保持前一次的电位 V_I' 。在时刻 t_1 如果把开关 S1a、S2a 设置为接通状态，则节点 N20a、N122a、N30a、N121 的电位 V_{20a} 、 V_{122a} 、 V_{30a} 、 V_O 都变为与输入电位 V_I 相等的电位。另外，节点 N22 的电位 V_{22} 为 $V_{22}=V_I+|V_{TP}|+V_{TN}$ 。虽然 N 型晶体管 30 的阈值电压 V_{TN}' 比 N 型晶体管 23 的阈值电压 V_{TN} 也只高 $VOFa$ ，但 V_{20a} 、 V_{122a} 、 V_{30a} 、 V_O 都为与 V_I 相等的电位，这是因为输出节点 N121 由放电电路放电到输入电位 V_I ，不再继续放电的缘故。

以下，在时刻 t_2 开关 S4a 被设置为断开状态，充电电路的输出节点 N30a 和放电电路的输出节点 N30b 被电切断。以下在时刻 t_3 中如果复位信号 ϕR 从“H”电平下降到“L”电平，则经由电容器 126a 通

过电容耦合作用, 节点 N30a、N122a 的电位 V_{30a} 、 V_{122a} 只降低规定电压。由此, 晶体管 31、32 导通而节点 N30a、N122a 的电位 V_{30a} 、 V_{122a} 上升到 $V_I - V_{OFa}$, 电容器 122a 被充电到 V_{OFa} 。

节点 N30a、N122a 的电位 V_{30a} 、 V_{122a} 稳定后, 在时刻 t_4 开关 S1a、S2a 被设置为断开状态, 进而, 在时刻 t_5 如果开关 S3a 被设置为断开状态, 则在输入电位 V_I 上加上偏移电压 V_{OFa} 的电位 $V_I + V_{OFa}$ 被施加到节点 N20a。由此, 节点 N22 的电位 V_{22} 变为 $V_{22} = V_I + |V_{TP}| + V_{TN} + V_{OFa}$, 节点 N30a、N122a 的电位 V_{30a} 、 V_{122a} 与输入电位 V_I 同电平。

虽然充电电路的输出电位 V_{30a} 从时刻 t_1 开始变为 $V_{30a} = V_I$, 但时刻 $t_1 \sim t_2$ 的期间不超过由配线电容等保持的电位, 当有负极性的干扰的情况下 V_{30a} 下降到 $V_I - V_{OF}$ 。与此相对在时刻 t_5 以后, 即使有负极性的干扰, 因为由晶体管 31、32 充电, 所以 V_{30a} 被维持在 V_I 。

以下在时刻 t_6 开关 S3a 被设置为断开状态, 进而在时刻 t_7 如果开关 S4a 被设置为接通状态, 则负载电容 36 由驱动电路驱动。在时刻 t_8 如果复位信号 ϕ_R 上升到“H”电平, 则返回初始状态。在该时刻 t_8 , 因为输出电阻充分低, 所以即使复位信号 ϕ_R 上升到“H”电平, 输出电位 V_O 也几乎没有变化。在放电电路一侧也进行同样的动作, 输出电位 V_O 被维持在 V_I 。

图 37 是展示图 35 所示的带偏移补偿功能的驱动电路 125 的动作的另一时序图。因为由恒流源 62 以及晶体管 23、24、31、32 组成的充电电路、由恒流源 64 以及晶体管 26、27、34、35 组成的放电电路虽然充电和放电不同, 但因为进行同样的动作, 所以在图 37 中只说明放电电路的动作。现在, 因为 P 晶体管 35 阈值电压的绝对值 $|V_{TP}'|$ 比 P 型晶体管 27 的阈值电压的绝对值 $|V_{TP}|$ 也只大 V_{OFb} , 所以假设在放电电路一侧有偏移电压 V_{OFb} , 在充电电路一侧没有偏移电压 V_{OFa} 。

在初始状态下, 在把开关 S1b~S3b 设置为断开状态的同时把开关 S4b 设置为接通状态, 在节点 N20b、N122b、N30b、N121 上保持前

一次的电位 V_I' 。在时刻 t_1 如果把开关 S_{1b} 、 S_{2b} 设置为接通状态，则节点 N_{20b} 、 N_{122b} 、 N_{30b} 、 N_{121} 的电位 V_{20b} 、 V_{122b} 、 V_{30b} 、 V_O 都变为与输入电位 V_I 相等的电位。另外，节点 N_{27} 的电位 V_{27} 为 $V_{27}=V_I-|V_{TP}|-V_{TN}$ 。虽然 P 型晶体管 35 的阈值电压的绝对值 $|V_{TP}'|$ 比 P 型晶体管 27 的阈值电压的绝对值 $|V_{TP}|$ 也只高 V_{OFb} ，但 V_{20b} 、 V_{122b} 、 V_{30b} 、 V_O 都为与 V_I 相等的电位，这是因为输出节点 N_{121} 由充电电路充电到输入电位 V_I ，不充电到超过 V_I 的缘故。

以下，在时刻 t_2 开关 S_{4b} 被设置为断开状态，充电电路的输出节点 N_{30a} 和放电电路的输出节点 N_{30b} 被电切断。以下在时刻 t_3 如果信号 ϕ_R 从“L”电平上升到“H”电平，则经由电容器 126b 通过电容耦合作用，节点 N_{30b} 、 N_{122b} 的电位 V_{30b} 、 V_{122b} 只上升规定电压。由此，晶体管 34、35 导通，节点 N_{30b} 、 N_{122b} 的电位 V_{30b} 、 V_{122b} 上升到 V_I+V_{OFb} ，电容器 122b 被充电到 V_{OFb} 。

节点 N_{30b} 、 N_{122b} 的电位 V_{30b} 、 V_{122b} 稳定后，在时刻 t_4 开关 S_{1b} 、 S_{2b} 被设置为断开状态，进而，在时刻 t_5 如果开关 S_{3b} 被设置为断开状态，则在从输入电位 V_I 减算偏移电压 V_{OFb} 的电位 V_I-V_{OF} 被施加到节点 N_{20b} 。由此，节点 N_{27} 的电位 V_{27} 变为 $V_{27}=V_I-V_{TN}-|V_{TP}|-V_{OFb}$ ，节点 N_{30b} 、 N_{122b} 的电位 V_{30b} 、 V_{122b} 与输入电位 V_I 同电平。

虽然放电电路的输出电位 V_{30b} 从时刻 t_1 开始变为 $V_{30b}=V_I$ ，但时刻 $t_1\sim t_2$ 的期间不超过由配线电容等保持的电位，当有正极性的干扰的情况下 V_{30b} 上升到 V_I+V_{OFb} 。与此相对在时刻 t_5 以后，即使有正极性的干扰，因为由晶体管 34、35 放电，所以 V_{30b} 被维持在 V_I 。

以下在时刻 t_6 开关 S_{3b} 被设置为断开状态，进而在时刻 t_7 如果开关 S_{4b} 被设置为断开状态，则负载电容 36 由驱动电路驱动。在时刻 t_8 如果信号 ϕ_R 下降到“L”电平则返回初始状态。在时刻 t_8 中，因为输出电阻低，所以即使信号 ϕ_R 上升到“L”电平输出电位 V 也几乎没有变化。在放电电路一侧也进行同样的动作，输出电位 V_O 被维持

在 VI。

以下,说明本实施例 9 的各种变形例子。图 38 的带偏移补偿功能的驱动电路 127 是从图 35 的带偏移补偿功能的驱动电路 125 中除去了 N 型晶体管 23、34 以及 P 型晶体管 27、32 的电路。在此变形例子中,电路占有面积小。

图 39 的带偏移补偿功能的驱动电路 130 是分别用 N 型晶体管 131a 以及 P 型晶体管 131b 置换图 35 的带偏移补偿功能的驱动电路 125 的电容器 126a、126b 的电路。N 型晶体管 131a 被连接在第 8 电源电位 V8 的线和节点 N30a 之间,其栅极接受复位信号 $\phi R'$ 。P 型晶体管 131b 被连接在节点 N30b 和第 9 电源电位 V9 的线之间,其栅极接受复位信号 $\phi R'$ 的互补信号 $/\phi R'$ 。

通常时,信号 $\phi R'$ 、 $/\phi R'$ 分别被设置为“L”电平以及“H”电平,N 型晶体管 131a 以及 P 型晶体管 131b 都被设置为非导通。在图 36 以及图 37 的时刻 t3,信号 $\phi R'$ 只在规定时间脉冲式被设置为“H”电平,与此同时信号 $/\phi R'$ 只在规定时间脉冲式被设置为“L”电平。由此,N 型晶体管 131a 脉冲式地导通,在节点 N30a 的电位 V30a 降低到第 8 电源电位 V8 的同时,P 型晶体管 131b 被脉冲式地导通,节点 N30b 的电位 V30b 上升到第 9 电源电位 V9。其后,在图 36 中说明的情况下节点 N30a 被充电到 VI-VOF,在图 37 中说明的情况下节点 N30b 被充电到 VO+VOF。在此变形例子中,即使在图 36 以及图 37 的时刻 t8 中,也不会在输出电位 VO 中产生干扰。进而,信号 $\phi R'$ 、 $/\phi R'$ 的脉冲宽度被设定为需要的最小限度的值。

图 40 的带偏移补偿功能的驱动电路 132 是在图 20 的驱动电路 80 上追加了由电容器 122a、122b、126a、126b 以及开关 S1a~S4a、S1b~S4b 组成的偏移补偿电路的电路。在图 36 以及图 37 的时刻 t1~t2 的期间在信号 $/\phi P$ 被脉冲性设置为“L”电平的同时把信号 ϕP 脉冲式地设置为“H”电平。在此变形例子中,因为节点 N22、N27 的电位 V22、V27 迅速达到规定值,所以可以谋求动作速度的高速化。

图 41 的带偏移补偿功能的驱动电路 133 是从图 40 的带偏移补偿

功能的驱动电路 132 中除去 N 型晶体管 23、34 以及 P 型晶体管 27、32 的电路。在此变形例子中，电路占有面积小。

图 42 的带偏移补偿功能的驱动电路 135 是在图 22 的驱动电路 85 上附加由电容器 122a、122b、126a、126b 以及开关 S1a~S4a、S1b~S4b 组成的偏移补偿电路的电路。在此变形例子中，在信号 ϕP 、 ϕP 分别变为“L”电平以及“H”电平，由此晶体管 81、82 导通时，同时因为晶体管 86、87 变为非导通，所以可以防止贯通电流流过，实现消耗电流减小。

图 43 的带偏移补偿功能的驱动电路 136 是从图 42 的带偏移补偿功能驱动电路 135 中除去了 N 型晶体管 23、34 以及 P 型晶体管 27、32 的电路。在此变更例子中，电路占有面积减小。

图 44 的带偏移补偿功能的驱动电路 140 是在图 24 所示的驱动电路 90 上附加由电容器 122a、122b、126a、126b 以及开关 S1~S4a、S1b~S4b 组成的偏移补偿电路的电路。在此变形例子中，因为在信号 ϕP 被设置为“L”而电平 P 型晶体管 81 导通时，P 型晶体管 24 的漏极被设置为“H”电平，在信号 ϕP 被设置为“H”电平而 N 型晶体管 82 导通时 N 型晶体管 26 的漏极被设置为“L”电平，所以可以防止贯通电流流过，消耗电力减小。

图 45 的带偏移补偿功能的驱动电路 141 是从图 44 的带偏移补偿功能的驱动电路 140 中除去 N 型晶体管 23、34 以及 P 型晶体管 27、32 的电路。在此变形例子中，电路占有面积小。

图 46 的带偏移补偿功能的驱动电路 145 是在图 26 的驱动电路 95 中附加由电容器 122a、122b、126a、126b 以及开关 S1a~S4a、S1b~S4b 组成的偏移补偿电路的电路。在图 36 以及图 37 的时刻 $t_1 \sim t_2$ 的期间在信号 ϕB 被脉冲式设置为“H”电平的同时，把信号 ϕB 脉冲式设置为“L”电平。在此变形例子中，因为节点 N22、N27 的电位 V_{22} 、 V_{27} 迅速达到规定值，所以可以谋求动作速度的高速化。

图 47 的带偏移补偿功能的驱动电路 146 是从图 46 的带偏移补偿

功能的驱动电路 145 中除去 N 型晶体管 23、34、100 以及 P 型晶体管 27、32、105 的电路。在该变形例子中，电路占有面积小。

图 48 的带移位补偿功能的驱动电路 150 是在图 29 的驱动电路 110 上附加由电容器 122a、122b、126a、126b 以及开关 S1~S4a、S1b~S4b 组成的偏移补偿电路的电路。在图 36 以及图 37 的时刻 t1~t2 的期间在把信号 ϕB 脉冲式设置为“H”电平的同时把信号 $/\phi B$ 脉冲式地设置为“L”电平。在该变更例子中，因为节点 N22、N27 的电位 V22、V27 迅速达到规定值，所以可以谋求动作速度的高速化。

图 49 的带偏移补偿功能的驱动电路 151 是从图 48 的带偏移补偿功能的驱动电路 150 中除去 N 型晶体管 23、34 以及 P 型晶体管 27、32 的电路。在此例子中，电路的占有面积减小。

[实施例 10]

图 50 是展示本发明的实施例 10 的采样保持电路的带偏移补偿功能的驱动电路 155 的构成的电路图。在图 50 中，此带偏移补偿功能的驱动电路 155 和图 46 的带偏移补偿功能的驱动电路 145 的不同点在于：追加开关 S5 以及电容器 156，和分别用升压信号 $\phi B1$ 、 $/\phi B1$ 置换升压信号 ϕB 、 $/\phi B$ 。

开关 S5 被连接在开关 S4a、S4b 间的节点和输出节点 121 之间。电容器 156 被连接在开关 S4a、S4b 间的节点和接地电位 GND 的线之间。电容器 156 的电容值被设定为比负载电容 36 的电容值还小。

图 51 是展示图 50 所示的带偏移补偿功能的驱动电路 155 的动作的时序图。是和图 36 对比的图。在此也只说明充电电路一侧的动作。参照图 51，直至时刻 t9 开关 S5 被设置为断开状态，因为负载电容 36 被电分离，所以例如在时刻 t1~t2 电位 V22、V30a、V122a 迅速达到输入电位 VI。

在时刻 t9 如果开关 S5 被设置为接通状态，则与被连接在输出节点 N121 上的数据线的电位 VO 对应，开关 S4a、S4b 间的电位 V156 变化。在图 51 中，展示了数据线的电位 VO 比 V156 还低的情况，在时刻 t9 当电位 V156 下降后，由于由晶体管 31、32 提供电流而电位

V156 徐徐上升。以下在时刻 t_{10} 信号 $\phi B1$ 从“L”电平上升到“H”电平，节点 N22 的电位 V22 脉冲地上升，流过 N 型晶体管 31 的电流增加，电位 $V156=VO$ 迅速达到输入电位 VI。

图 52 是展示图 50 所示的带偏移补偿功能的驱动电路 155 的动作的另一时序图。是和图 37 对比的图。在此也只说明放电电路一侧的动作。参照图 52，直至时刻 t_9 开关 S5 被设置为断开状态，因为负载电容 36 被电分离，所以例如在时刻 $t_1 \sim t_2$ 电位 V27、V30b、V122b 迅速达到输入电位 VI。

在时刻 t_9 如果开关 S5 被设置为接通状态，则与被连接在输出节点 N121 上的数据线的电位 VO 对应，开关 S4a、S4b 间的电位 V156 变化。在图 52 中，展示了数据线的电位 VO 比 V156 还高的情况，在时刻 t_9 当电位 V156 上升后，由于晶体管 34、35 流出电流，电位 V156 徐徐下降。

以下在时刻 t_{10} 信号 $\phi B1$ 从“H”电下降到“L”电平，节点 N27 的电位 V27 脉冲式下降，流过 P 型晶体管 35 的电流增加，电位 $V156=VO$ 迅速达到输入电位 VI。

在此实施例 10 中，即使负载电容 36 的电容值大，也可以得到快速的动作。

[实施例 11]

图 53 是展示本发明的实施例 11 的带偏移补偿功能的驱动电路 157 的构成的图。参照图 53，此带偏移补偿功能的驱动电路 157 和图 50 的带偏移补偿功能的驱动电路 155 的不同点在于：除去了电容器 156，和开关 S5 的通/断定时以及信号 $\phi B1$ 、 $/\phi B1$ 的电平变化的定时。

图 54 是展示图 53 所示的带偏移补偿功能的驱动电路 157 的动作的时序图。在此，假设 N 型晶体管 31 的阈值电压 V_{TN}' 是比 N 型晶体管 23 的阈值电压 V_{TN} 只大 V_{OF} 的值。在初始状态下，在开关 S1a~S3a、S1b~S3b 变为断开状态的同时，开关 S4a、S4b、S5 被设置为接通状态，节点 N30a、N30b、N20a 的电位 V30a、V30b、V20a 都为前一次的输入电位（在图中是 V_H ）。

在时刻 t_1 如果开关 S_5 被设置为断开状态, 则开关 S_{30a} 、 S_{30b} 间的节点和负载电容 36 被电分离。在时刻 t_2 在开关 S_{1a} 、 S_{1b} 、 S_{2a} 、 S_{2b} 被设置为接通状态的同时, 输入电位 V_I 被设定为此次的电位 (在图中是 V_L)。这样, 节点 N_{30a} 、 N_{30b} 、 N_{20b} 的电位 V_{30a} 、 V_{30b} 、 V_{20b} 都是 $V_I = V_L$ 。尽管 N 型晶体管 31 的阈值电压 V_{TN}' 比其他的 N 型晶体管的阈值电压 V_{TN} 只高 V_{OF} , 但 V_{30a} 、 V_{30b} 为 $V_I = V_L$ 的原因是, 虽然放电电路把节点 N_{30a} 、 N_{30b} 放电到 $B_I = V_L$, 但不会放电到其以下的缘故。

在时刻 t_3 开关 S_{4a} 、 S_{4b} 被设置为断开状态, 充电电路和放电电路被电分离。在时刻 t_4 在复位信号 ϕ_R 从“H”电平下降到“L”电平的同时, 信号 ϕ_R 从“L”电平上升到“H”电平。由此, 在节点 N_{30a} 的电位 V_{30a} 从 V_L 开始被脉冲地降压后变为 $V_L - V_{OF}$ 的同时, 节点 N_{30b} 的电位 V_{30b} 从 V_L 被脉冲式升压后变为 V_L 。

在时刻 t_5 开关 S_{1a} 、 S_{1b} 、 S_{2a} 、 S_{2b} 被设置为断开状态, 以下在时刻 t_6 如果开关 S_{3a} 、 S_{3b} 被设置为接通状态, 则节点 N_{20a} 的电位 V_{20a} 为 $V_L + V_{OF}$, 偏移电压 V_{OF} 被消除, 节点 N_{30a} 的电位 V_{30a} 变为 $V_I = V_L$ 。

如果在时刻 t_7 开关 S_{3a} 、 S_{3b} 被设置为断开状态, 以下在时刻 t_8 开关 S_{4a} 、 S_{4b} 、 S_5 被设置为接通状态, 因为负载电容 36 被充电到前一次的电位的 V_H , 所以节点 N_{30a} 、 N_{30b} 的电位 V_{30a} 、 V_{30b} 暂时上升后徐徐下降。在时刻 t_9 在信号从 ϕ_{B1} 从“L”上升到“H”电平的同时, 信号 ϕ_{B1} 从“H”电平下降到“L”电平。

这样, 在经由电容器 76 节点 N_{22} 的电位 V_{22} 上升的同时, 经由电容器 77 节点 N_{27} 的电位 V_{27} 下降。这时, 进行向输出节点 N_{121} 输出“L 电平” V_L 的动作, P 型晶体管 35 的导通电阻值因为比 N 型晶体管 31 的导通电阻值还低, 所以由 V_{27} 产生的电平下降作用比因 V_{22} 的电平上升作用还强, 节点 N_{30a} 、 N_{30b} 、 N_{121} 的电位 V_{30a} 、 V_{30b} 、 V_O 迅速下降达到 V_L 。

在本实施例 11 中, 可以谋求动作速度的高速化。

[实施例 12]

图 55 是展示本发明的实施例 12 的采样保持电路的推动 (push) 型驱动电路 160 的构成的电路图。在图 55 中, 该推动 (push) 型驱动电路 160 具备电平移位电路 61、负载电路 30 以及恒流源电路 161。电平移位电路 61 以及负载电路 30 和图 12 所示的电路相同。

即, 电平移位电路 61 包含: 被串联连接在第 3 电源电位 V3(15V) 的节点和接地电位 GND 的节点之间的恒流源 62、N 型晶体管 23 以及 P 型晶体管 24。恒流源 62 如图 56 所示, 包含 P 型晶体管 65、66 以及电阻元件 67。P 型晶体管 65 被连接在第 3 电源电位 V3 的节点和 N 型晶体管 23 的漏极 (节点 N22) 之间, P 型晶体管 66 以及电阻元件 67 被串联连接在第 3 电源电位 V3 的节点和接地电位 GND 的节点之间。P 型晶体管 65、66 的栅极都与 P 型晶体管 66 的漏极连接。P 型晶体管 65、66 构成电流镜像电路。在 P 型晶体管 66 以及电阻元件 67 上流过与电阻元件 67 的电阻值相应的值的电流, 在 P 型晶体管 65 上流过与在 P 型晶体管 66 上流过的恒流值相应的值的恒定电流。N 型晶体管 23 的栅极与其漏极 (节点 N22) 连接。N 型晶体管 23 构成二极管元件。P 型晶体管 24 的栅极被连接在输入节点 N20 上。恒流源 62 的电流值被设定为为了在晶体管 23、24 的各自上产生规定的阈值电压所需要的最小限度的值。

如果把输入节点 N20 的电位 (灰度电位) 设置为 VI, 把 P 型晶体管的阈值电压设置为 VTP, 把 N 型晶体管的阈值电压设置为 VTN, 则 P 型晶体管 24 的源极 (节点 N23) 的电位 V23 以及 N 型晶体管 23 的漏极 (节点 N22) 的电位 V22 分别为 $V23=VI+|VTP|$, $V22=VI+|VTP|+VTN$ 。因而, 电平移位电路 61 输出使输入电位 VI 只电平移位 $|VTP|+VTN$ 的电位 V22。

负载电路 30 包含被串联连接在第 6 电源电位 V6(15V) 的节点和输出节点 N30 之间的 N 型晶体管 31 以及 P 型晶体管 32。N 型晶体管 31 的栅极接受电平移位电路 61 的输出电位 22。P 型晶体管 32 的栅极与其漏极连接。P 型晶体管 32 构成二极管元件。N 型晶体管 31

因为为了在饱和区域上动作而设定第 6 电源电位 V_6 ，所以 N 型晶体管 31 进行所谓的源跟随动作。

恒流源 161 被连接在输出节点 N30 和接地电位 GND 的节点之间。恒流源 161 如图 56 所示包含 N 型晶体管 162、163 以及电阻元件 164。N 型晶体管 162 被连接在输出节点 N30 和接地电位 GND 的节点之间，电阻元件 164 以及 N 型晶体管 163 被串联连接在第 6 电源电位 V_6 的节点和接地电位 GND 的节点之间。N 型晶体管 162、163 的栅极都连接在 N 型晶体管 163 的漏极上。N 型晶体管 162、163 构成电流镜像电路。在电阻元件 164 以及 N 型晶体管 163 上流过的与电阻元件 164 的电阻值对应值的恒定电流，在 N 型晶体管 162 上流过的与在 N 型晶体管 163 上流过的恒流值相应值的恒定电流。恒流源 161 的电流值被设置在为了在晶体管 31、32 的各自上产生规定的阈值电压所需要的最小限度的值。

N 型晶体管 31 的源极（节点 N31）的电位 V_{31} 为 $V_{31}=V_{22}-V_{TN}=V_I+|V_{TP}|$ ，输出节点 N30 的电位 V_O 为 $V_O=V_{31}-|V_{TP}|=V_I$ 。

在本实施例 12 中，因为只要流过为了在晶体管 23、24、31、32 的各自中产生规定的阈值电压所需要的最小限度值的贯通电流即可，所以使消耗电流减小。

另外，图 57 是展示本实施例 12 的变形例子的推动（push）型驱动电路 165 的构成的电路图。参照图 57，此驱动电路 165 和图 56 的驱动电路 160 的不同之处在于：除去了电阻元件 164，由 2 个恒流源 62 和 161 共用电阻元件 67。电阻元件 67 以及 N 型晶体管 163 被串联连接在 P 型晶体管 66 的源极和接地电位 GND 的节点之间。N 型晶体管 163 的栅极与其漏极连接。在此变形例子中，可以防止因电阻元件 67 和 164 的电阻值的离散而产生移位电压。

另外，图 58 的推动（push）型驱动电路 166 是从图 55 的推动（push）型驱动电路 160 中除去连接成二极管的晶体管 23、32 的电路。输出电位 V_O 为 $V_O=V_I+|V_{TP}|-V_{TN}$ 。但是，如果设定为 $|V_{TP}|\approx V_{TN}$ ，

则 $VO \approx VI$ 。或者如果考虑把 $|VTP| - VTN$ 的值作为移位值使用,则可以和图 55 的驱动电路 160 一样使用。在本变形例中,因为除去了晶体管 23、32,所以可以减小电路的占有面积。

另外,可以用电阻元件置换各个恒流源 62、161。这种情况下,可以谋求电路构成的简化。

[实施例 13]

图 59 是展示本发明实施例 13 的采样保持电路 170 的构成的电路图。在图 59 中,此驱动电路 170 包含电平移位电路 63、恒流源 171 以及下拉电路 33。电平移位电路 63 以及下拉电路 33 和图 12 所示的电路相同。

即,电平移位电路 63 包含:被串联连接在第 4 电源电位 $V4(5V)$ 的节点和第 5 电源电位 $V5(-10V)$ 的节点之间的 N 型晶体管 26、P 型晶体管 27 以及恒流源 64。N 型晶体管 26 的栅极接受输入节点 N20 的电位 VI 。P 型晶体管 27 的栅极被连接在其漏极(节点 N27)上。P 型晶体管 27 构成二极管元件。恒流源 64 的电流值被设定为为了在晶体管 26、27 的各自上产生规定的阈值电压所需要的最小限度的值。

N 型晶体管 26 的源极(节点 N26)的电位 $V26$ 是 $V26 = VI - VTN$ 。P 型晶体管 27 的漏极(节点 N27)的电位 $V127$ 是 $V27 = VI - VTN - |VTP|$ 。因而,电平移位电路 63 输出使输入电位 VI 只电平移位 $-VTN - |VTP|$ 的电位 $V27$ 。

恒流源 171 被连接在第 4 电源电位 $V4$ 的节点和输出节点 N30 之间。下拉电路 33 包含被串联连接在第 7 电源电位 $V7(-10V)$ 的节点和输出节点 N30 之间的 P 型晶体管 35 以及 N 型晶体管 34。P 型晶体管 35 的栅极接受电平移位电路 63 的输出电位 $V27$ 。N 型晶体管 34 构成二极管元件。P 型晶体管 35 因为如在饱和区域上动作那样设定第 7 电源电位 $V7$,所以 P 型晶体管 35 进行所谓的源极跟随动作。恒流源 171 的电流值被设置在为了在晶体管 34、35 的各自上产生规定的阈值电压所需要的最小限度的值。

P 型晶体管 35 的源极(节点 N34)的电位 $V34$ 为

$V_{34}=V_{27}+|V_{TP}|=V_I-V_{TN}$ ，输出节点 N30 的电位 V_O 为 $V_O=V_{34}+V_{TN}=V_I$ 。

在本实施例 13 中，因为只要流过为了在晶体管 26、27、34、35 的各自中产生规定的阈值电压所需要的最小限度值的贯通电流即可，所以使消耗电流减小。

另外，图 60 是展示本实施例 13 的变形例子的牵引（pull）型驱动电路 172 的构成的电路图。参照图 60，此牵引驱动电路 172 是从图 59 的牵引型驱动电路 170 中除去连接成二极管的晶体管 27、34 的电路。输出电位 V_O 为 $V_O=V_I+|V_{TP}|-V_{TN}$ 。但是，如果设定为 $|V_{TP}|\approx V_{TN}$ ，则 $V_O\approx V_I$ 。或者如果考虑把 $|V_{TP}|-V_{TN}$ 的值作为移位值使用，则可以和图 59 的驱动电路 170 一样使用。在本变形例中，因为除去了晶体管 27、34，所以可以减小电路的占有面积。

另外，可以用电阻元件置换恒流源 164、171 的各自。这种情况下，可以谋求电路构成的简化。

[实施例 14]

图 61 是展示本发明的实施例 14 的驱动电路 175 构成的电路图。在图 61 中，此驱动电路 175 是组合图 55 的推动（push）型驱动电路 160、图 59 的牵引（pull）型驱动电路 170 的电路。电平移位电路 61 的 P 型晶体管 24 的栅极以及电平移位电路 63 的 N 型晶体管 26 的栅极接受输入节点 N20 的电位 V_I 。负载电路 30 的 P 型晶体管 32 的漏极以及下拉电路 33 的 N 型晶体管 34 的漏极，都连接在输出节点 N30 上。

当输出电位 V_O 比输入电位 V_I 高的情况下，在负载电路 30 的晶体管 31、32 为非导通的同时，下拉电路 33 的晶体管 34、35 导通，输出电位 V_O 下降。当输出电位 V_O 比输入电位 V_I 还低的情况下，在下拉电路 33 的晶体管 34、35 导通的同时，负载电路 30 的晶体管 31、32 导通，输出电位 V_O 上升。因而， $V_O=V_I$ 。

此驱动电路 175 作为推动（push）型驱动电路、牵引型驱动电路，或者推动（push）牵引（pull）型驱动电路使用。当驱动电路 175 作

为推动 (push) 型驱动电路使用的情况下, 下拉电路 33 的晶体管 34、35 的电流驱动能力与负载电路 30 的晶体管 31、32 的电流驱动能力相比被设定在非常低的小电平。当驱动电路 175 作为牵引型驱动电路使用的情况下, 负载电路 30 的晶体管 31、32 的电流驱动能力与下拉型电路 33 的晶体管 34、35 的电流驱动能力相比被设定在非常小的电平。当驱动电路 175 作为推动 (push) 牵引 (pull) 型驱动电路使用的情况下, 负载电路 30 的晶体管 31、32 的电流驱动能力与下拉电路 33 的晶体管 34、35 的电流驱动能力相比被设定在同样的电平。

即使在本实施例 14 中, 也可以得到贯通电流小的驱动电路 175, 可以谋求消耗电力的降低。

另外, 图 62 是展示本实施例 14 的变形例子的驱动电路 176 的构成的电路图。参照图 62, 此驱动电路 176 是从图 61 的驱动电路 170 中删除连接成二极管的晶体管 23、27、32、34 的电路。输出电位 VO 是 $VO=VI+|VTP|-VTN$ 。但是, 如果设定为 $|VTP|\approx VTN$, 则 $VO\approx VI$ 。或者, 如果考虑把 $|VTP|-VTN$ 的值作为移位值使用, 则可以同时使用图 61 的驱动电路 175。在此变形例子中, 因为除去了晶体管 23、27、32、34, 所以可以减小电路的占有面积。

另外, 图 63 是展示本实施例 14 的另一变形例子的驱动电路 180 的构成的电路图。在图 63 中, 此驱动电路 180 分别用电平移位电路 181、183 置换图 61 的驱动电路 175 的电平移位电路 61、63。电平移位电路 181 用电阻元件 182 置换电平移位电路 61 的恒流源 62。电平移位电路 183 用电阻元件 184 置换电平移位电路 63 的恒流源 64。电阻元件 182、184 的电阻值被设定成使电阻元件 182、184 流过和恒流源 62、64 同等程度的电流那样的值。即使在此变形例子中, 也可以得到和图 16 的驱动电路 175 同样的效果。

另外, 图 64 是展示本实施例 14 的又一变形例子的驱动电路 185 的构成的电路图。参照图 64, 此驱动电路 185 和图 61 的驱动电路 175 的不同点在于: 恒流源 161 被连接在输出节点 $N30$ 和第 5 电源电位 $V5$ 的节点之间, 恒流源 171 被连接在第 3 电源电位 $V3$ 的节点和输出

节点 N30 之间。

恒流源 62、64、161、171 如图 65 所示，用电阻元件 67、P 型晶体管 65、66、189，以及 N 型晶体管 186~188 构成。P 型晶体管 66、电阻元件 67 以及 N 型晶体管 186 被串联连接在第 3 电源电位 V3 的节点和第 5 电源电位 V5 的节点之间。P 型晶体管 66 的栅极连接在其漏极上，N 型晶体管 186 的栅极连接在其漏极上，晶体管 66、186 各自构成二极管元件。

P 型晶体管 65 被连接在第 3 电源电位 V3 的节点和节点 N22 之间，其栅极连接在 P 型晶体管 66 的栅极上。P 型晶体管 189 被连接在第 3 电源电位 V3 的节点和输出节点 N30 之间，其栅极连接在 P 型晶体管 66 的栅极上。P 型晶体管 66、65、189 构成电流镜像电路。在各个 P 型晶体管 65、189 上流过与在 P 型晶体管 66 上流过的电流相应值的电流。P 型晶体管 65、189 分别构成恒流源 62、171。

N 型晶体管 187 被连接在第 5 电源电位 V5 的节点和节点 N27 之间，其栅极被连接在 N 型晶体管 186 的栅极上。N 型晶体管 188 被连接在第 5 电源电位 V5 的节点和输出节点 N30 之间，其栅极与 N 型晶体管 186 的栅极连接。N 型晶体管 186~188 构成电流镜像电路。在各个 N 型晶体管 187、188 上流过与在 N 型晶体管 186 上流过的电流相应值的电流。N 型晶体管 187、188 分别构成恒流源 64、161。其他的构成以及动作因为和图 61 的驱动电路 175 相同，所以不重复其说明。即使在变形例子中，也可以得到和图 61 的驱动电路 175 同样的效果。

[实施例 15]

图 66 是展示本发明的实施例 15 的彩色液晶显示装置的主要部分的电路图，是和图 3 对应的图。参照图 66，本彩色液晶显示装置和实施例 1 的彩色液晶显示装置的不同点在于：液晶单元 2 的一电极代替驱动电路 20 的输出节点 N30 而与输入节点 N20 连接。

当节点 N30 和 N20 的电位差大的情况下，经由开关 16 的寄生电阻（电阻元件 18）在节点 N30 和 N20 之间流过漏电流，节点 N20 的电位变化。但是节点 N30 和 N20 的电位差如果是驱动电路 20 的通常

的偏移电压左右,则节点 N30 和 N20 之间的漏电流小到可以忽视的程度,节点 N20 的电位没有变化。因而,数据线 6 的灰度电位 V 被正确地施加给液晶单元 2 的一电极,可以得到正确的光透过率。

进而,当然用实施例 1~14 所示的其它驱动电路置换驱动电路 20 也可以得到同样的效果。驱动电路因为是不具有偏移补偿功能的简易构成所以不会影响。

[实施例 16]

图 67 是展示本发明的实施例 16 的彩色液晶显示装置主要部分的电路图,是和图 66 对比的图。参照图 67,本彩色液晶显示装置和实施例 15 的彩色液晶显示装置的不同点在于:用采样保持电路 190 置换采样保持电路 14。

采样保持电路 190 是用推动(push)型驱动电路 191 置换采样保持电路 14 的驱动电路 20,并追加了电容器 192 的电路。电容器 192 的一电极与推动(push)型驱动电路 191 的输出节点 N30 连接,另一电极接受共用电位 VCOM。推动(push)型驱动电路 191 如图 68 所示,包含电平移位电路 21、负载电路 30、开关 201~203 以及电阻元件 204。电平移位电路 21 以及负载电路 30 的构成以及动作如图 4 以及图 5 中说明的那样。

开关 201 的一方电极接受第 3 电源电位 V3,其另一电极经由电阻元件 22 连接在节点 N22 上。开关 202 的一电极接受第 6 电源电位 V6,其另一电极与 N 型晶体管 31 的漏极连接。开关 203 连接在 P 型晶体管 32 的漏极和输出节点 N30 之间。电阻元件 204 连接在 P 型晶体管 32 的漏极和接地电位 GND 的线之间。

图 69 是展示本推动(push)型驱动电路 191 的动作的时序图。开关 201~203 在规定周期(t_3-t_1)中只在规定时间(t_2-t_1)接通。如果开关 201~203 被接通,则在电阻元件 22、204 上分别流过电流 I1、I2,电容器 192 被充电变为 $V_O=V_I$ 。如果开关 201~203 被断开,则电容器 192 的电荷例如因数据线泄露而 V_O 徐徐下降。为了 V_O 的下降部分 ΔV 在容许范围内而设定开关 201~203 的接通时间和断开时间的

比。

在本实施例 16 中,除了可以得到和实施例 15 相同的效果外,因为间歇地接通/断开驱动电路 191 的电源,所以可以谋求消耗电流的降低。

进而,开关 201 如果和电阻元件 22、N 型晶体管 23 以及 P 型晶体管 24 串联连接,则可以设置在任何位置。例如可以把开关 201 和电阻元件 22 的位置颠倒。另外,开关 202 如果和 N 型晶体管 31、P 型晶体管 32 以及电阻元件 204 串联连接,则可以设置在任何位置。

以下,说明本发明的实施例 16 的变形例子。图 70 的牵引 (pull) 驱动电路 205 包含:电平移位电路 25、下拉电路 33、开关 206~208 以及电阻元件 209。电平移位电路 25 以及下拉电路 33 的构成以及动作与在图 4 以及图 5 中说明的一样。开关 206 的一电极接受第 5 电源电位 V5,其另一电极经由电阻元件 28 与节点 N27 连接。开关 207 的一电极接受第 7 电源电位 V7,其另一电极与 P 型晶体管 35 的漏极连接。开关 208 被连接在 N 型晶体管 34 的漏极和输出节点 N30 之间。电阻元件 209 被连接在 N 型晶体管 34 的漏极和第 4 电源电位 V4 的线之间。开关 206~208 和在图 68 以及图 69 中所示的开关 201~203 同样的接通/断开。此变形例子也可以谋求消耗电力的降低。

图 71 的推动 (push) 牵引 (pull) 型驱动电路 210 是组合图 68 是推动 (push) 型驱动电路 191 和图 70 的牵引型驱动电路 205 的电路。但是,开关 208 被除去,P 型晶体管 32 的漏极以及 N 型晶体管 34 的漏极都经由开关 203 连接在输出节点 N30 上。开关 201~203、206、207 同时开/关。在此变形例子中也可以谋求消耗电力的降低。

图 72 的推动 (push) 牵引 (pull) 型驱动电路 215 是从图 71 的推动 (push) 牵引 (Pull) 型驱动电路 210 中除去开关 206、207,在推动 (push) 一侧和牵引一侧共用开关 201、202 的电路。N 型晶体管 26 的漏极被连接在开关 201 和电阻元件 22 之间的节点上。N 型晶体管 34 的漏极经由电阻元件 209 连接在 N 型晶体管 31 的漏极上。在此变形例子中,减少了开关个数。

在图 73 的彩色液晶显示装置中，液晶单元 2 的一电极被连接在推动 (push) 型驱动电路 191 的输出节点 N30 上。在此变更例子中也可以谋求消耗电力的下降。

[实施例 17]

图 74 是展示本发明的实施例 17 的图像显示装置的主要部分的电路图。此图像显示装置的整体构成和图 1 的彩色液晶显示装置一样，在扫描线 4 和数据线 6 的各交叉部分上设置 EL 元件 220 以及采样保持电路 221。用在数据线 6 上流过与图像信号相应的电平的灰度电流 IG 的电流源 230 置换水平扫描电路 8 的灰度电位发生电路 10 以及驱动电路 13。

采样保持电路 221 包含：P 型晶体管 222、电容器 223、驱动电路 224 以及开关 225~229。P 型晶体管 222、开关 228 以及 EL 元件 220 被串联连接在电源电位 VCC 的线和接地电位 GND 的线之间。电容器 223 被串联连接在 P 型晶体管 222 的源极以及栅极之间。开关 225、226 被串联连接在 P 型晶体管 222 的栅极以及漏极之间。开关 227 被连接在数据线 6 和 P 型晶体管 222 的漏极之间。驱动电路 224 以及开关 229 被连接在 P 型晶体管 222 的栅极和开关 225、226 间的节点之间。开关 225~229 由扫描线 4 控制开/关。

当扫描线 4 被设置为选择电平的“H”电平的情况下，在开关 225~227 被设置在开的同时开关 228、229 被设置在关。由此，P 型晶体管 222 由开关 225、226 连接成二极管，从电源电位 VCC 的线经由 P 型晶体管 222、开关 227 以及数据线 6 在电流源 230 上流过与图像信号相应的电平的灰度电流 IG。这时，P 型晶体管 222 的栅极变为与灰度电流 IG 相应的电平电位，电容器 223 被充电至 P 型晶体管 222 的源极-栅极间电压。

如果扫描线 4 下降到非选择电平的“L”，则在开关 225~227 被断开的同时，开关 228、229 接通。因为 P 型晶体管 222 的栅极电位由电容器 223 保持，所以从电源电位 VCC 的线经由 P 型晶体管 222、开关 228 以及 EL 元件 20 在接地电位 GND 的线上流过灰度电流 IG，

EL 元件 220 以与灰度电流 I_G 相应的亮度发光。

这时，因为由驱动电路 224 把开关 225、226 间的节点电位保持在 P 型晶体管 222 的栅极电位，所以 P 型晶体管 222 的栅极电位被保持一定，EL 元件 220 以一定的亮度连续发光。

进而，当没有驱动电路 224 以及开关 226、229 的情况下，经由开关 225、227 的寄生电阻在 P 型晶体管 222 的栅极和数据线 6 之间流过漏电流，P 型晶体管 222 的栅极电位变化，EL 元件 220 的亮度变化。

[实施例 18]

图 75 是展示本发明的实施例 18 的图像显示装置的主要部分的电路图。此图像显示装置的整体构成和图 1 的彩色液晶显示装置一样，在扫描线 4 和数据线 6 的各交叉部分上设置 EL 元件 220 以及采样保持电路 231。用在数据线 6 上流过与图像信号相应的电平的灰度电流 I_G 的电流源 240 置换水平扫描电路 8 的灰度电位发生电路 10 以及驱动电路 13。

采样保持电路 231 包含：N 型晶体管 232、电容器 233、驱动电路 234 以及开关 235~239。EL 元件 220、开关 238 以及 N 型晶体管 232 被串联连接在电源电位 VCC 的线和接地电位 GND 的线之间。开关 235 被连接在数据线 6 和 N 型晶体管 232 的漏极以及栅极之间。开关 236、237 被串联连接在 N 型晶体管 232 的漏极以及栅极之间。电容器 233 被连接在 N 型晶体管 232 的栅极以及源极之间。驱动电路 234 以及开关 239 被串联连接在 N 型晶体管 232 的栅极和开关 236、237 间的节点之间。开关 235~239 由扫描线 4 控制开/关。

当扫描线 4 被设置为选择电平的“H”电平的情况下，在开关 235~237 被设置为接通的同时开关 238、239 被设置为断开。由此，N 型晶体管 232 通过开关 236、237 连接成二极管，从电流源 240 经由数据线 6、开关 235 以及 N 型晶体管 232 在接地电位 GND 的线上流过与图像信号相应的电平的灰度电流 I_G 。这时，N 型晶体管 232 的栅极变为与灰度电流 I_G 相应的电平电位，电容器 233 被充电至 N 型晶体

管 232 的栅极-源极间电压。

如果扫描线 4 下降到非选择电平的“L”电平，则在开关 235~237 断开的同时，开关 238、239 接通。因为 N 型晶体管 232 的栅极电位由电容器 233 保持，所以从电源电位 VCC 的线经由 EL 元件 220、开关 238 以及 N 型晶体管 232 在接地电位 GND 的线上流过灰度电流 IG，EL 元件 220 以与灰度电流 IG 相应的亮度发光。

这时，因为由驱动电路 234 把开关 236、237 间的节点电位保持在 N 型晶体管 232 的栅极电位，所以 N 型晶体管 232 的栅极电位被保持一定，EL 元件 220 以一定的亮度连续发光。

进而，当没有驱动电路 234 以及开关 236、239 的情况下，经由开关 235、237 的寄生电阻在 N 型晶体管 232 的栅极和数据线 6 之间流过漏电流，N 型晶体管 232 的栅极电位变化，EL 元件 220 的亮度变化。

进而，在以上的实施例 1~18 中，说明了使用液晶单元 2、EL 元件 51、220 的有源矩阵型显示装置，但本发明当然也可以适用于使用其他任何电-光转换元件的有源矩阵型显示装置。

此次展示的实施例其所有方面只是示例，并不是限制。本发明的范围并不是上述说明，而是包含由权利要求的范围所示的，和权利要求的范围均等的意义以及范围内的全部变形。

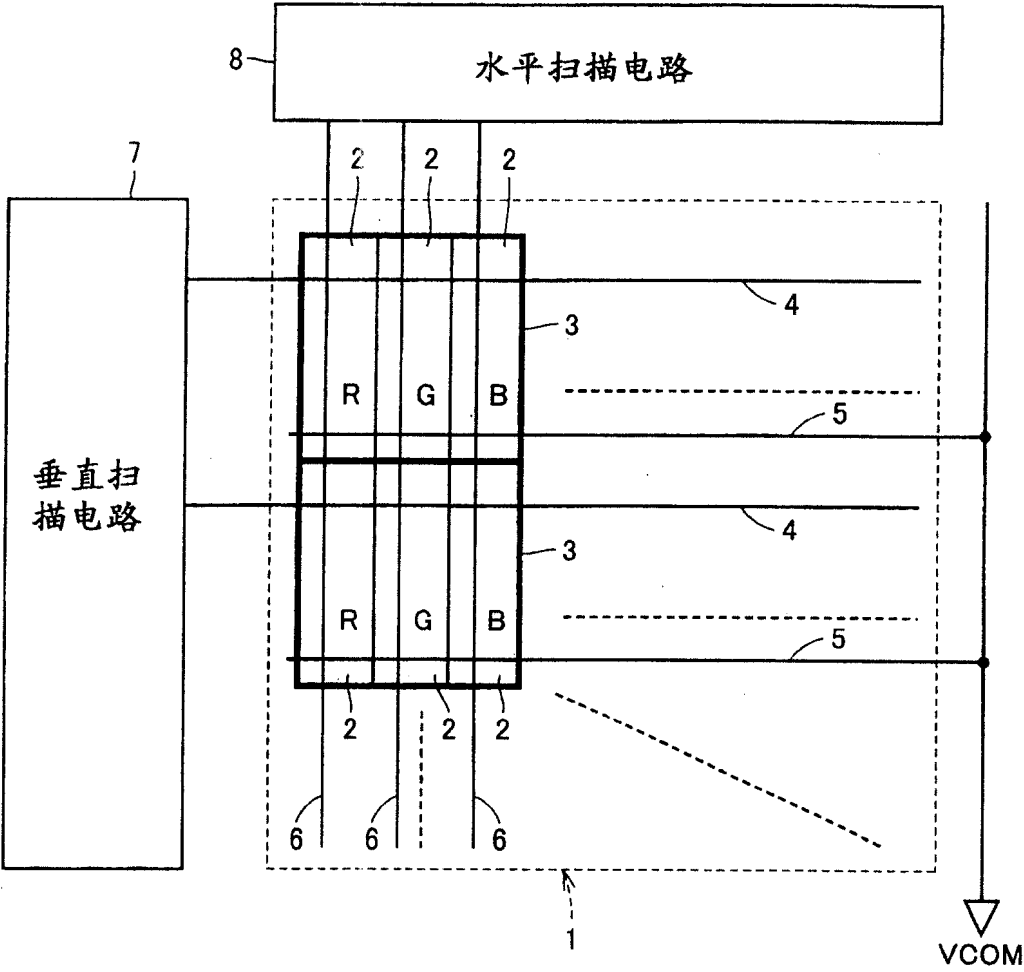


图1

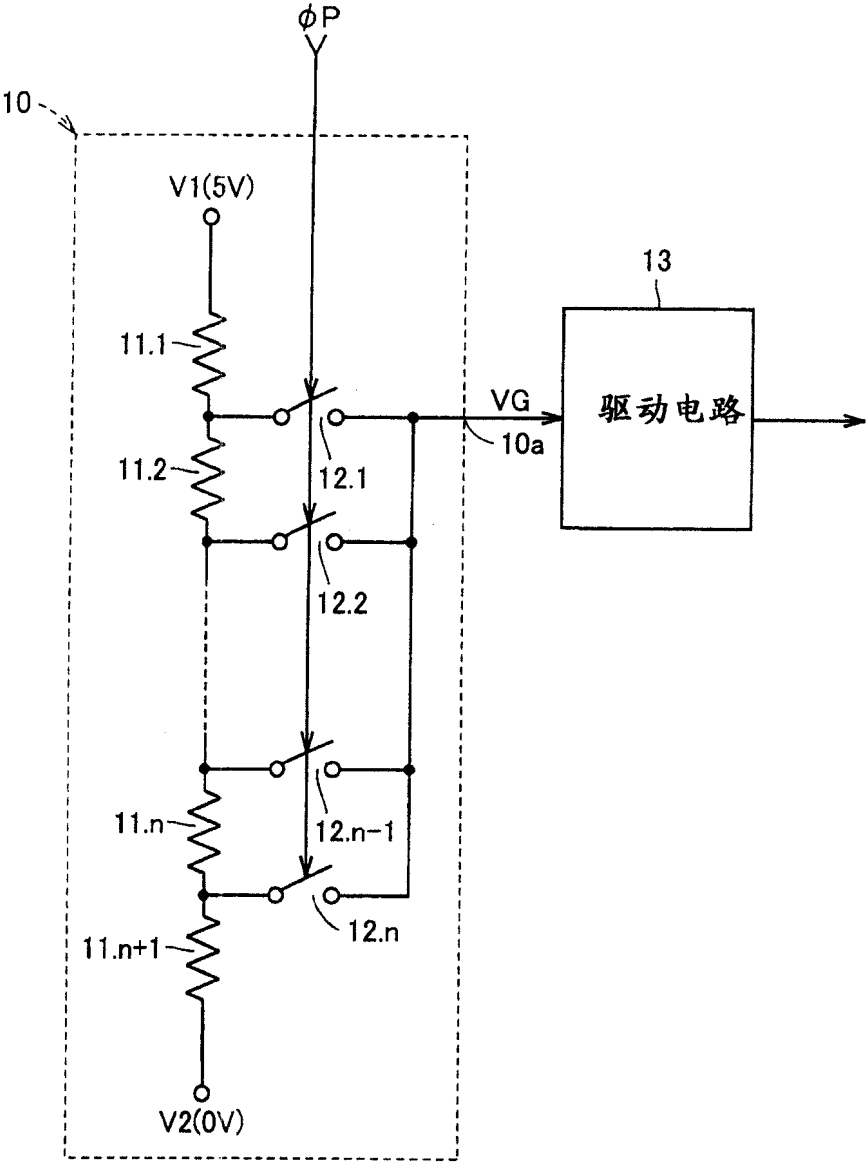
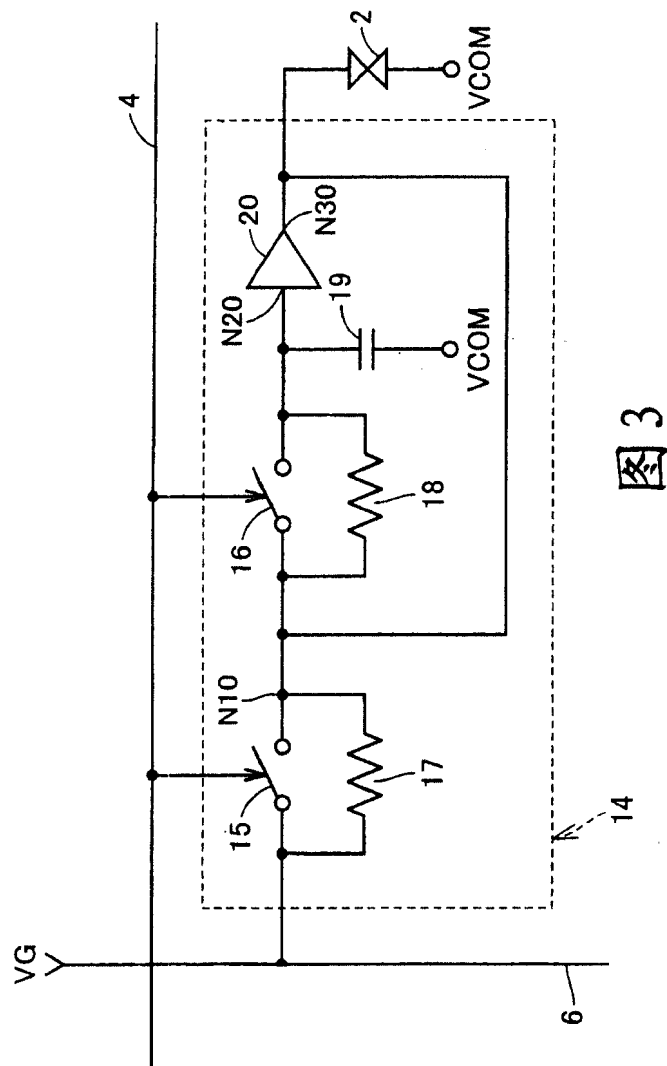


图 2



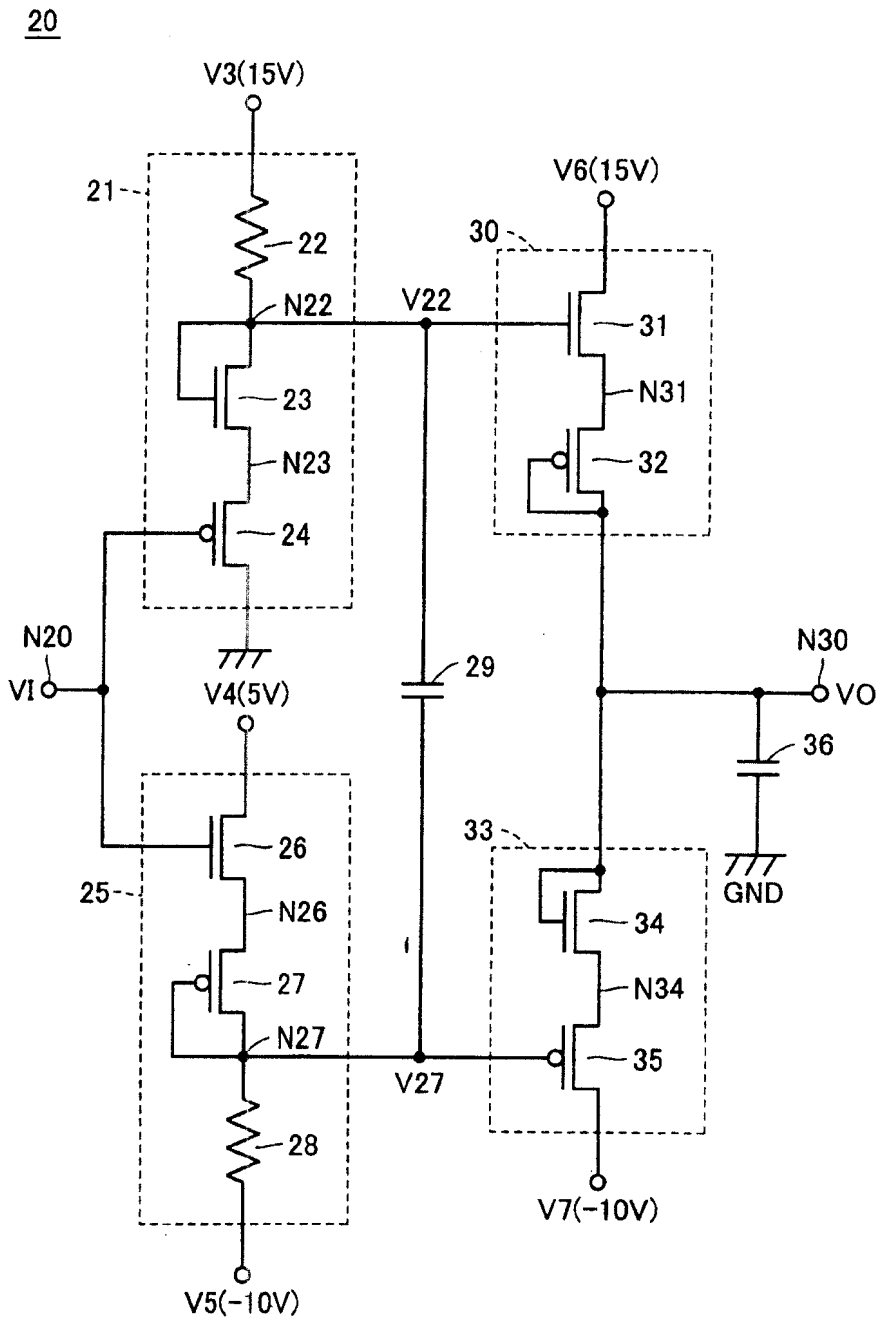


图 4

20

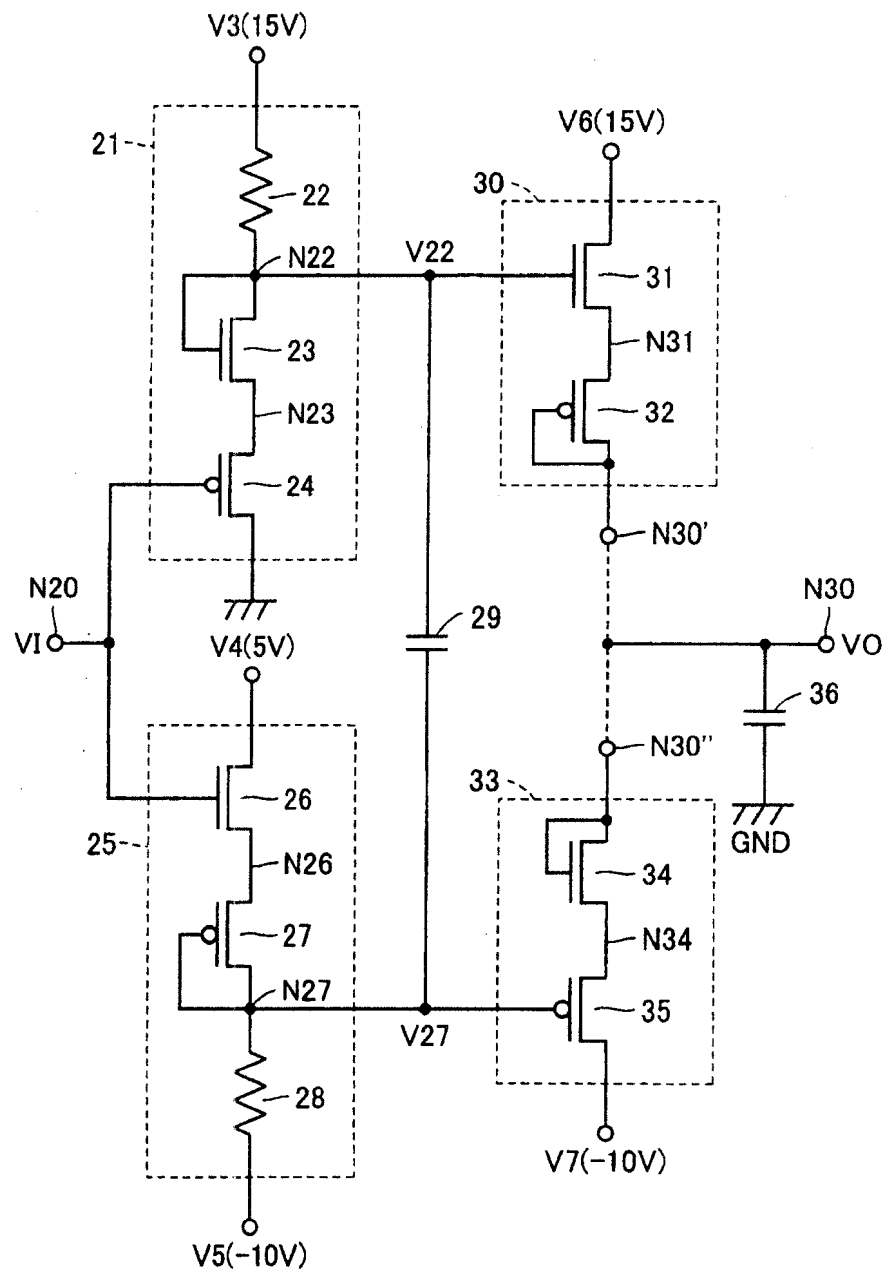


图 5

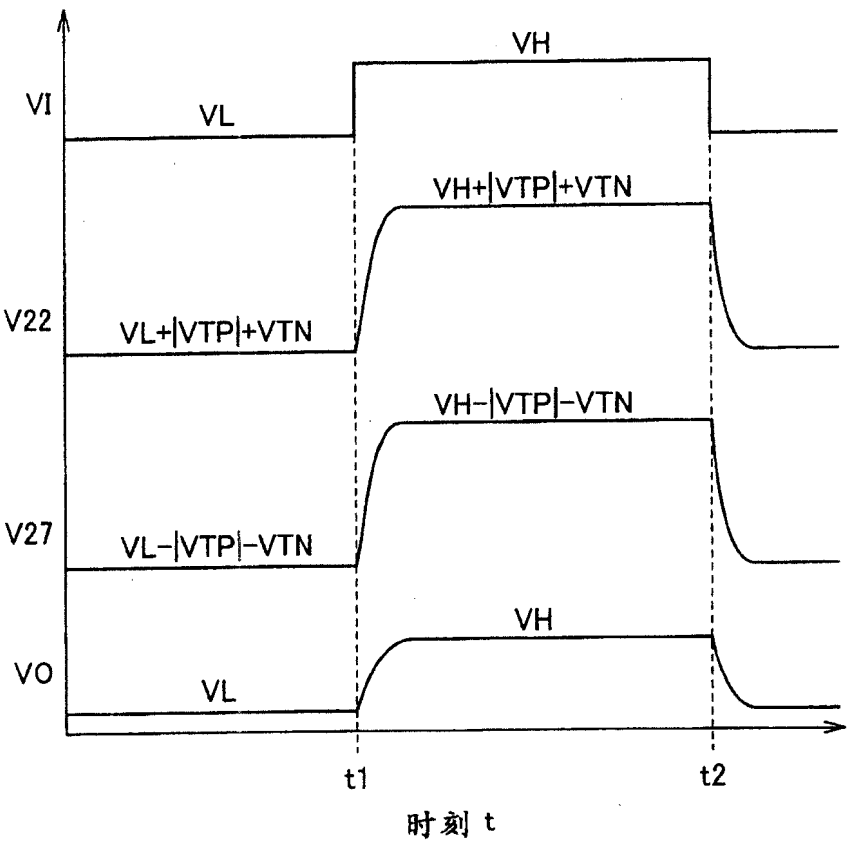


图6

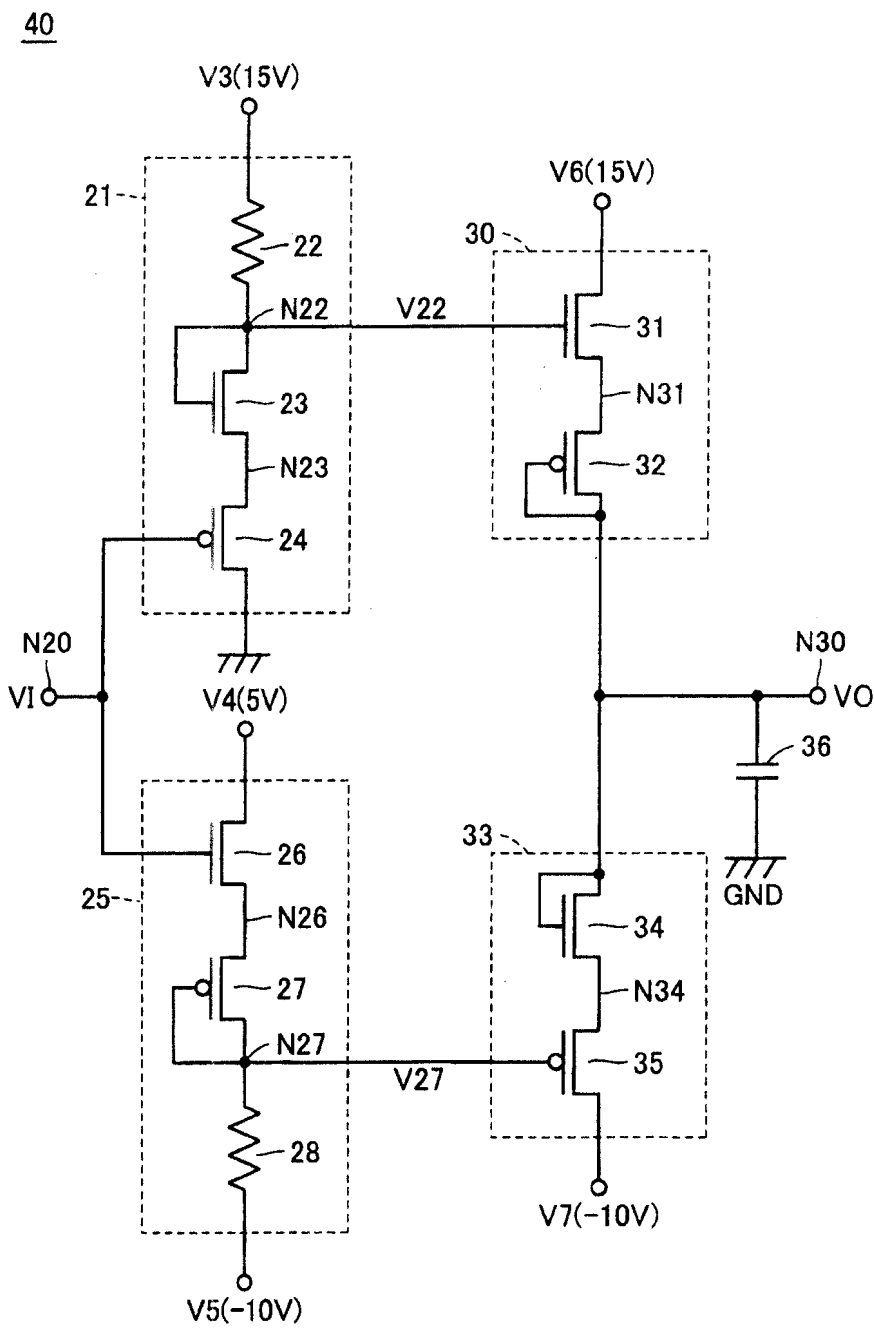


图 7

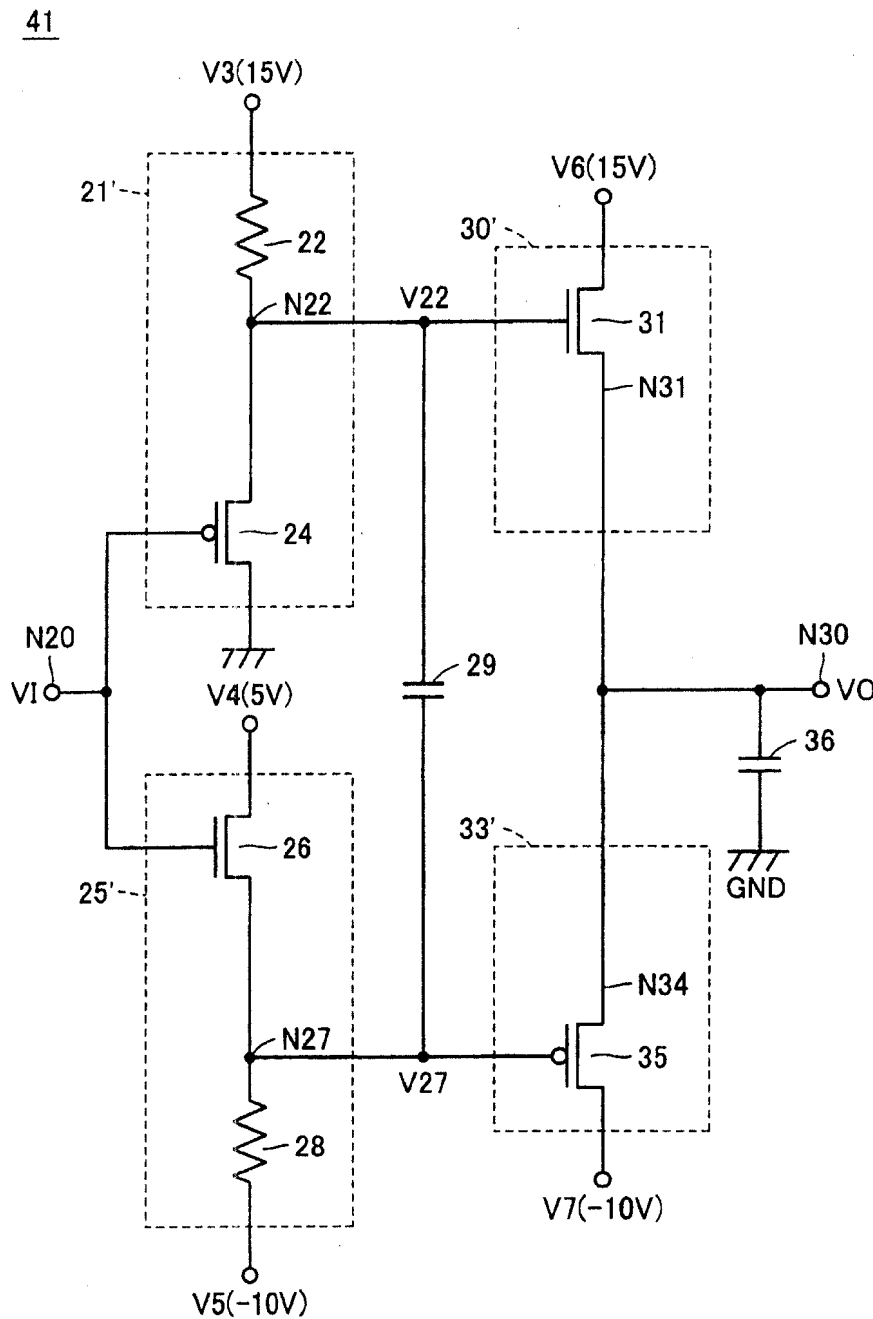


图 8

42

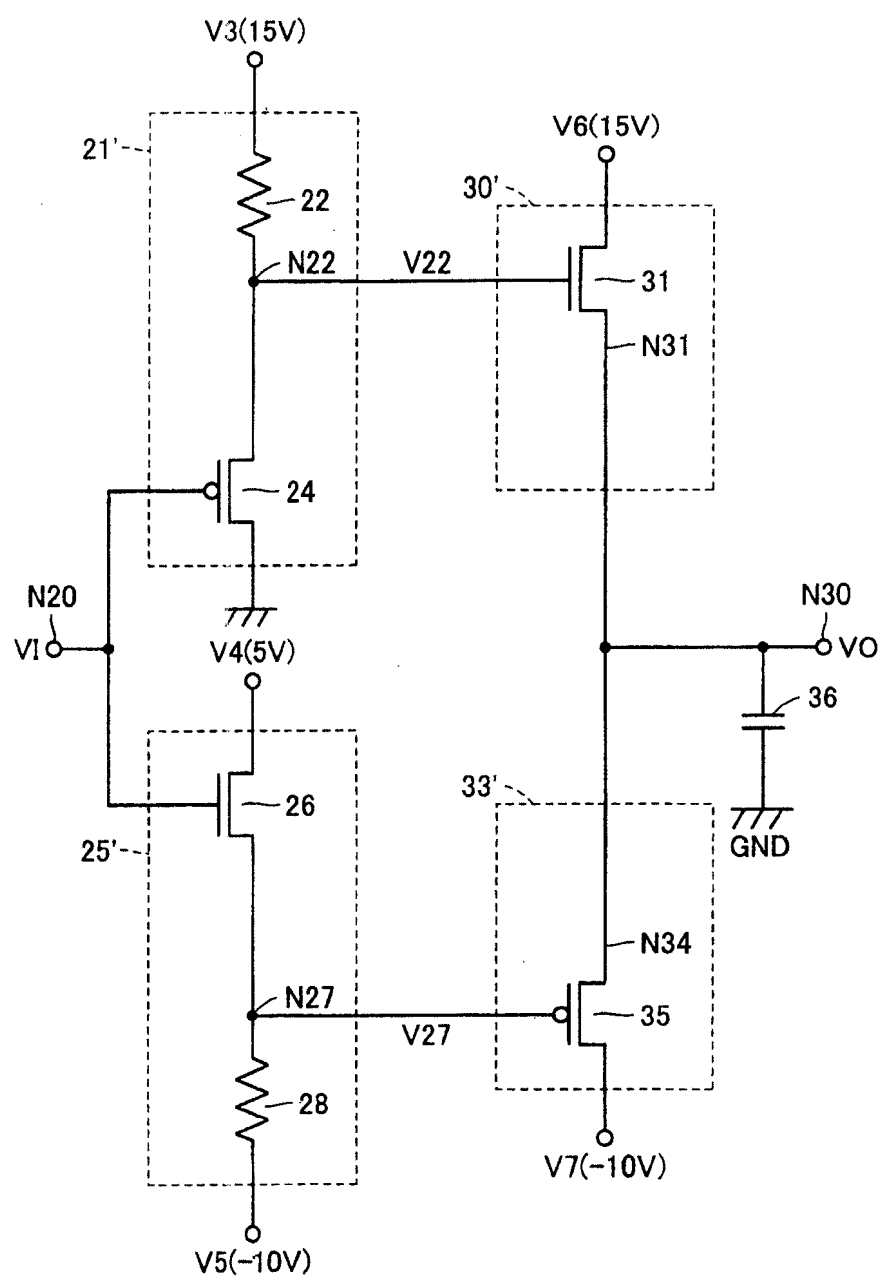
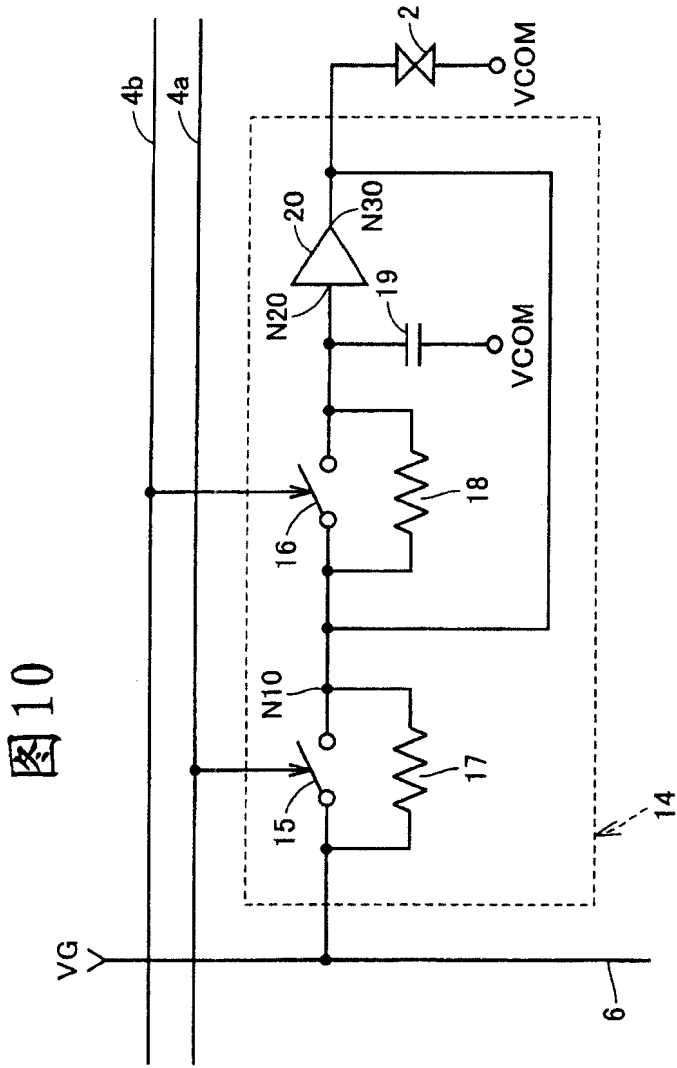


图 9



60

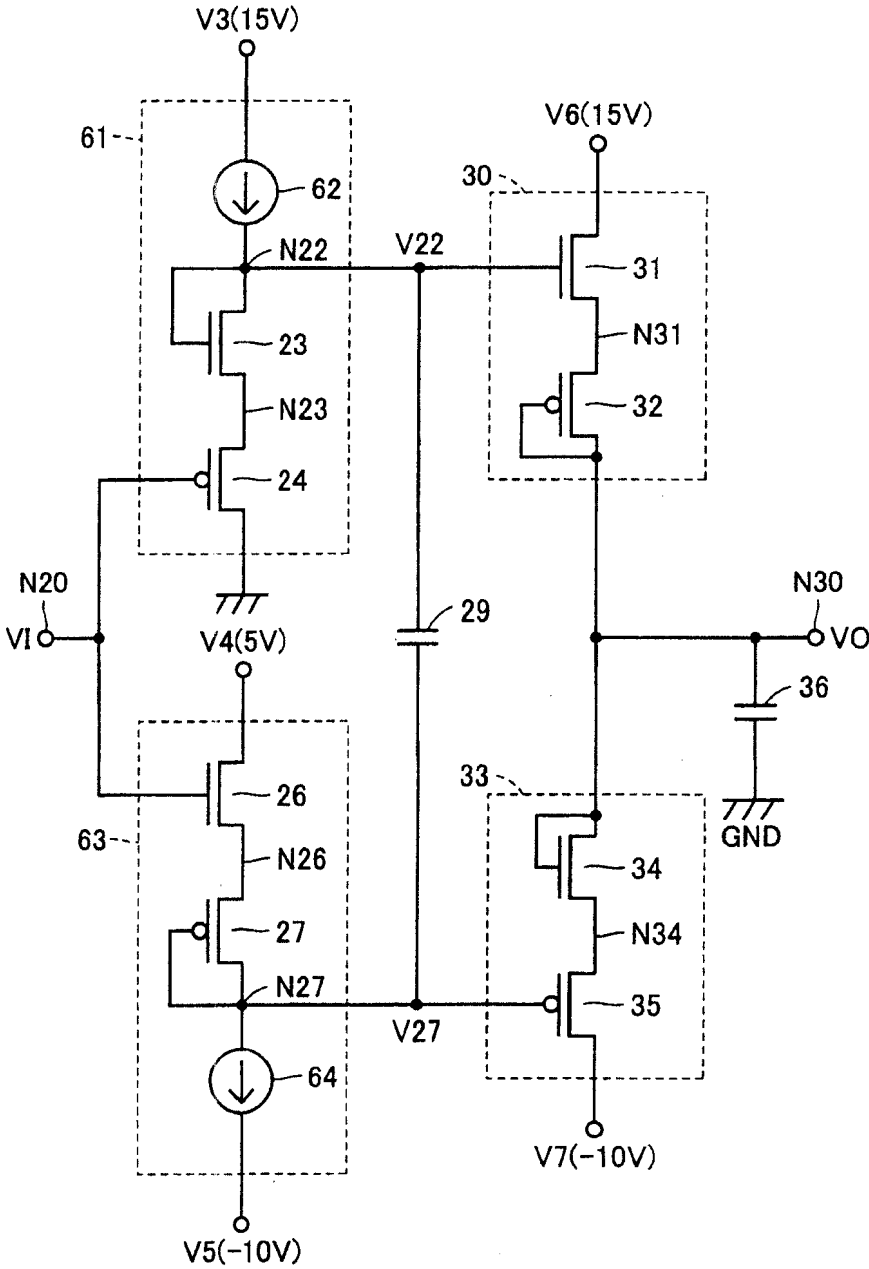
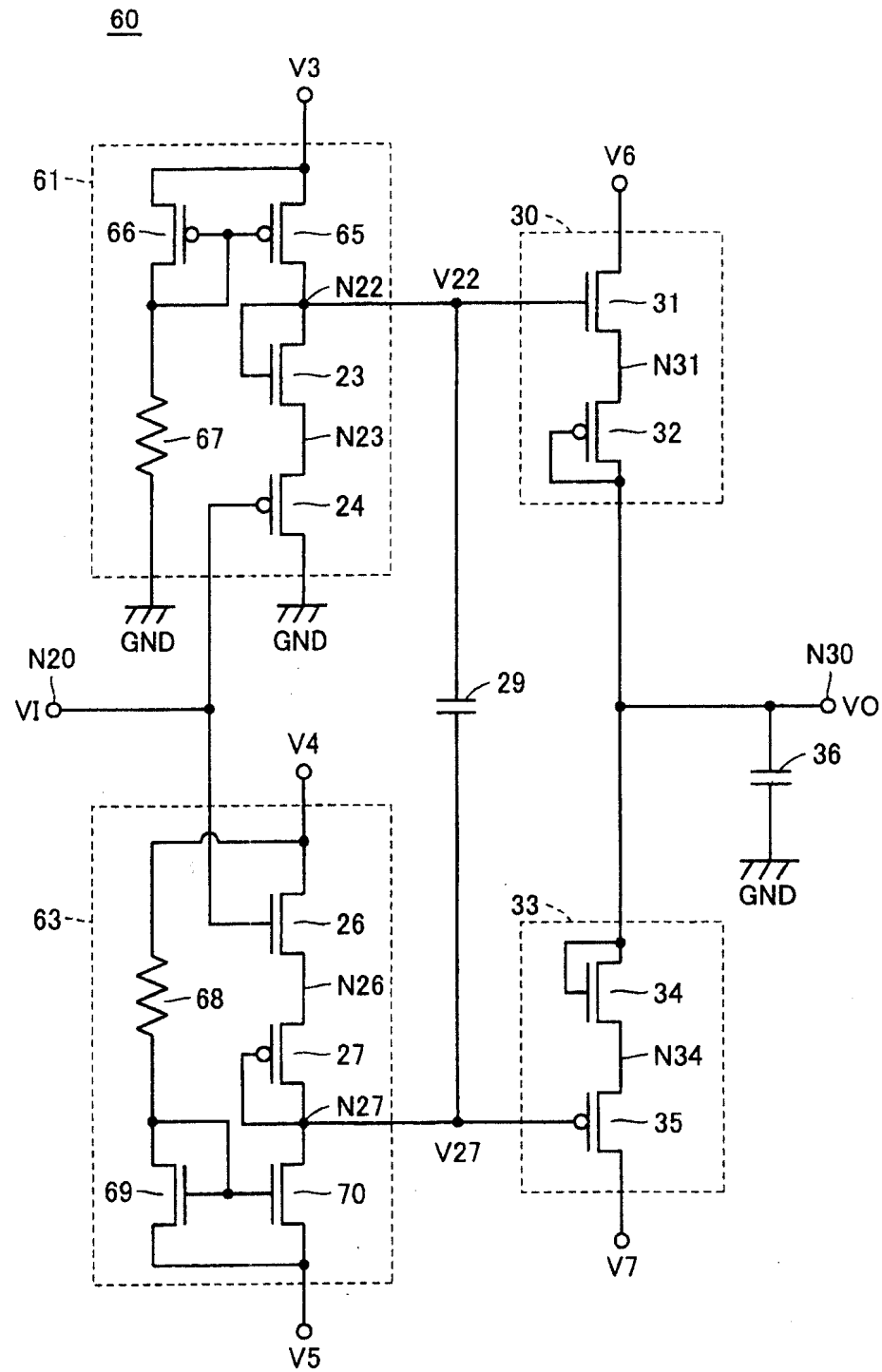


图 12



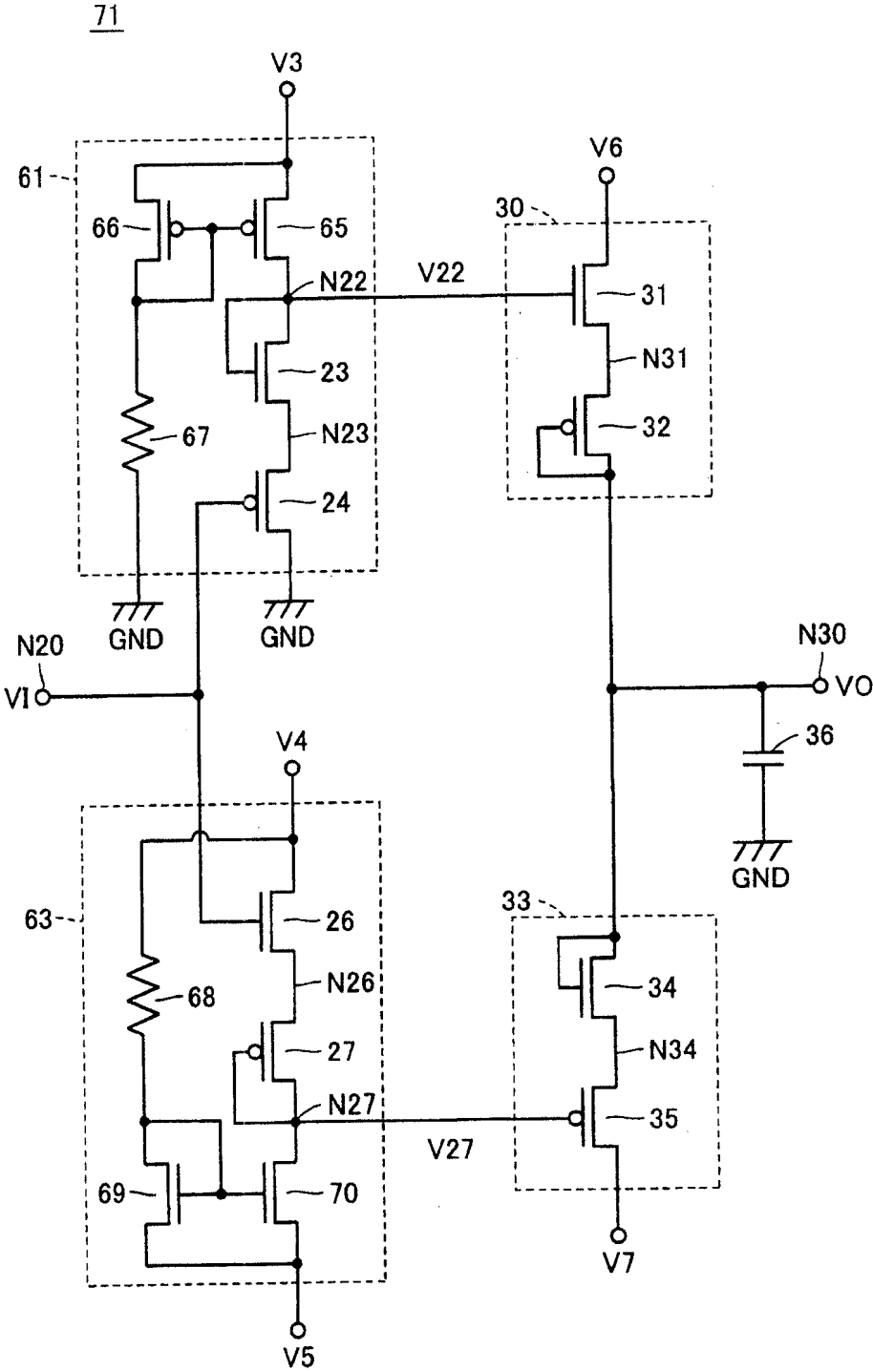


图 14

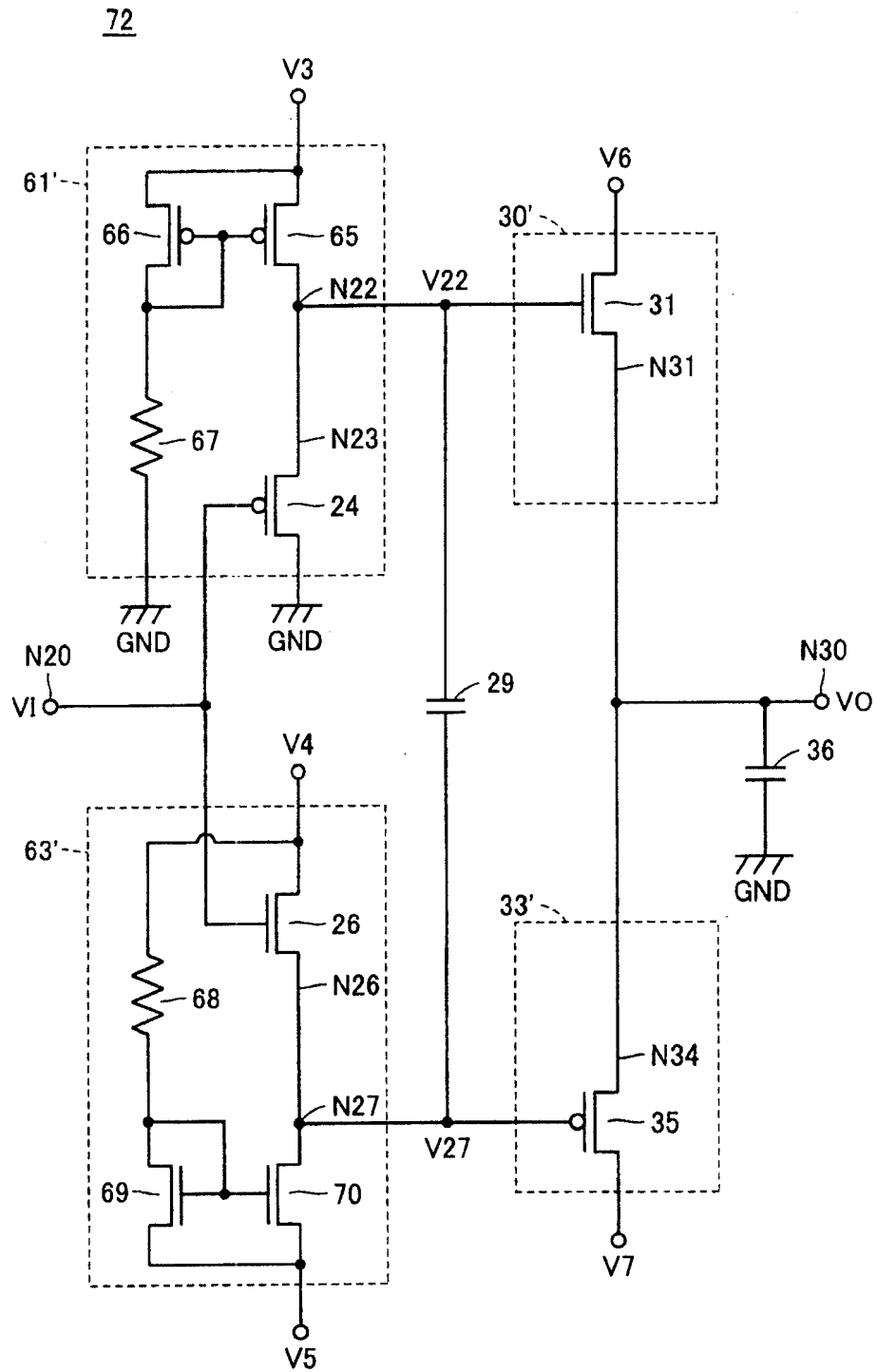


图 15

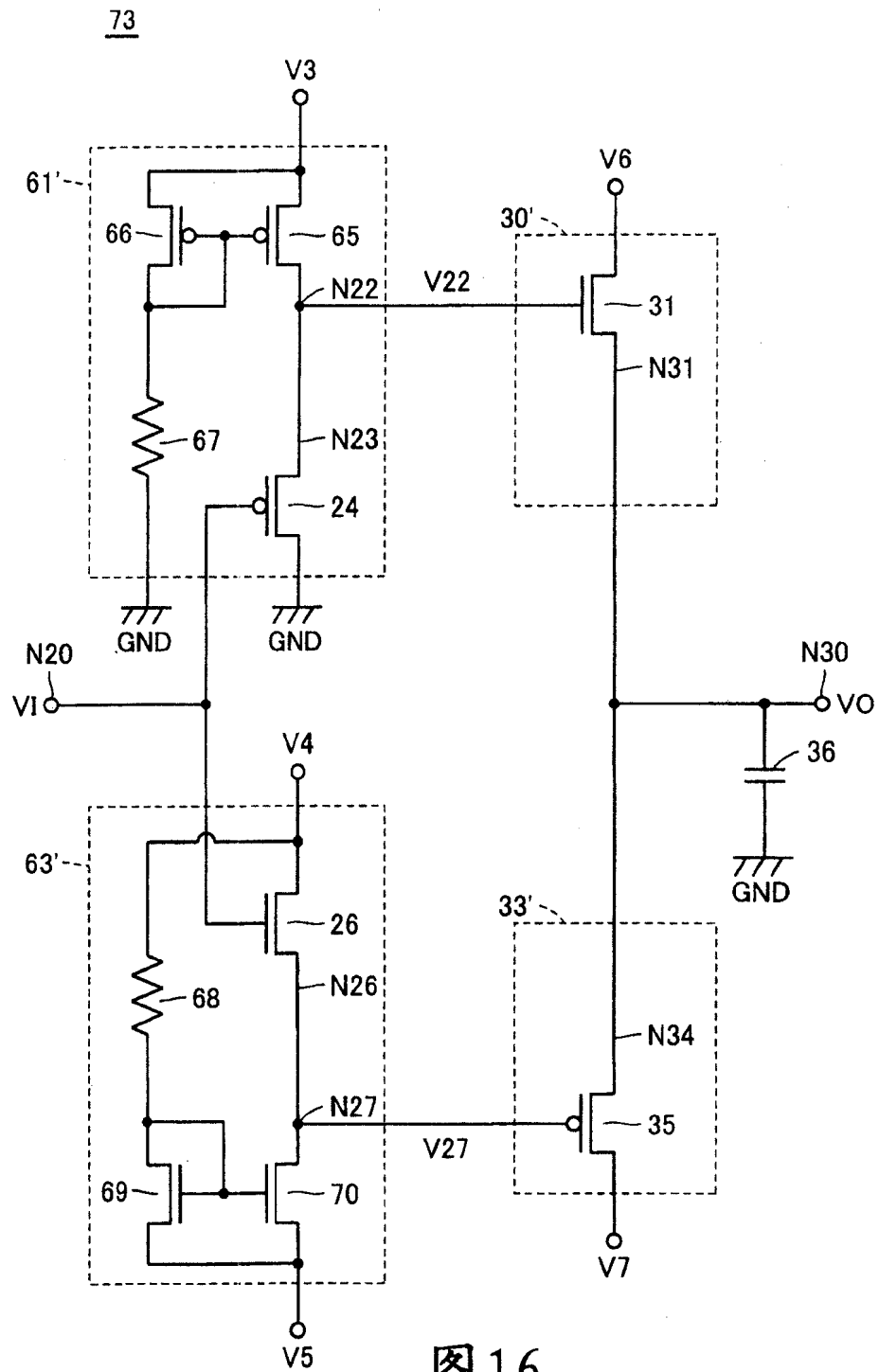


图 16

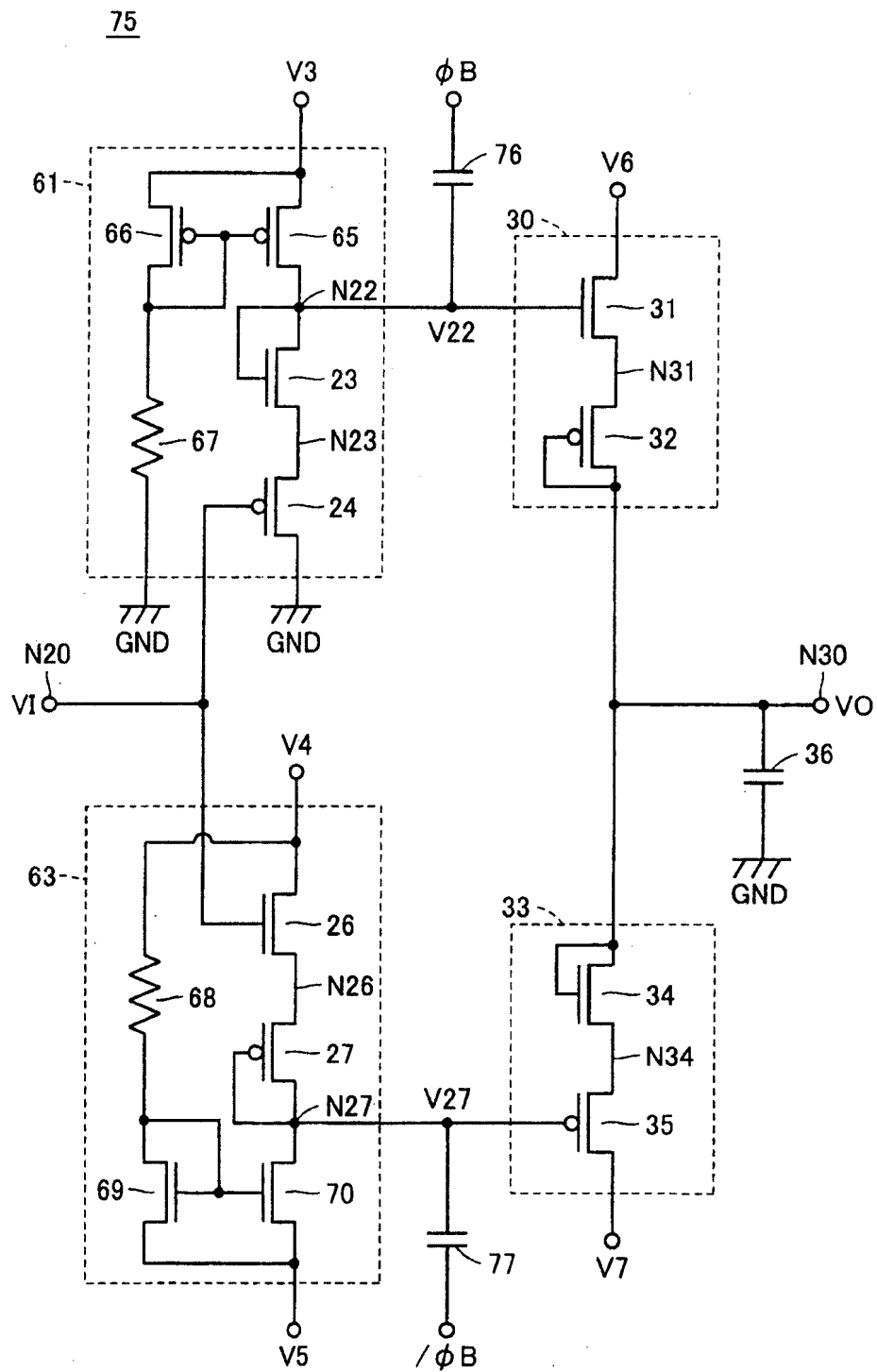


图17

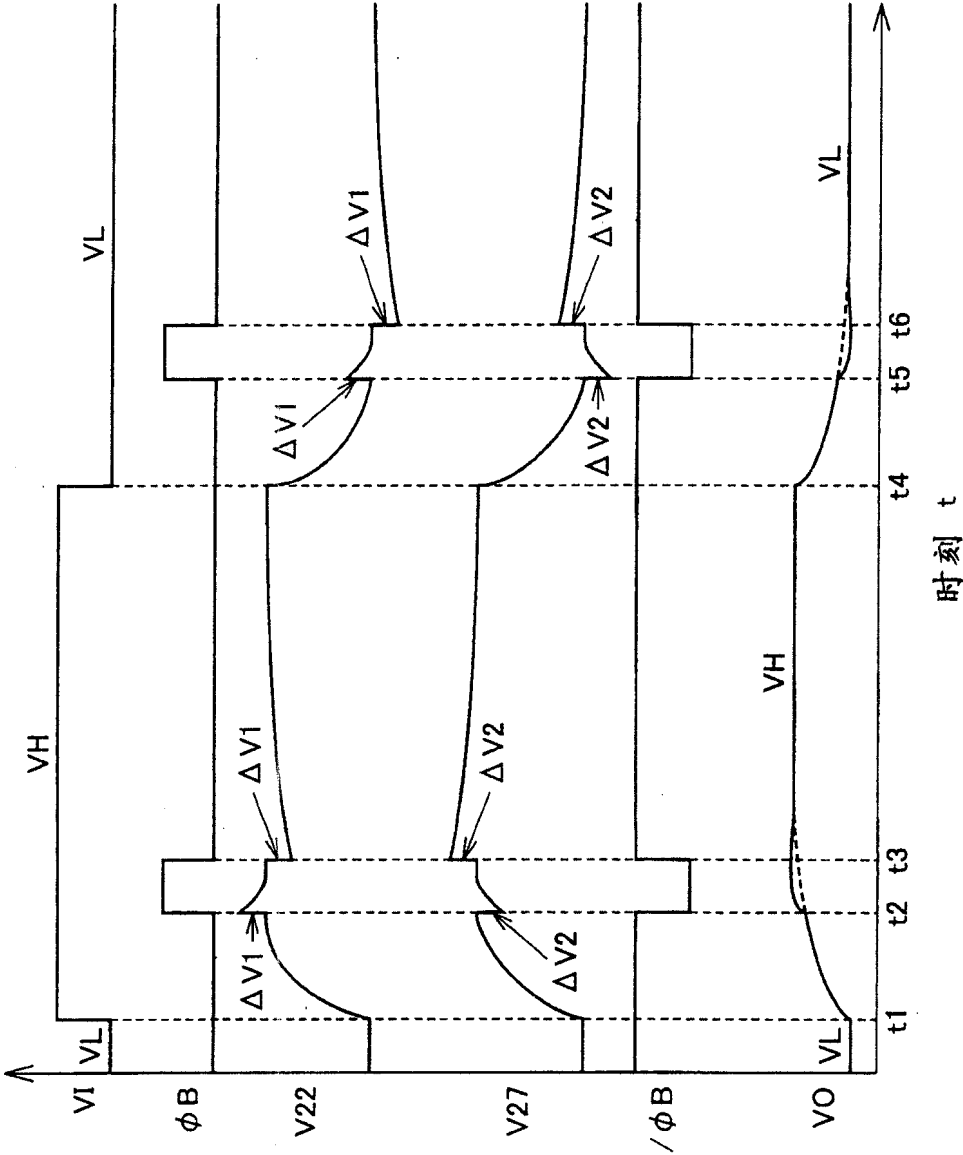


图 18

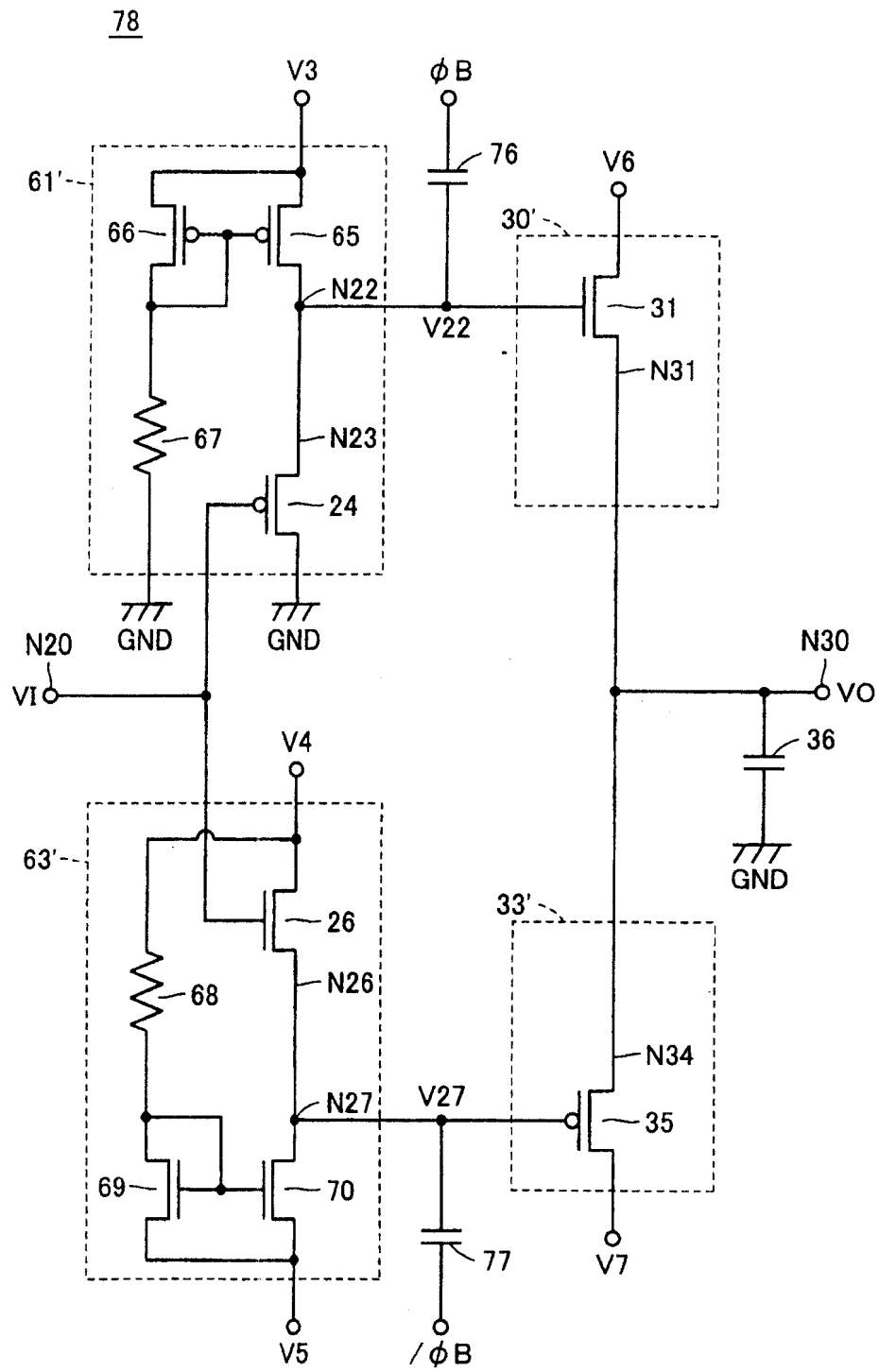


图 19

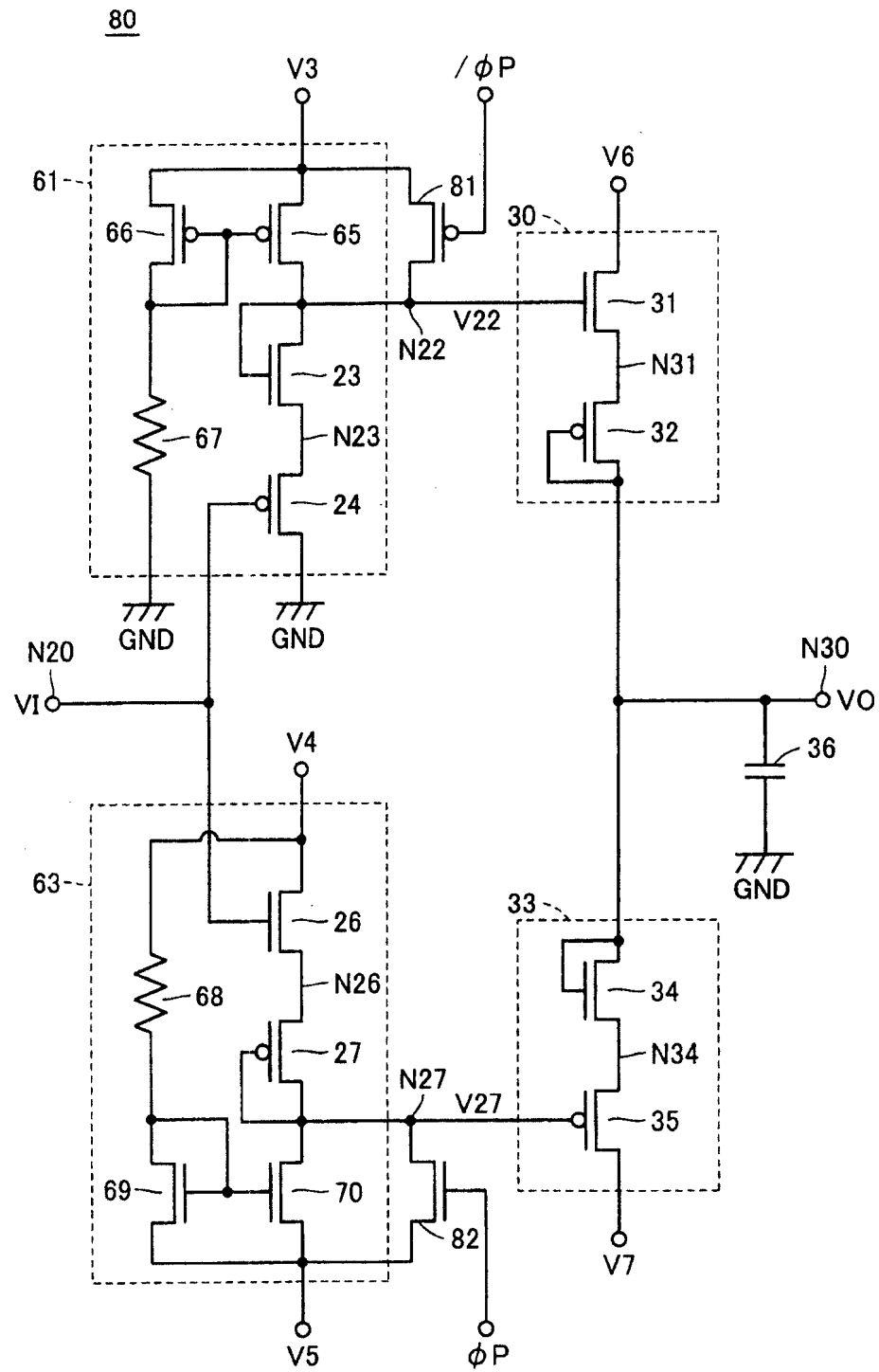


图 20

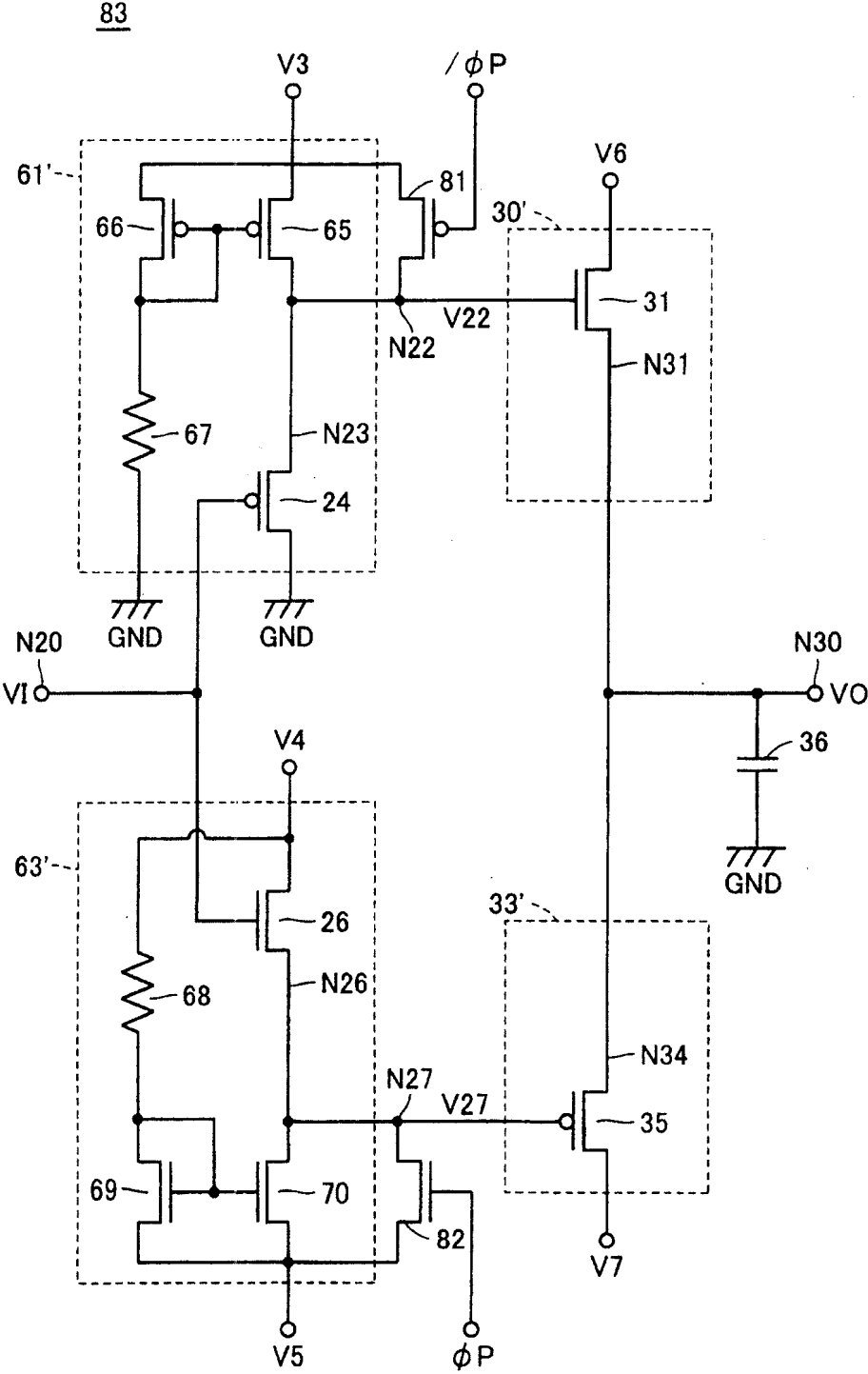
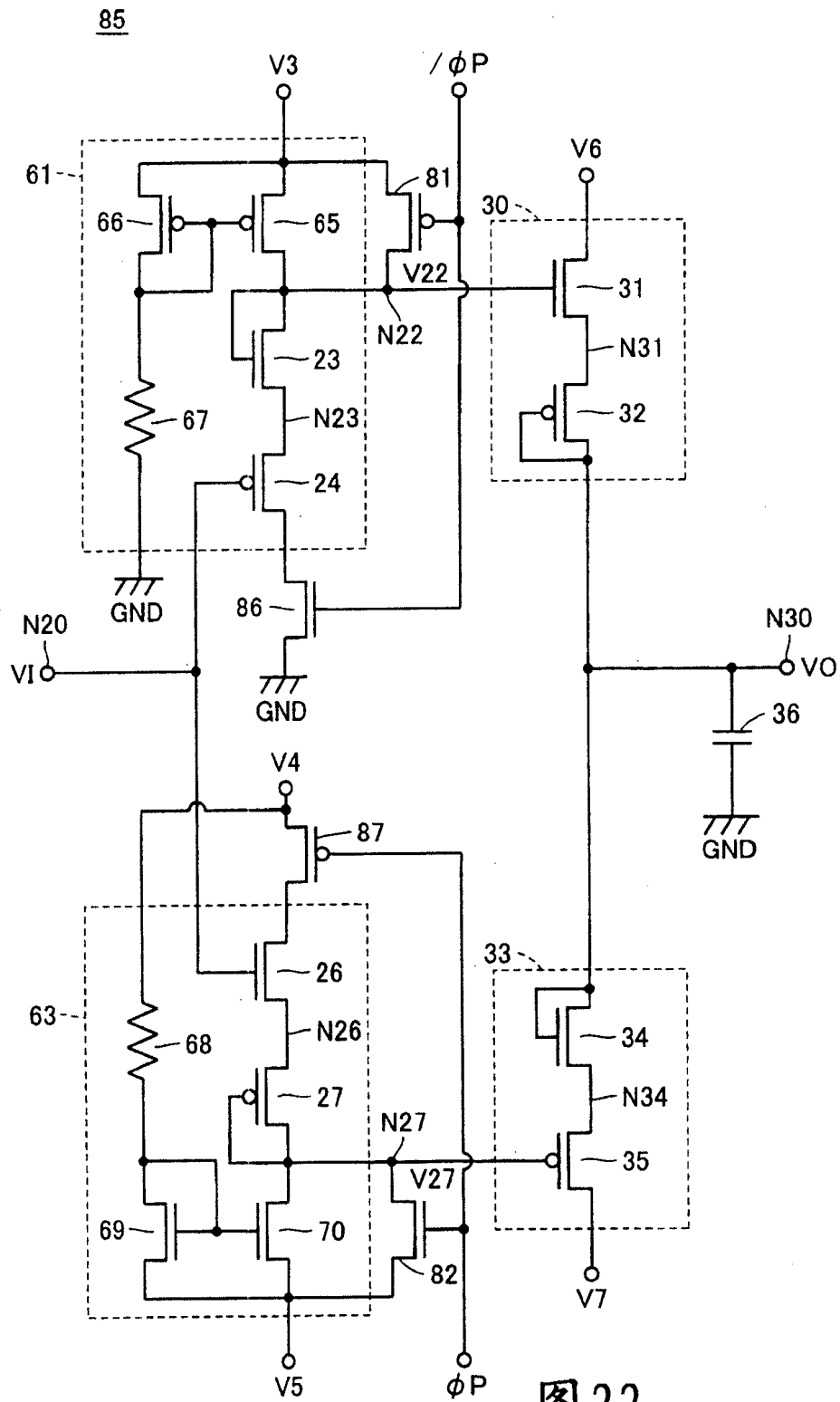


图 21



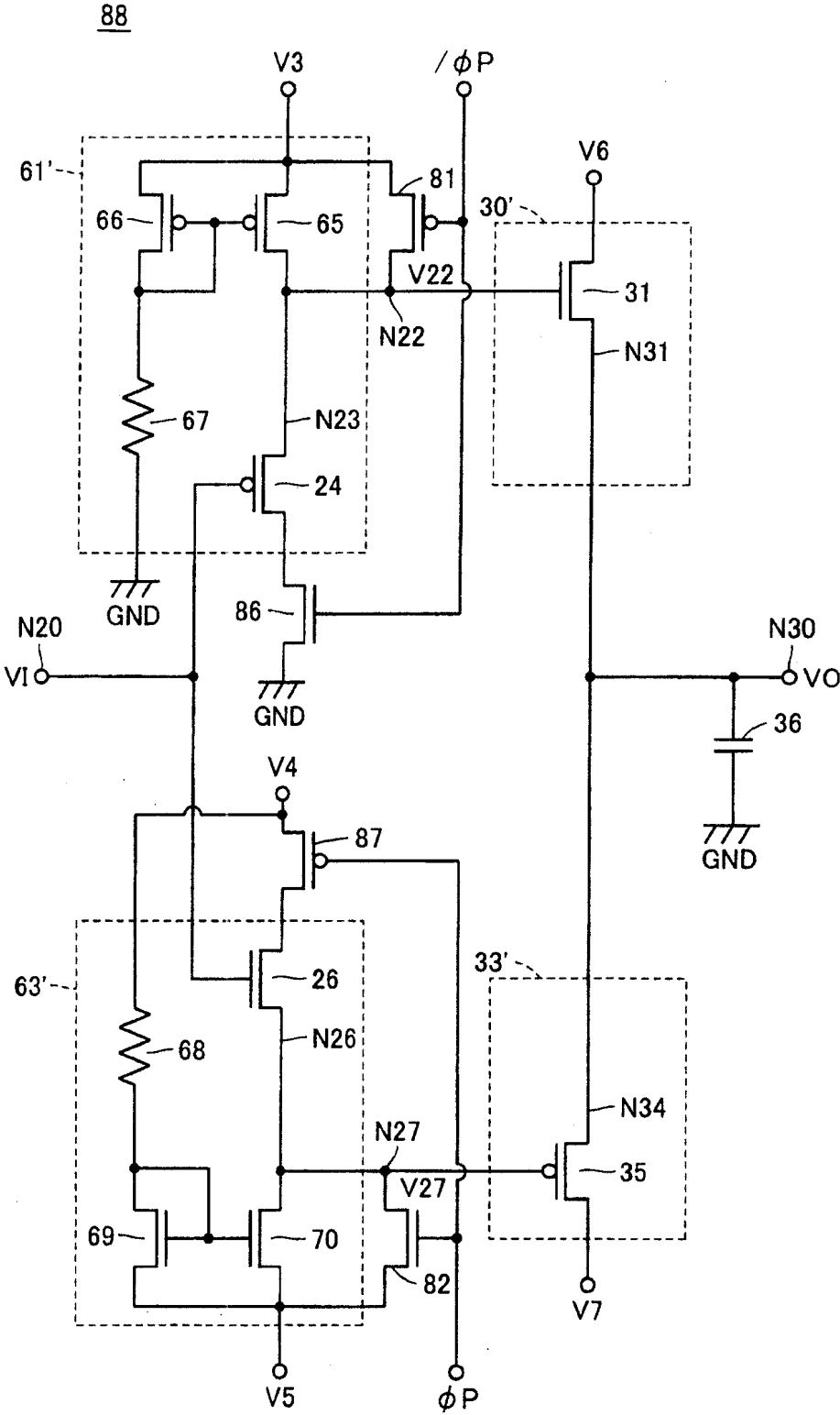


图23

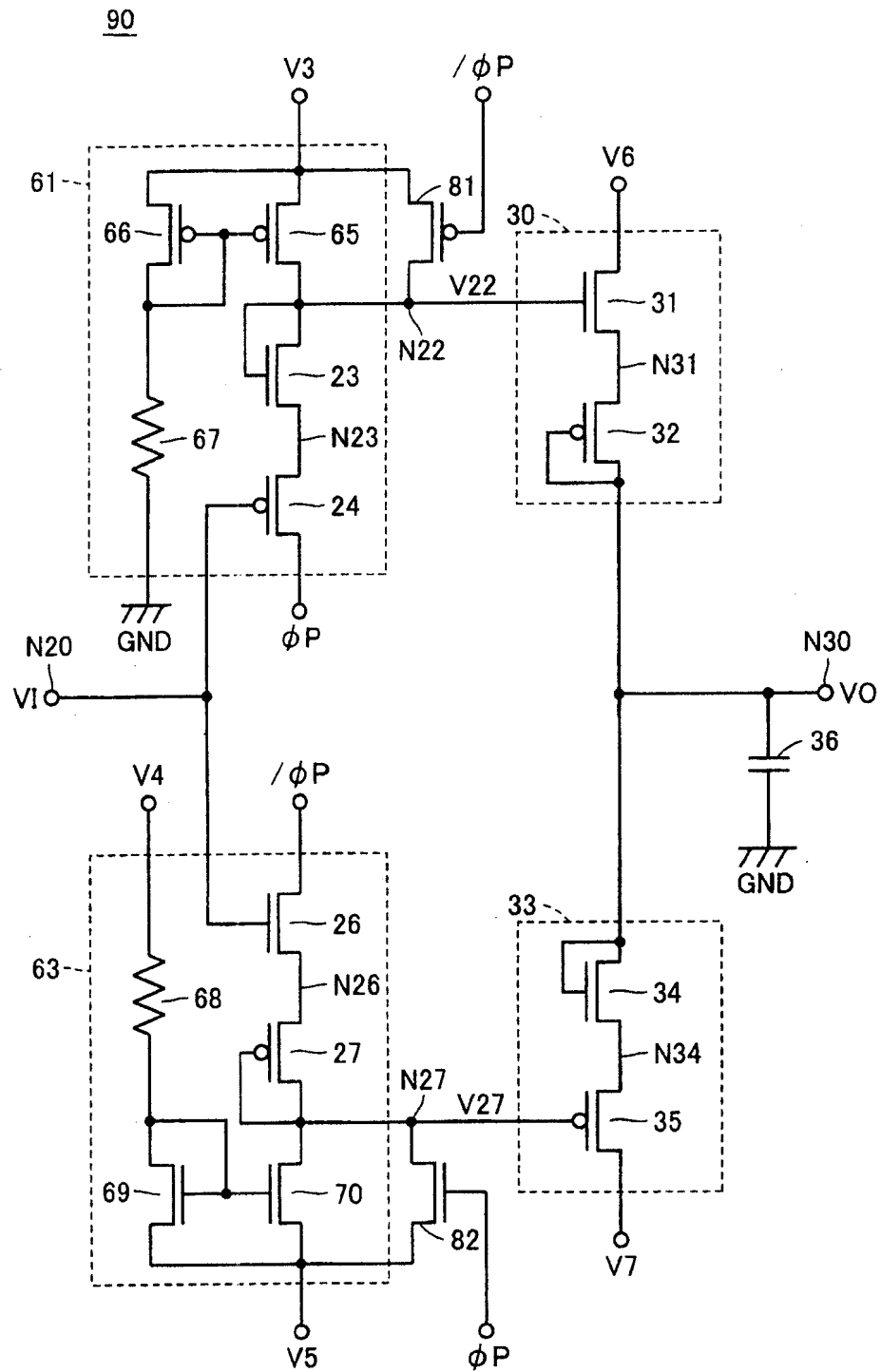


图 24

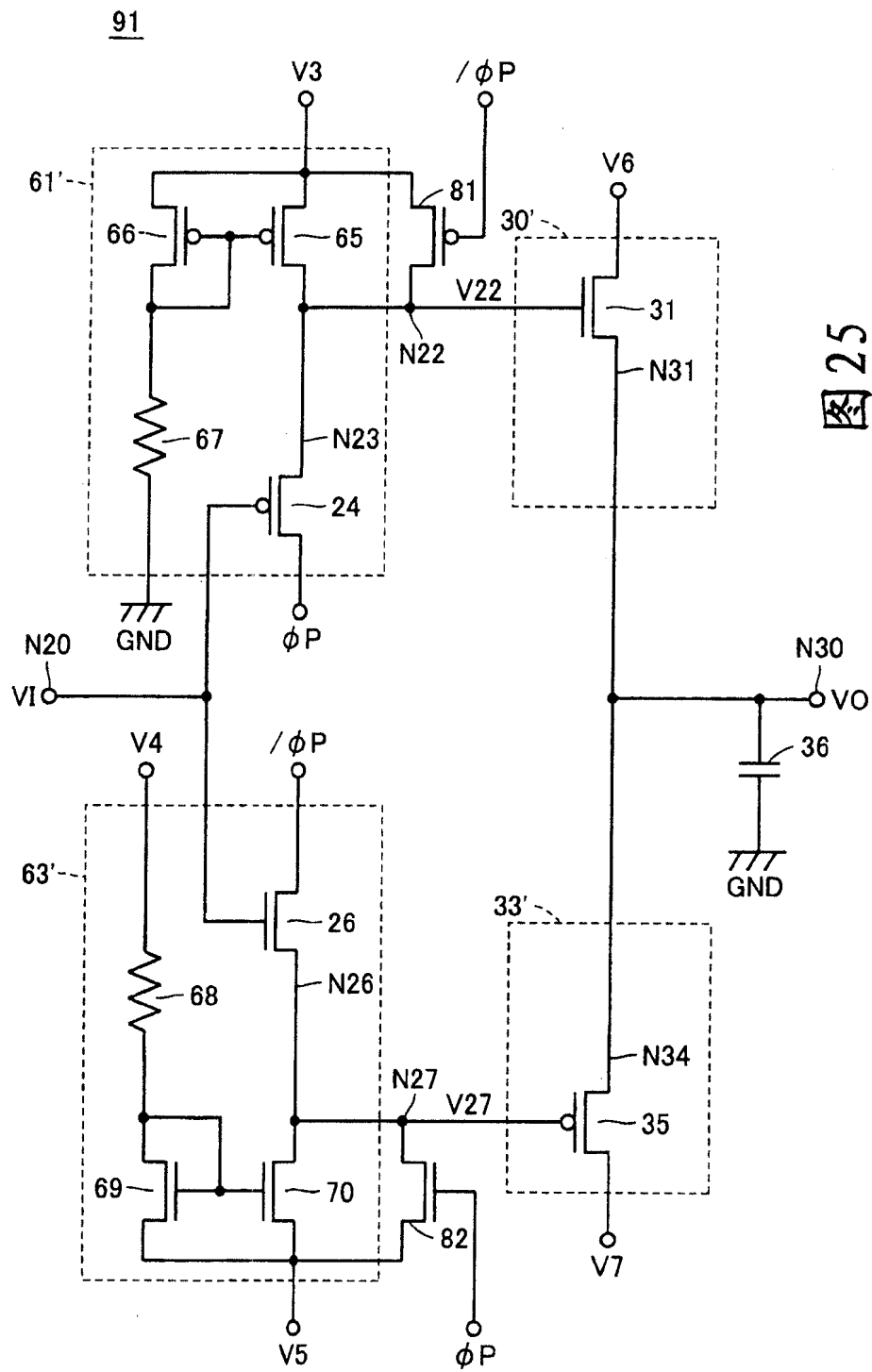


图 25

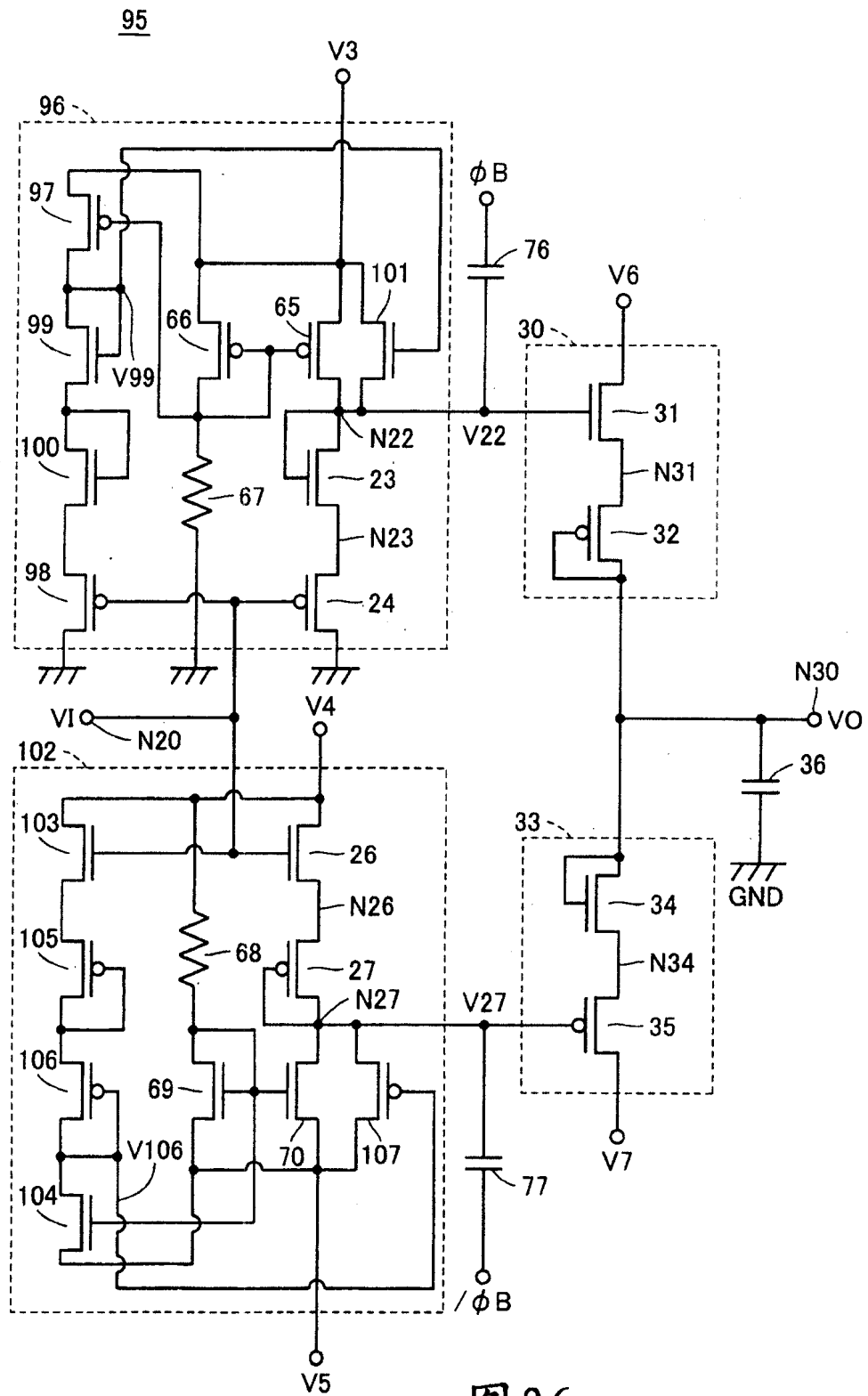


图 26

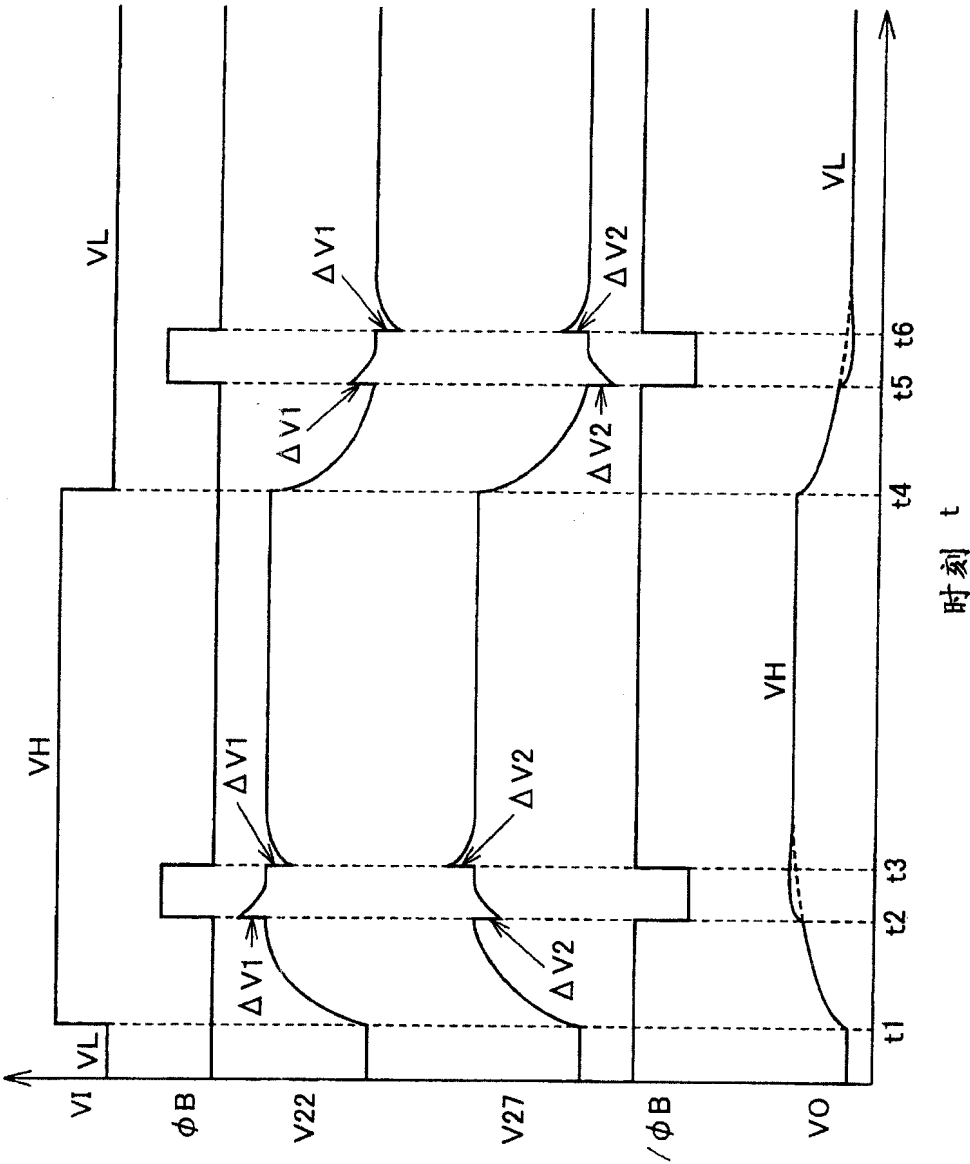


图 27

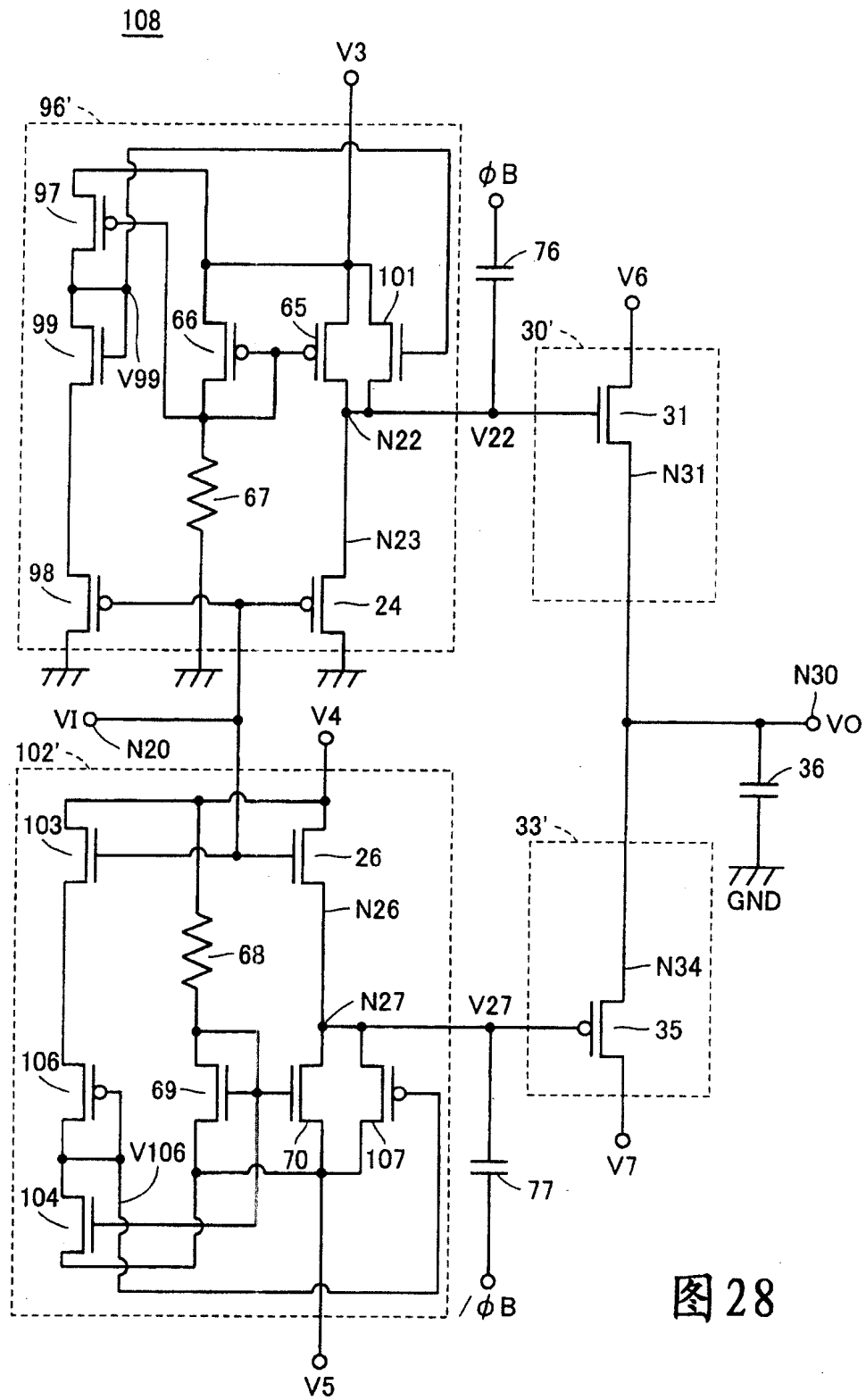


图 28

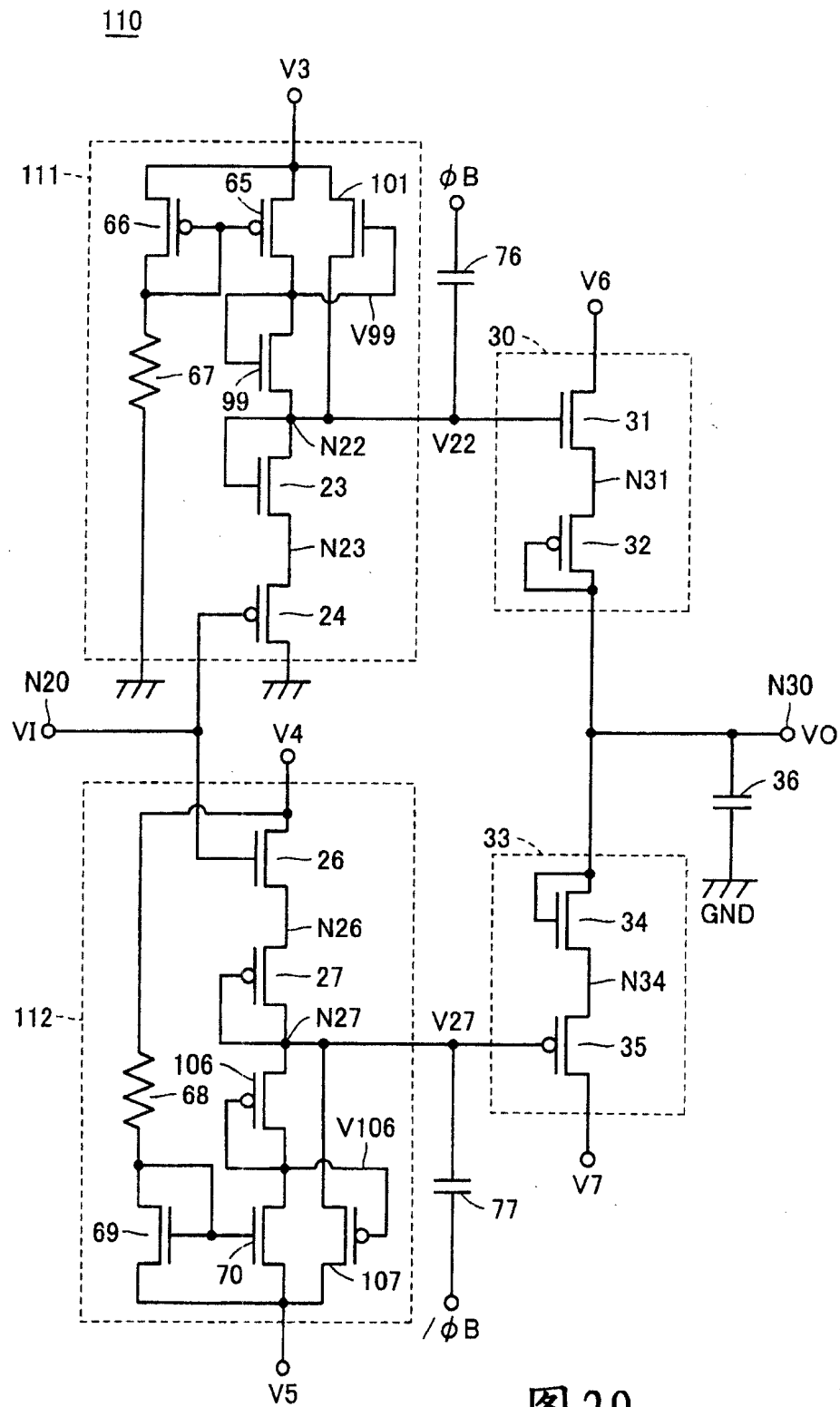


图 29

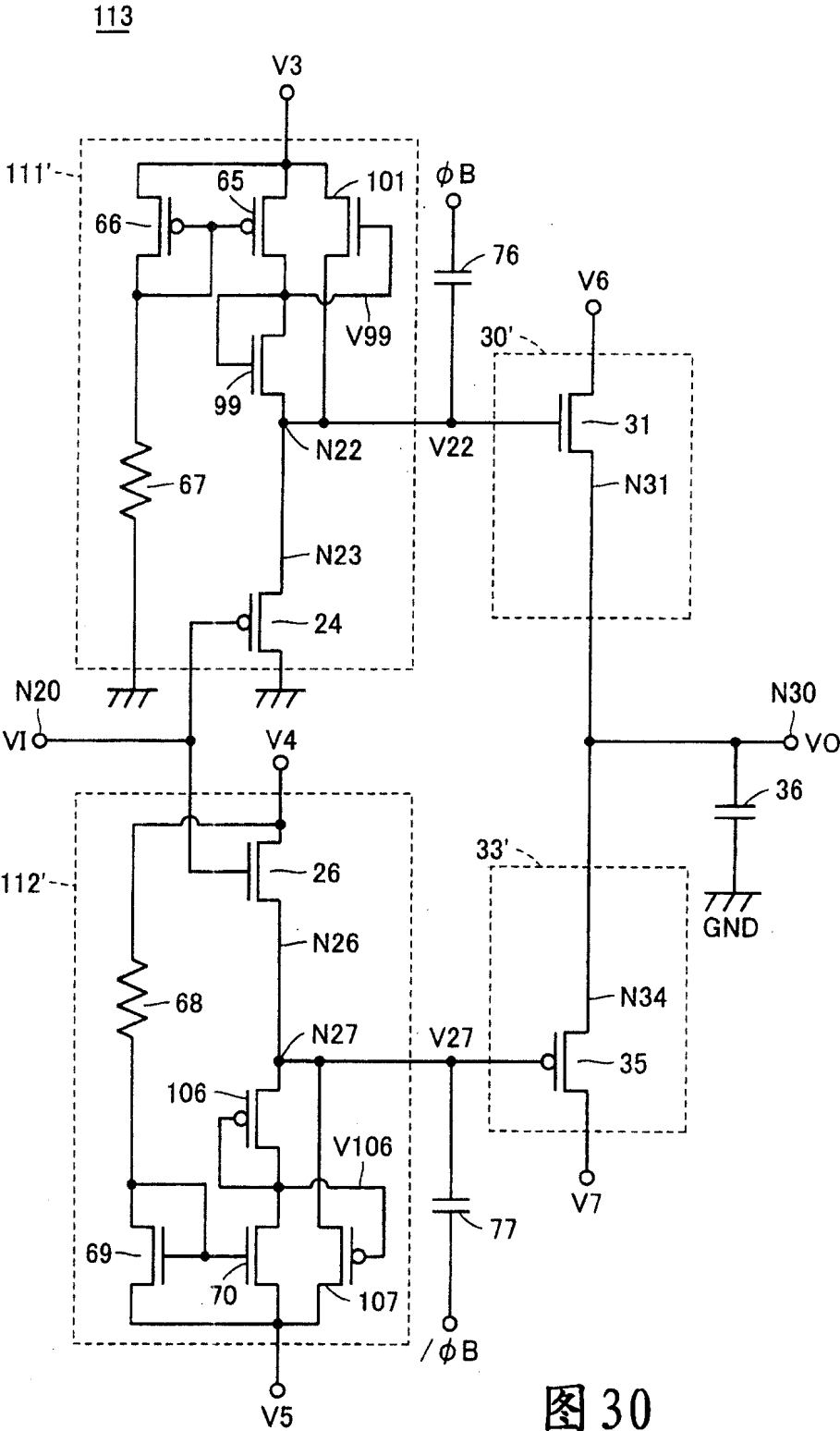


图 30

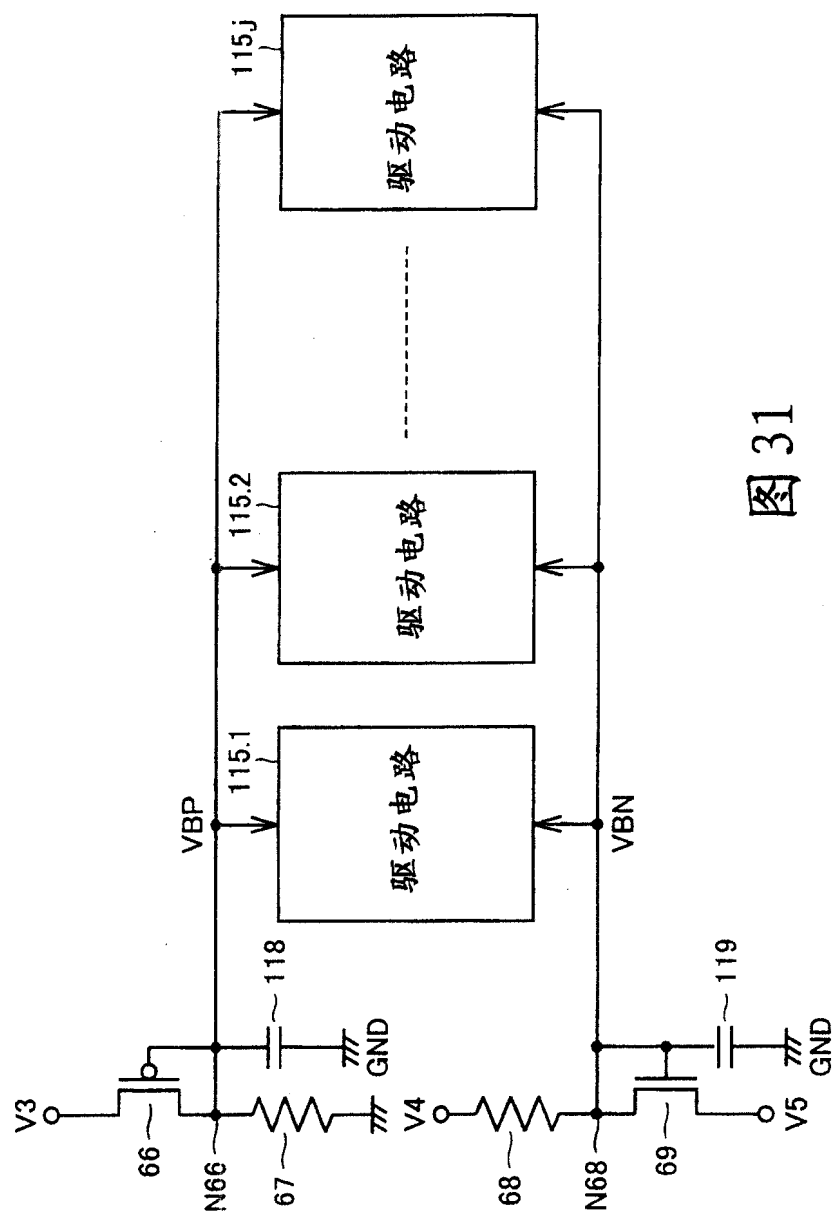


图 31

115.1

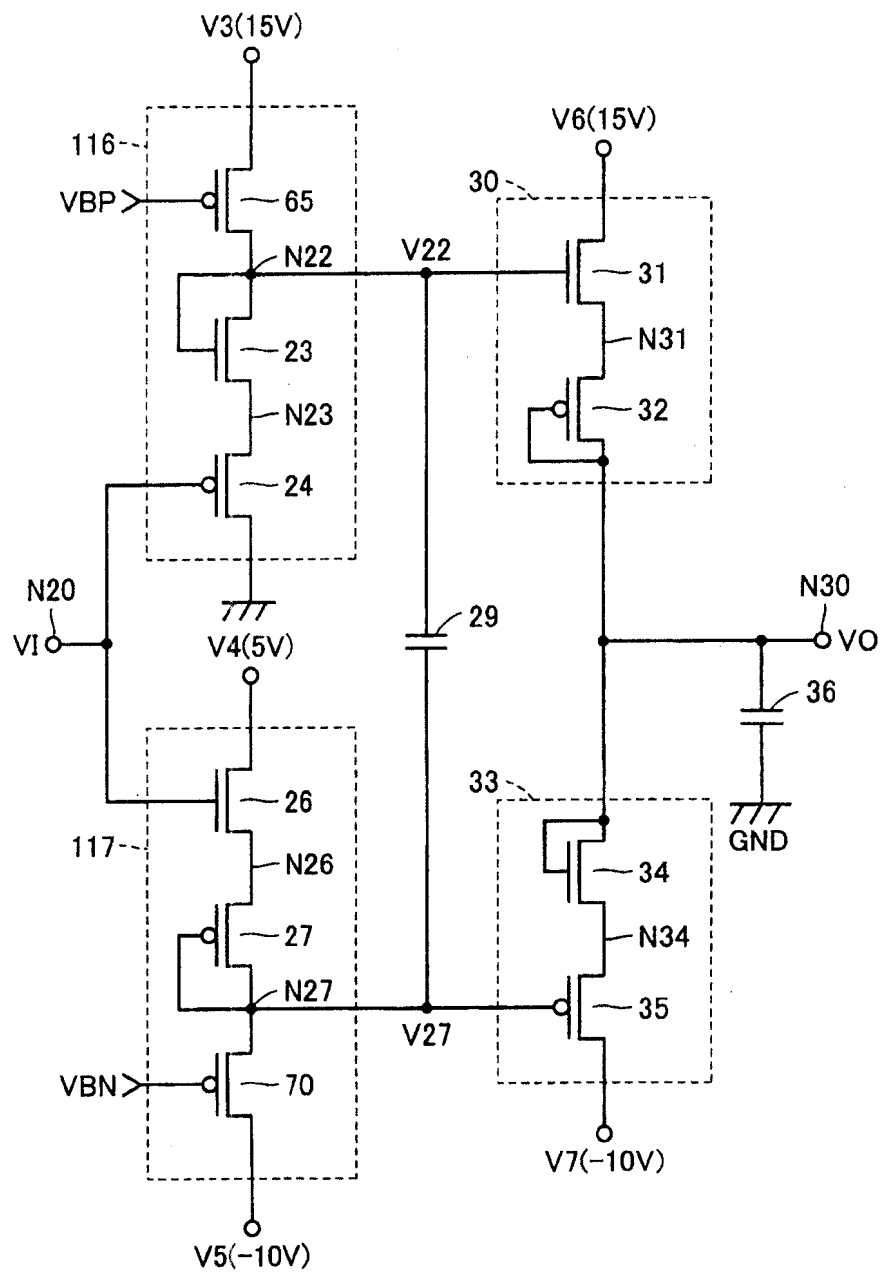


图 32

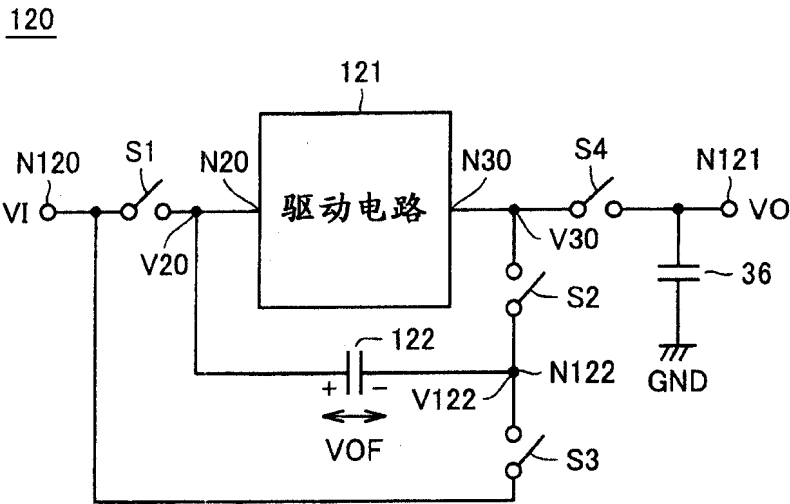


图 33

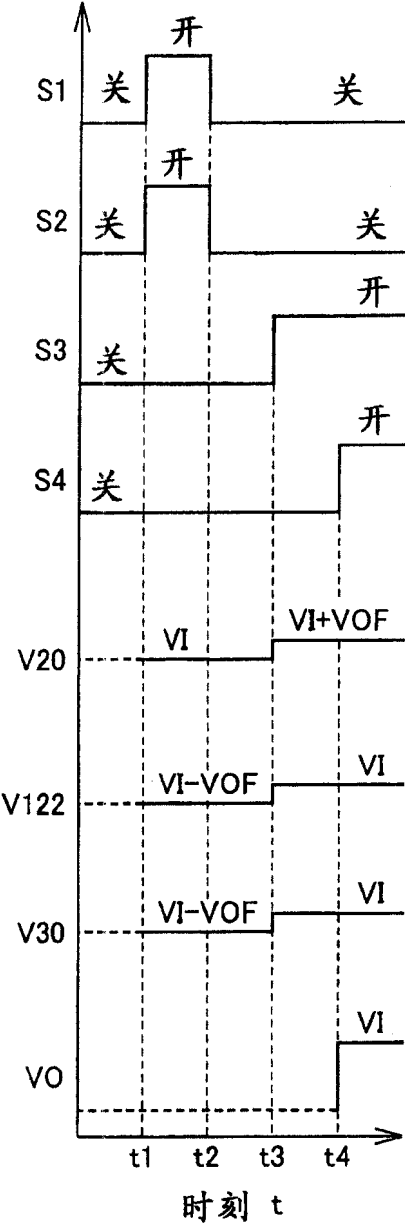


图 34

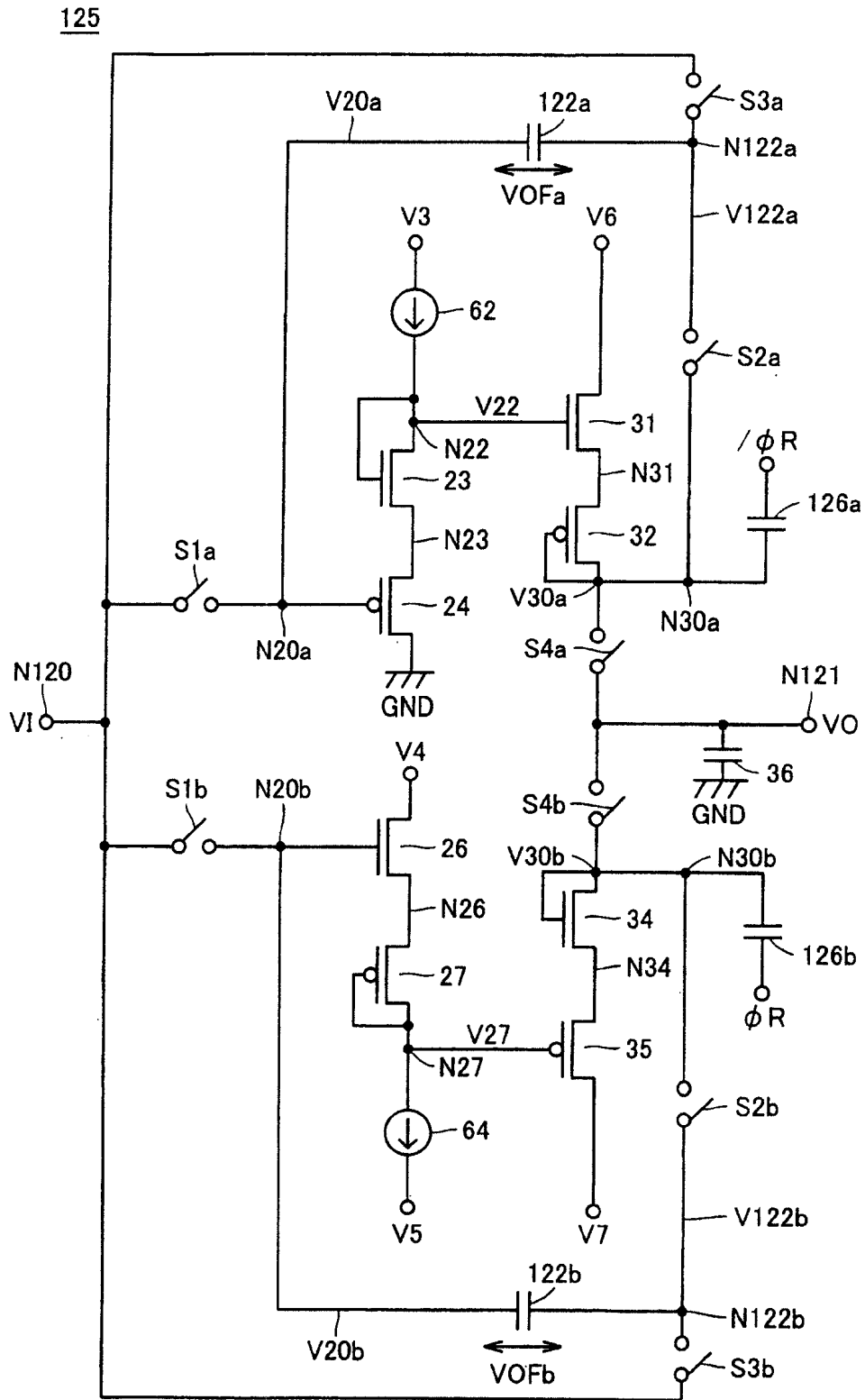


图 35

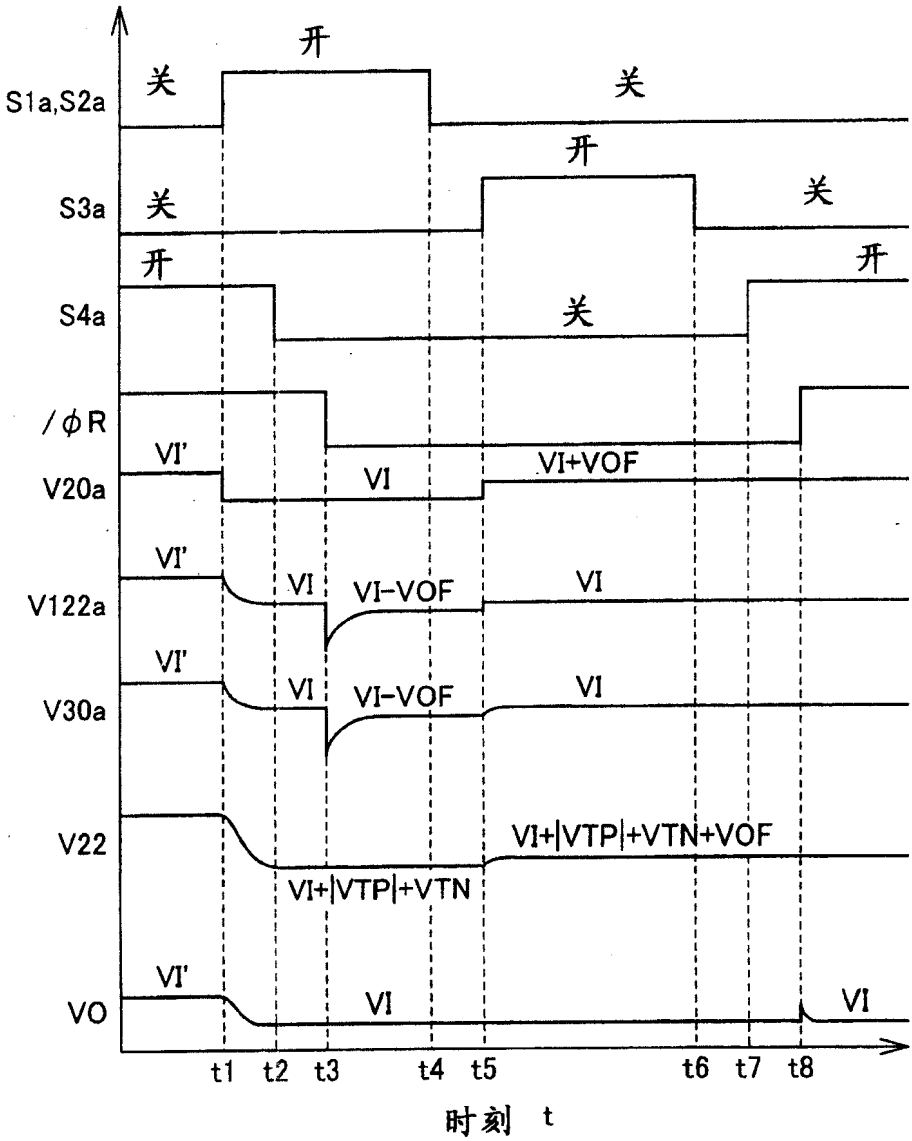


图 36

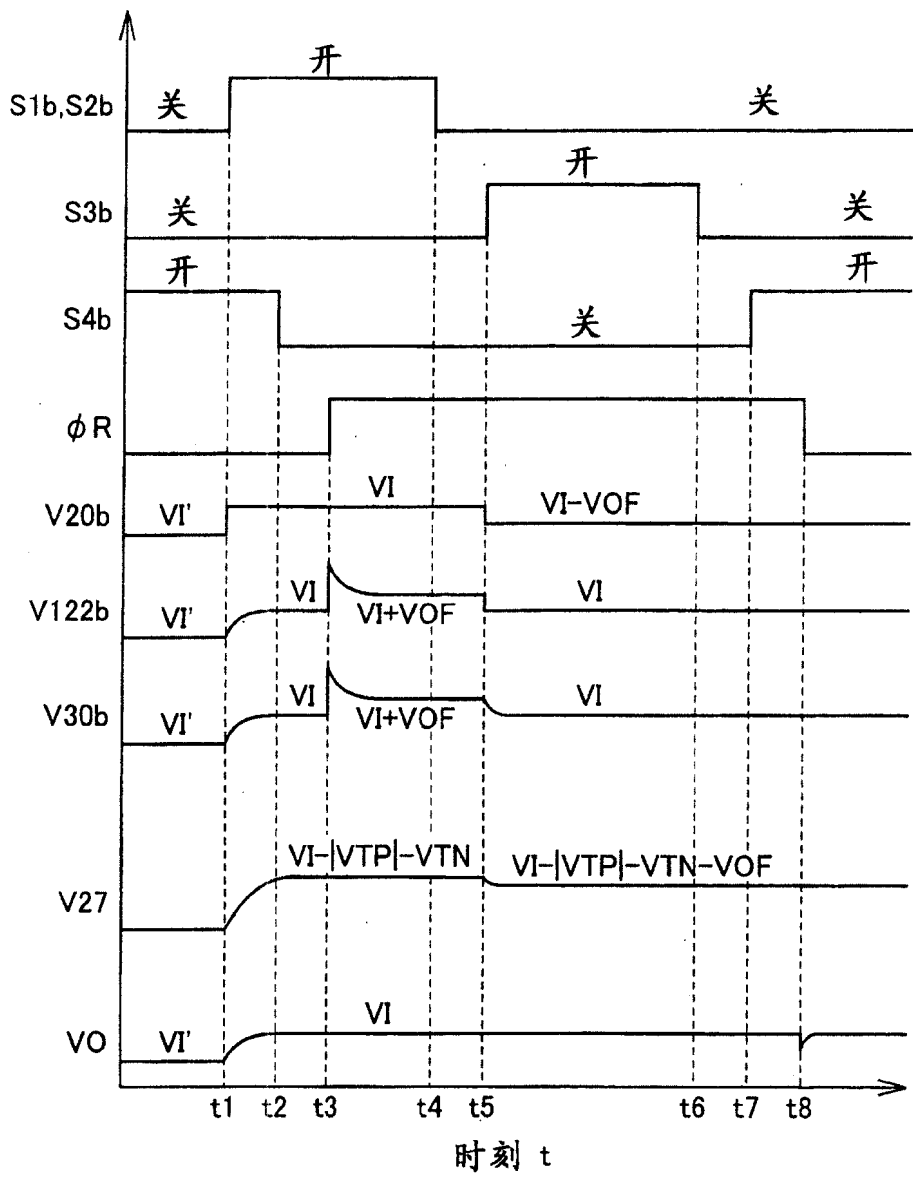


图 37

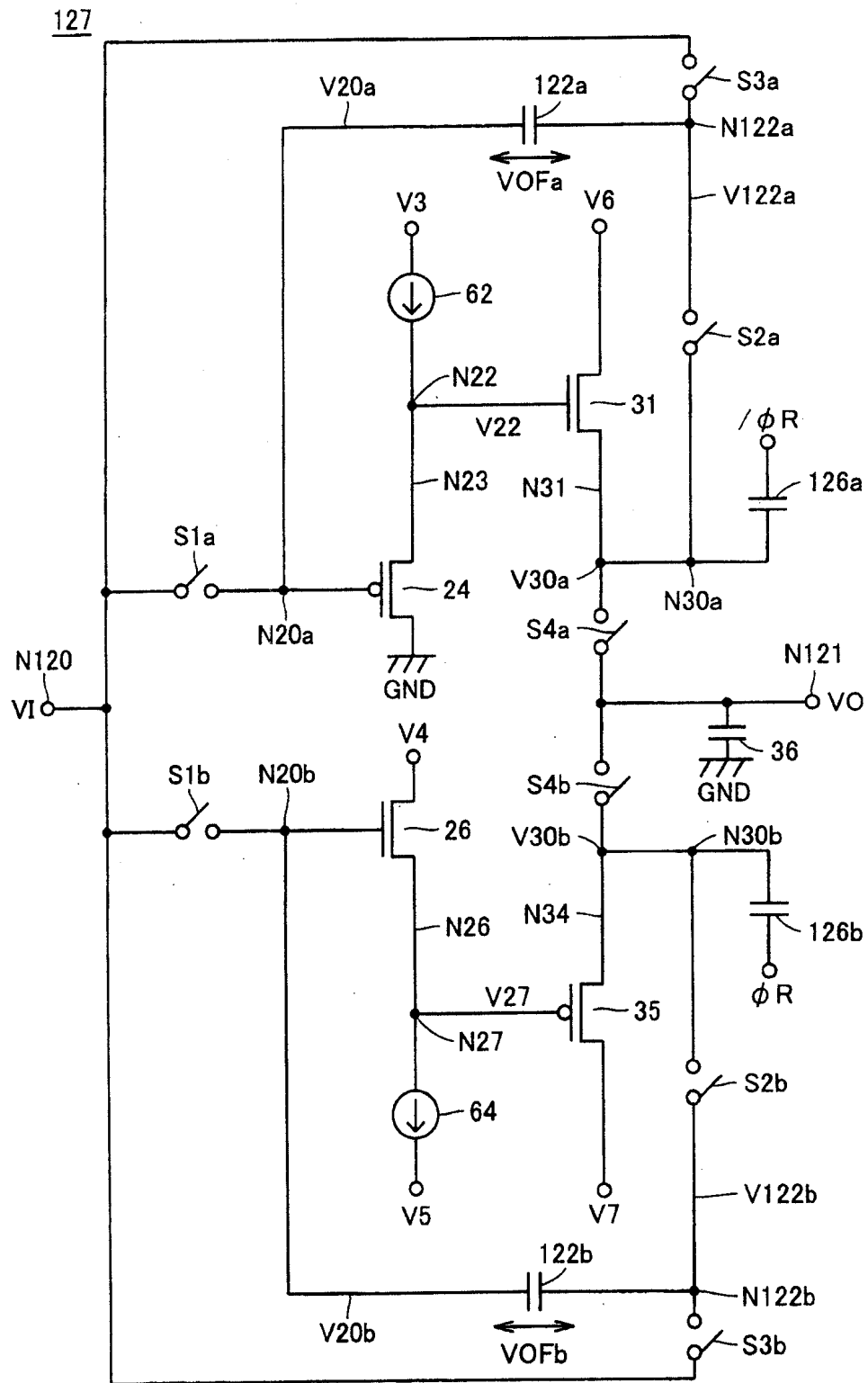


图 38

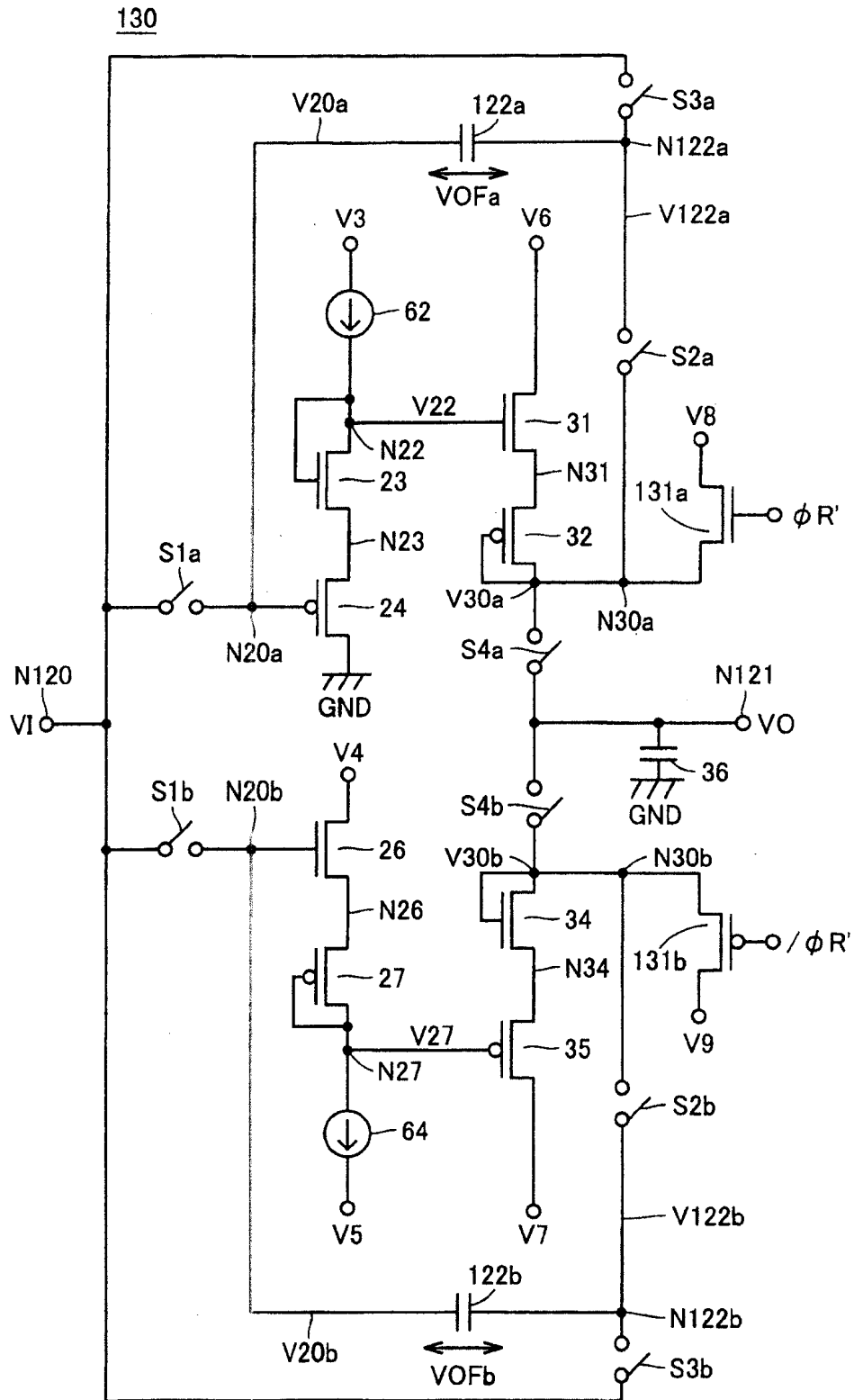


图 39

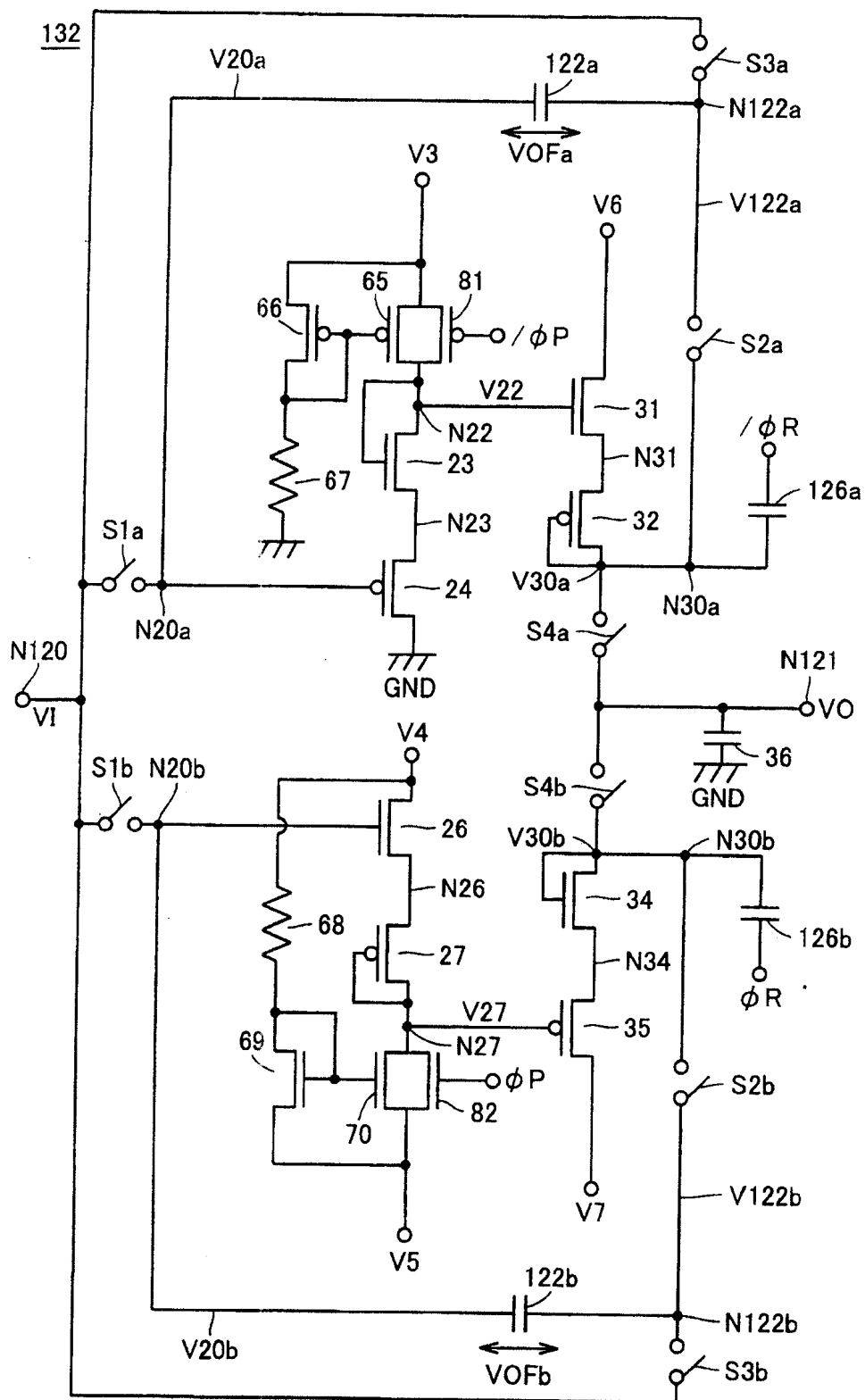


图 40

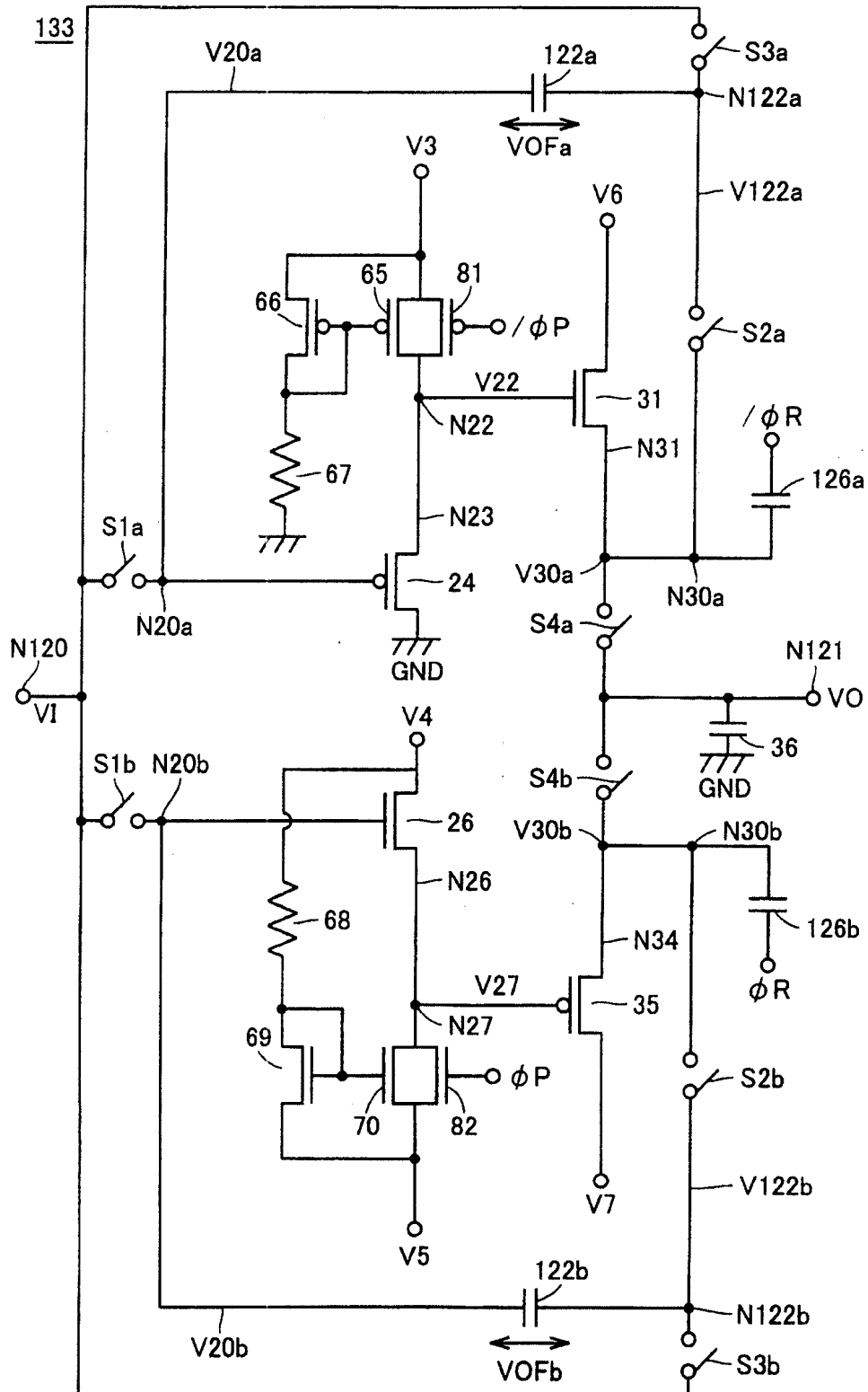


图 41

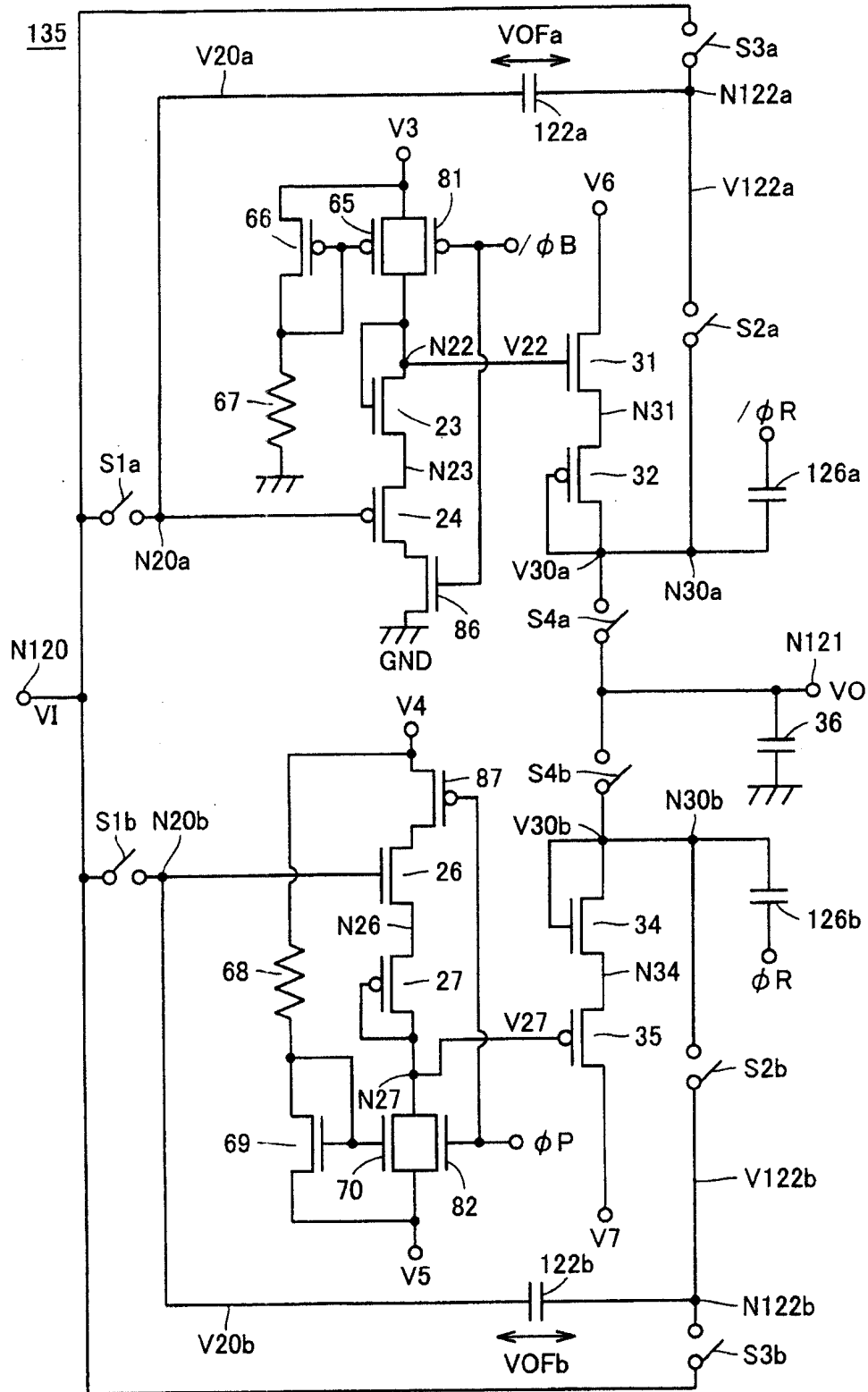


图42

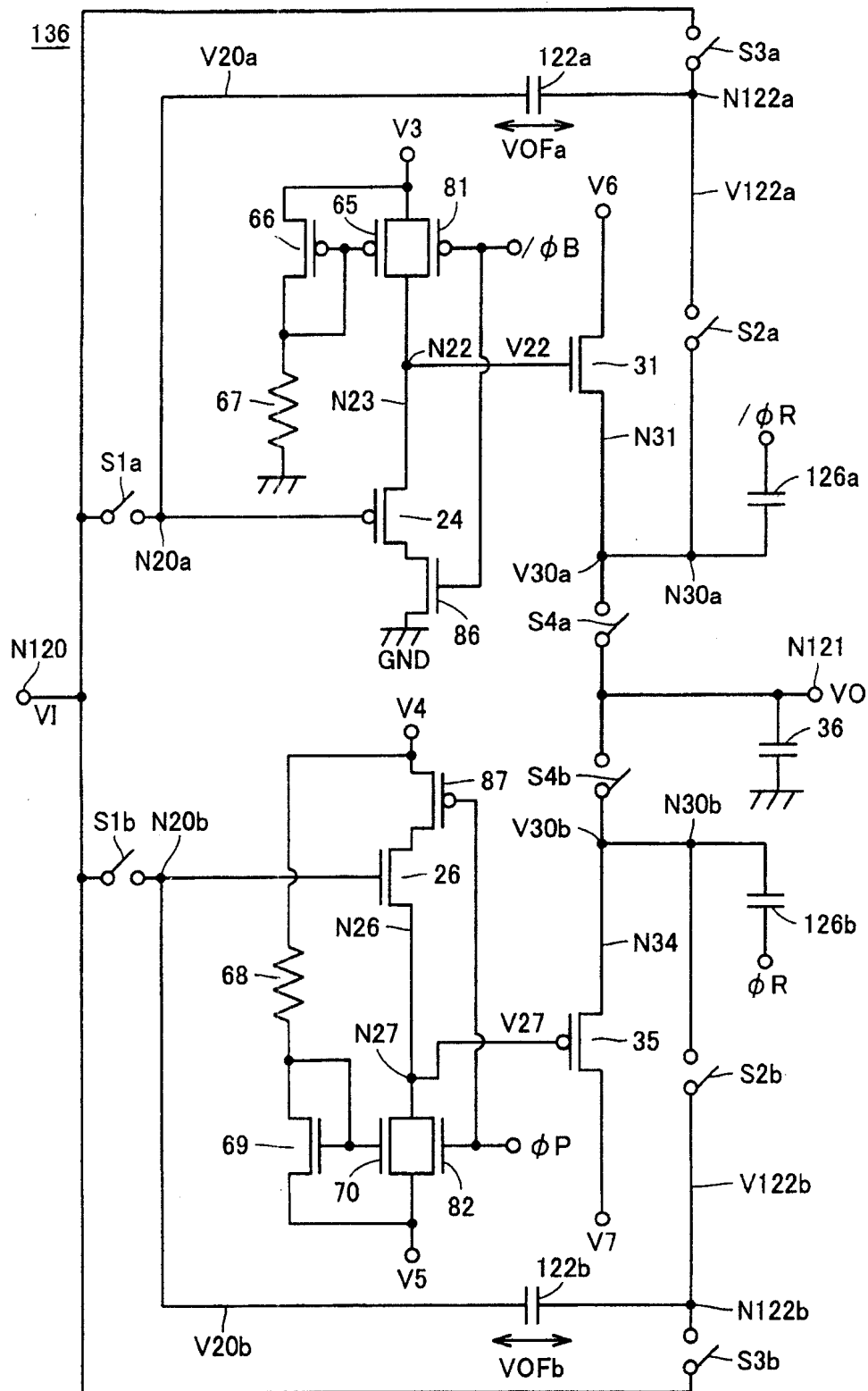


图 43

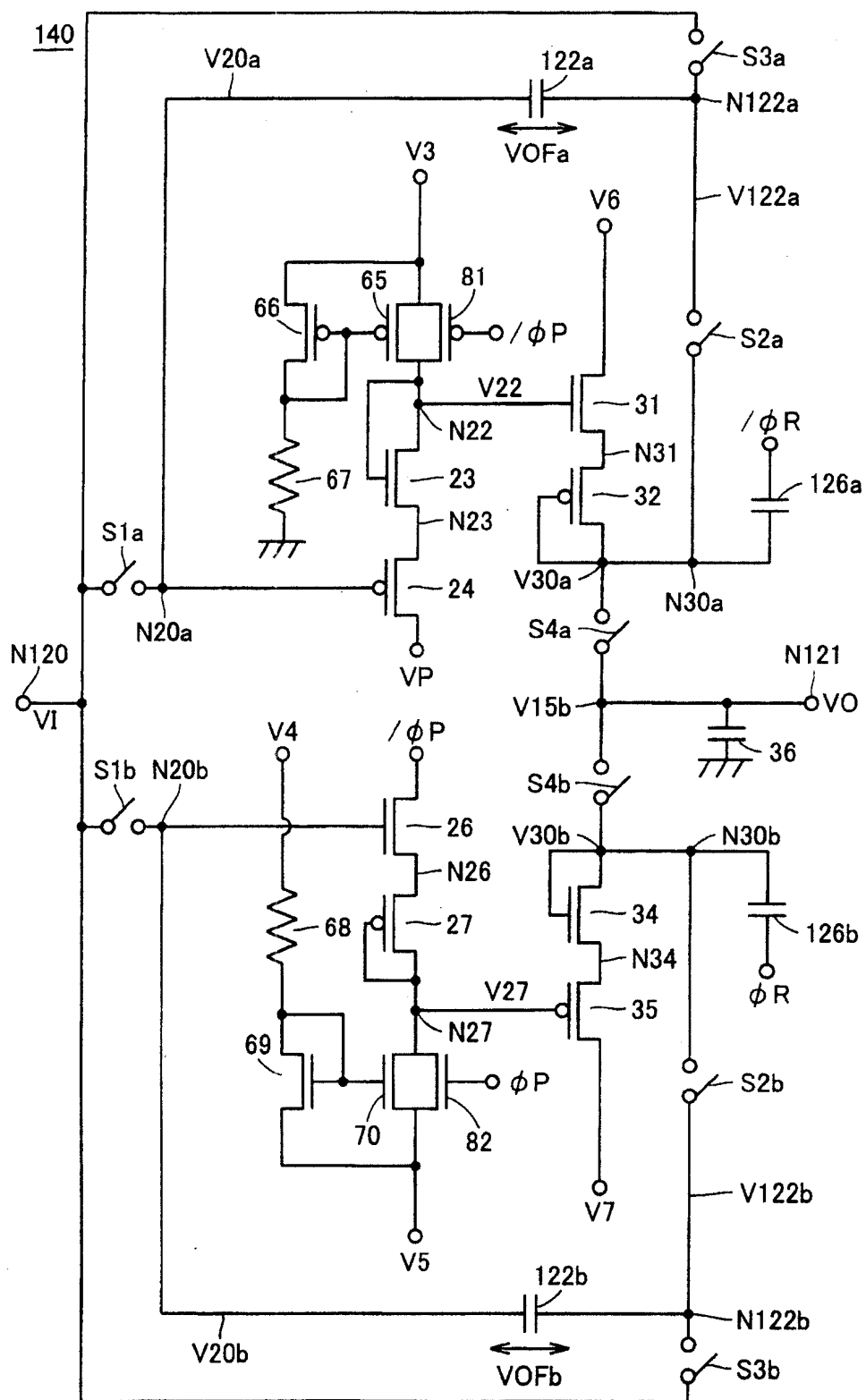


图 44

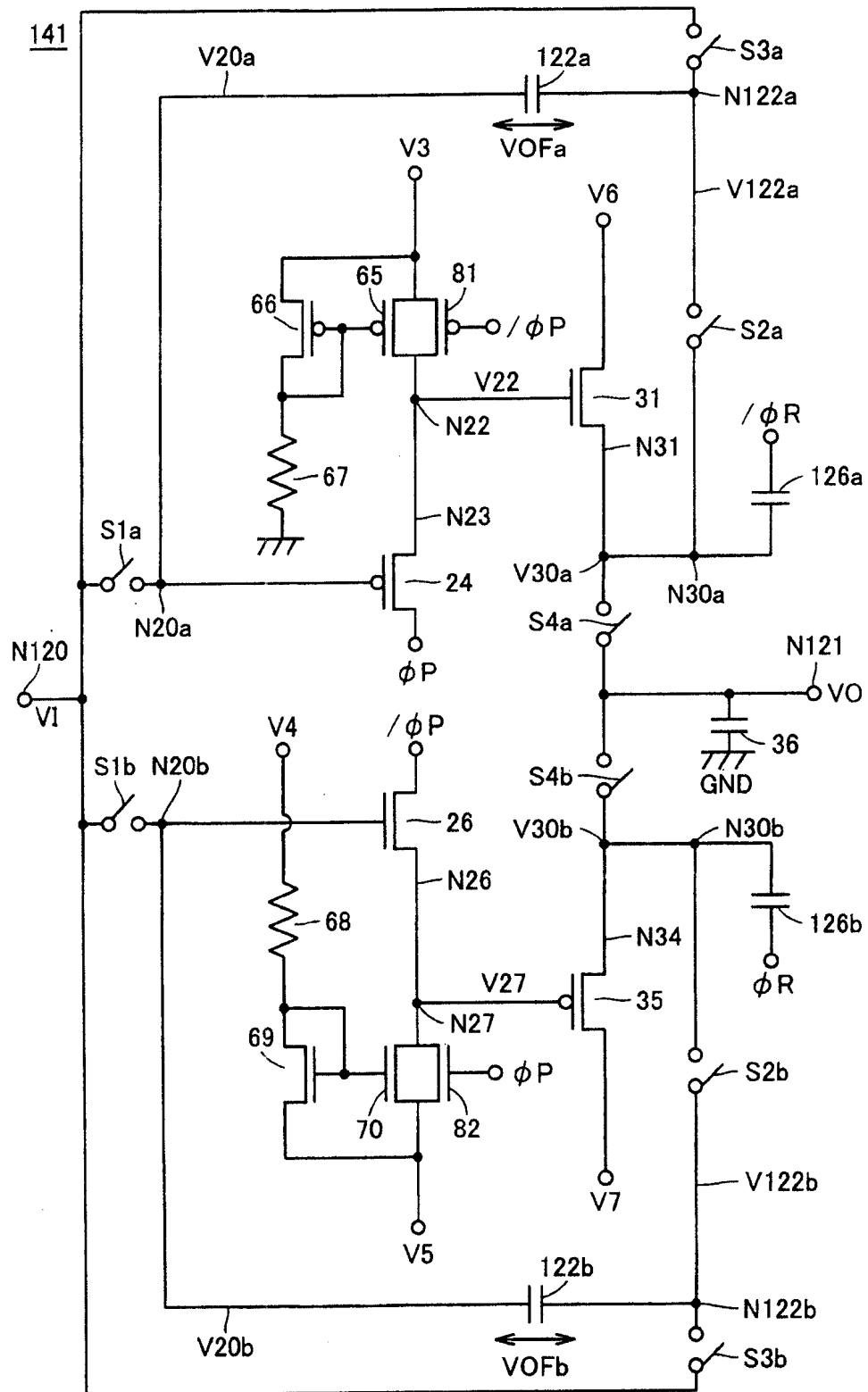


图 45

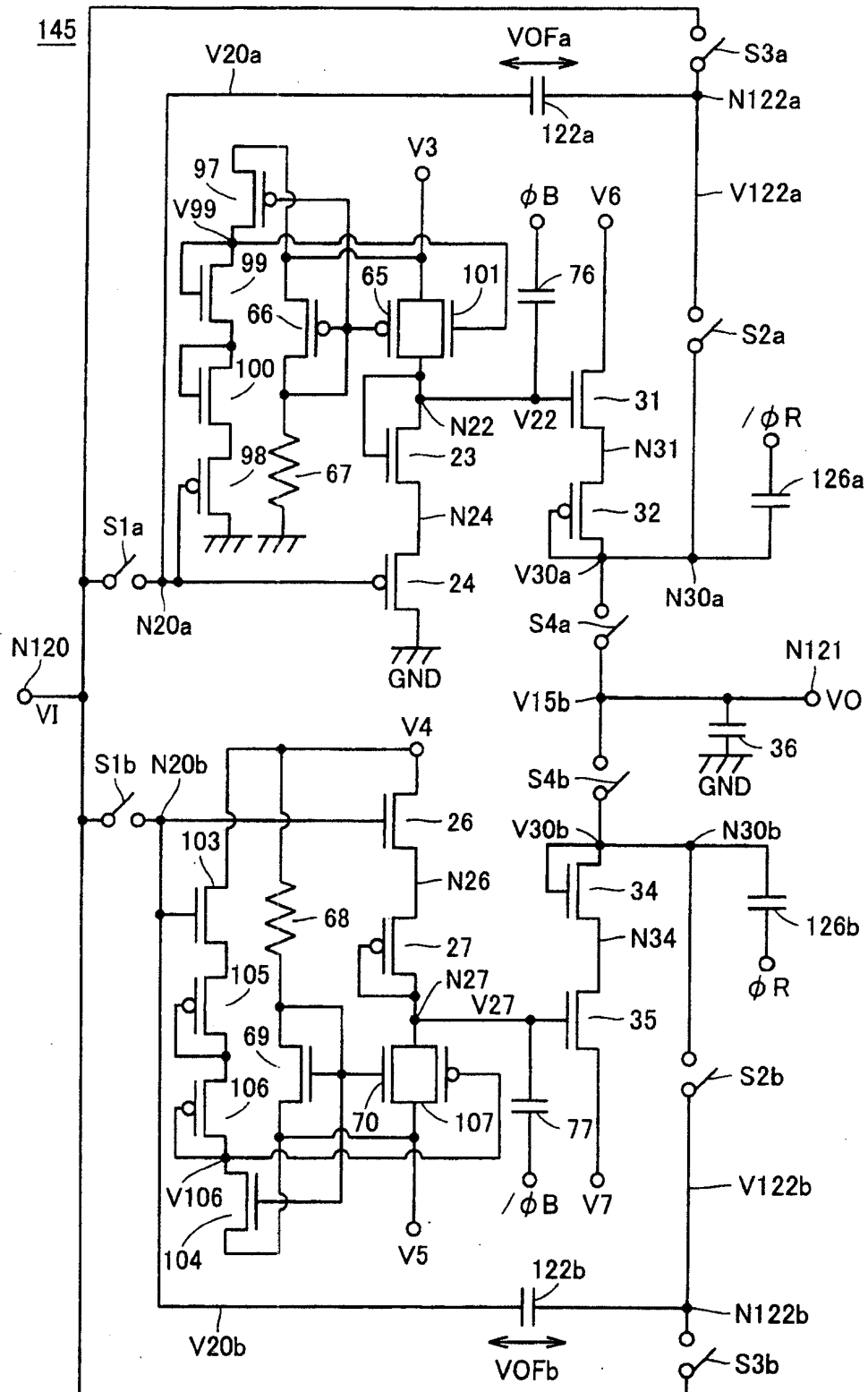


图 46

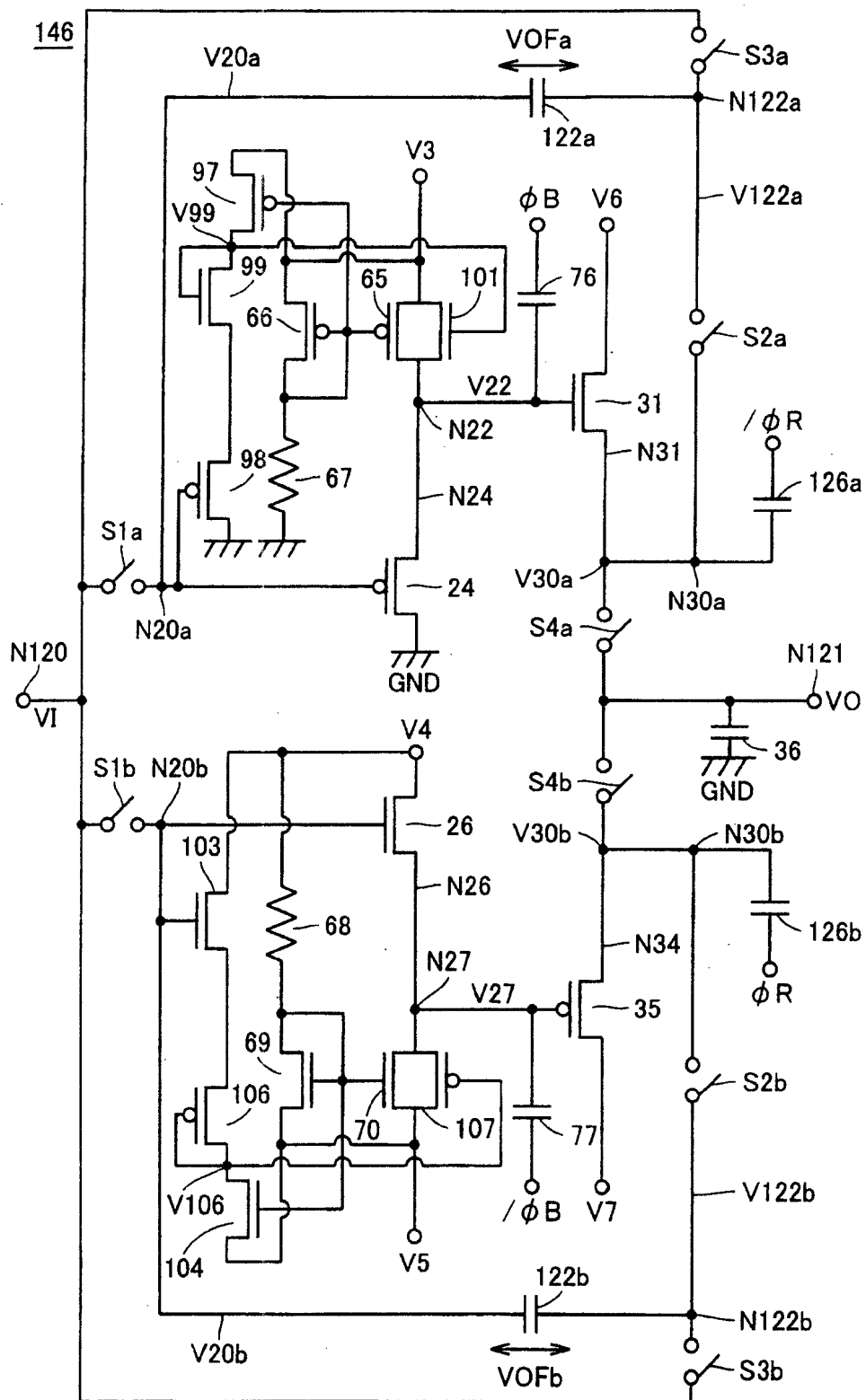


图 47

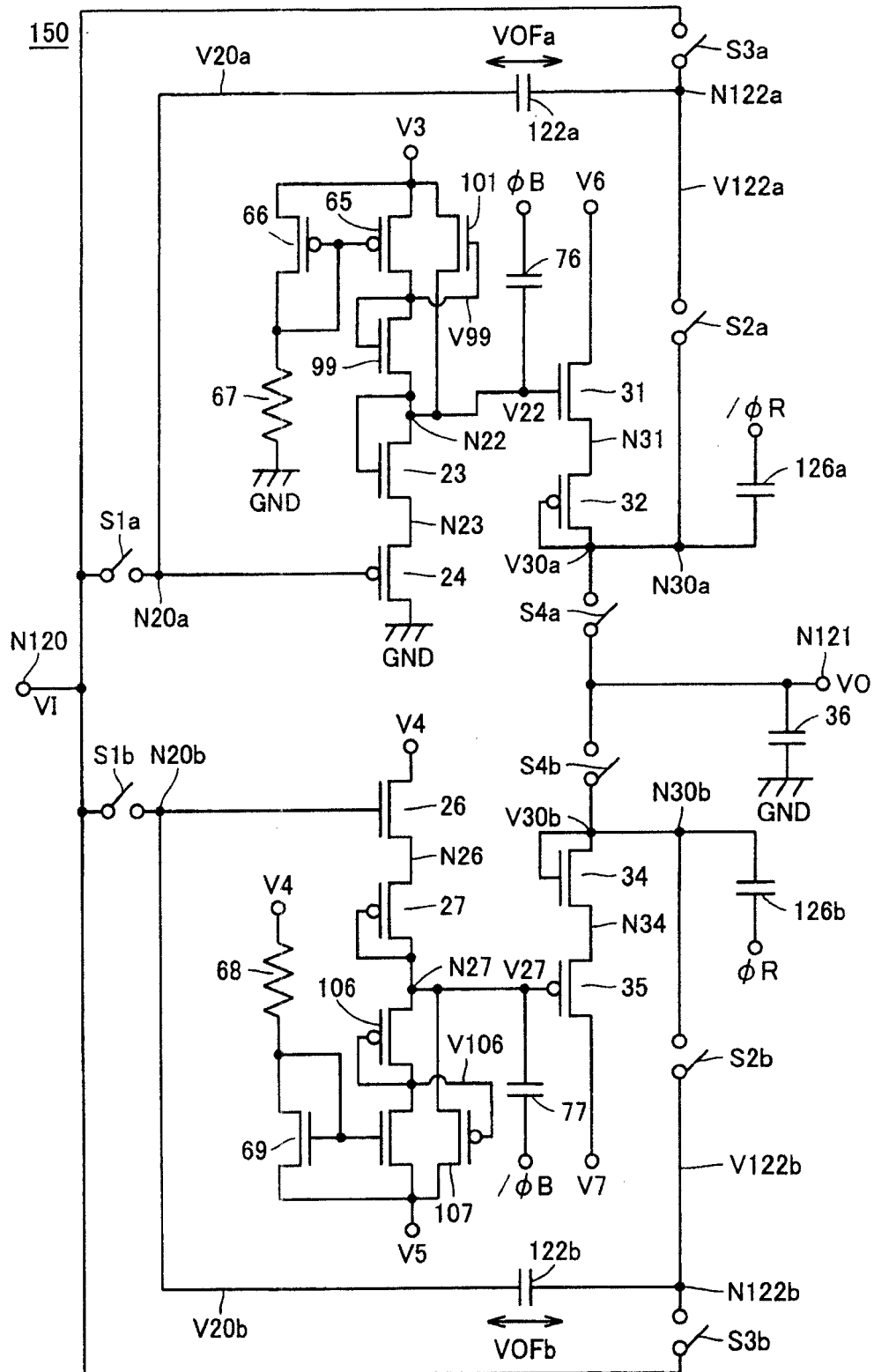


图 48

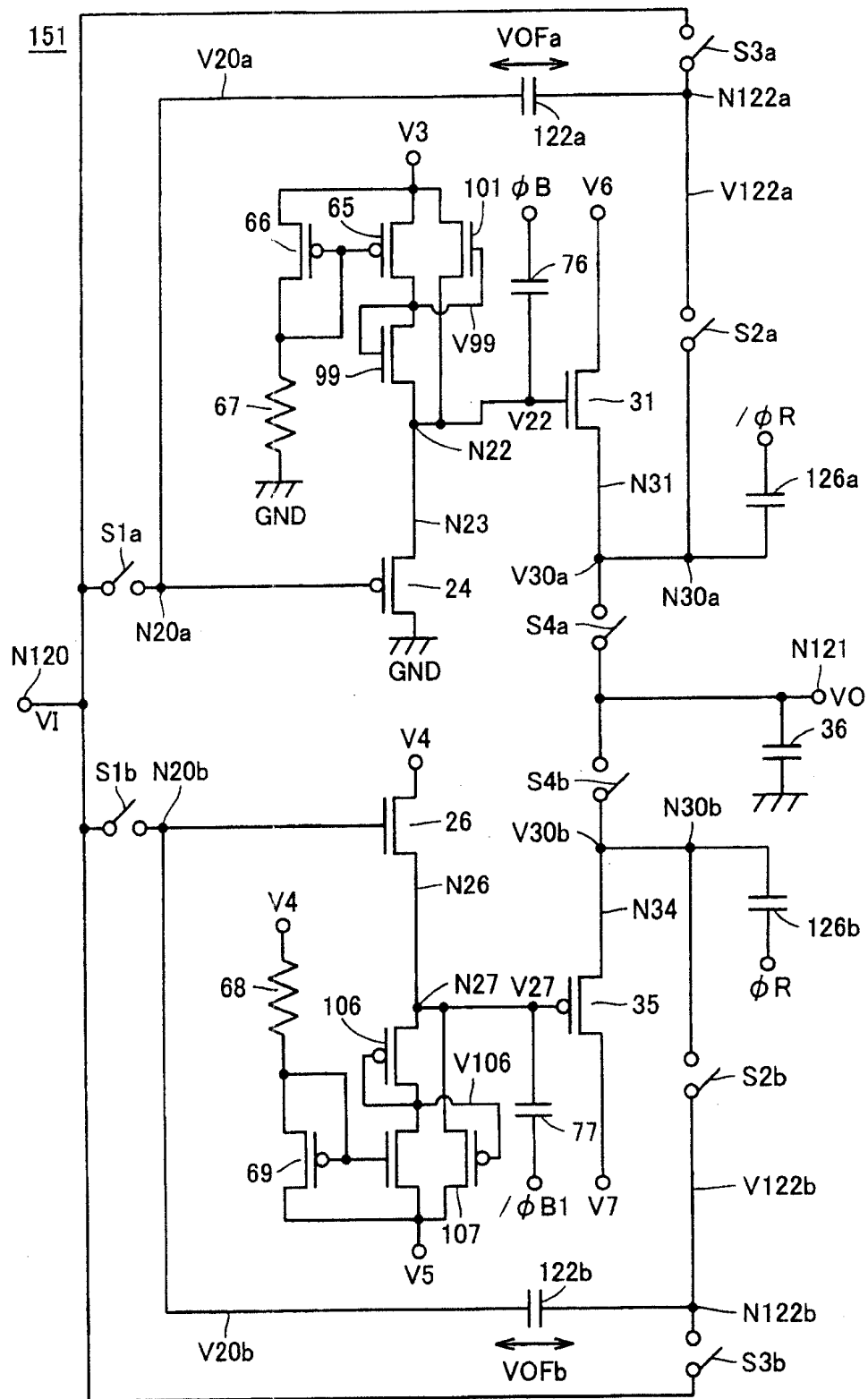


图 49

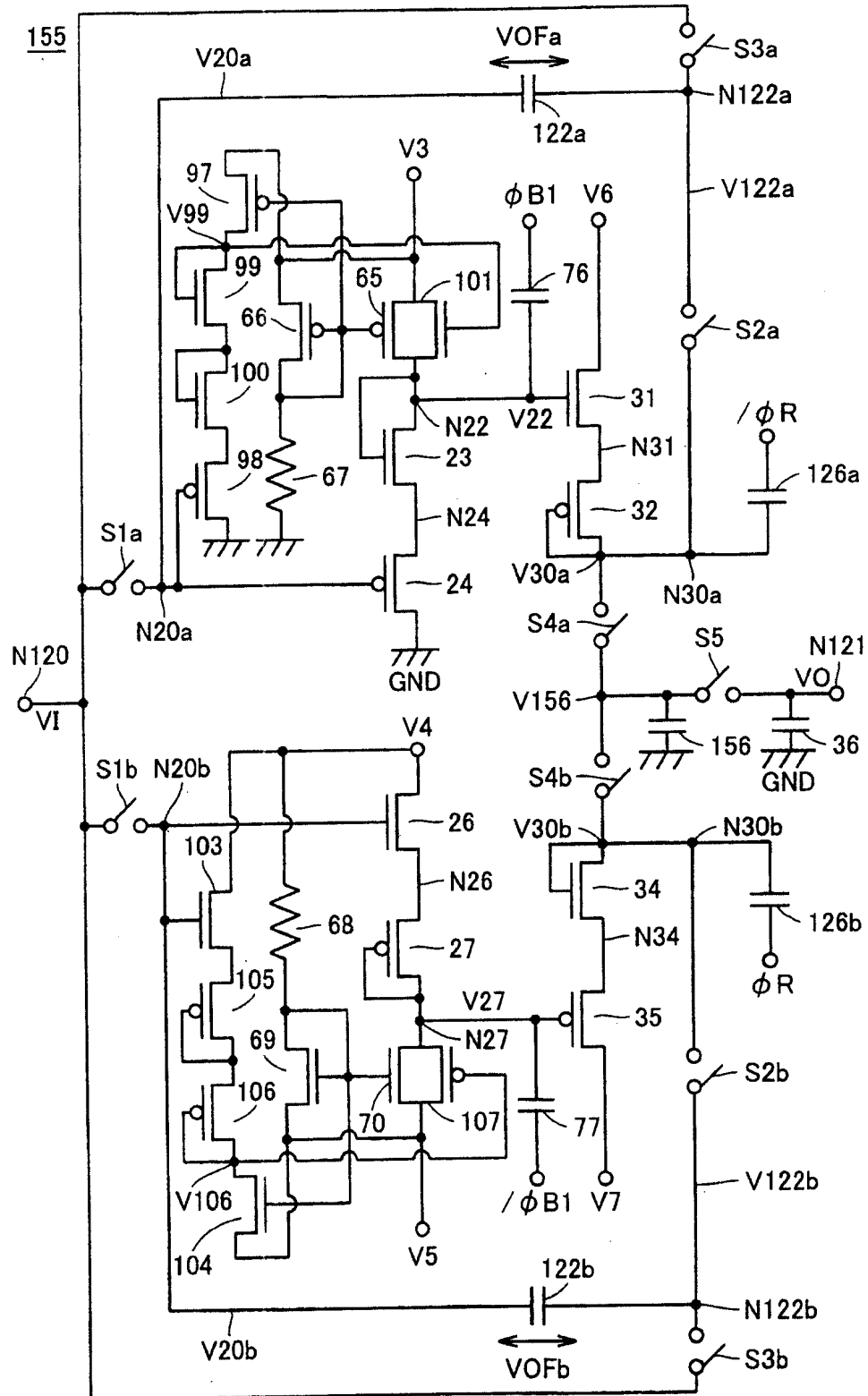


图 50

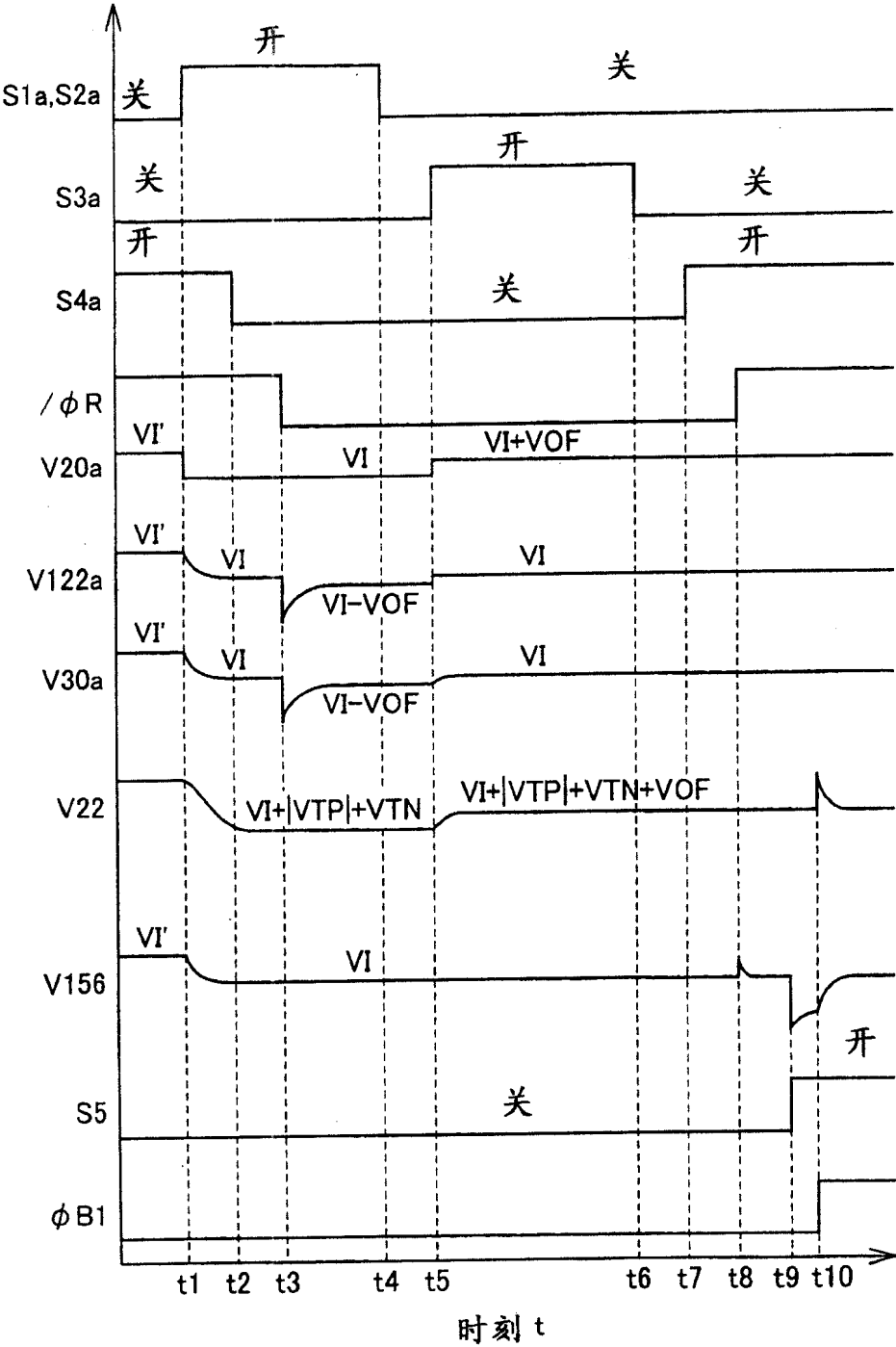


图 51

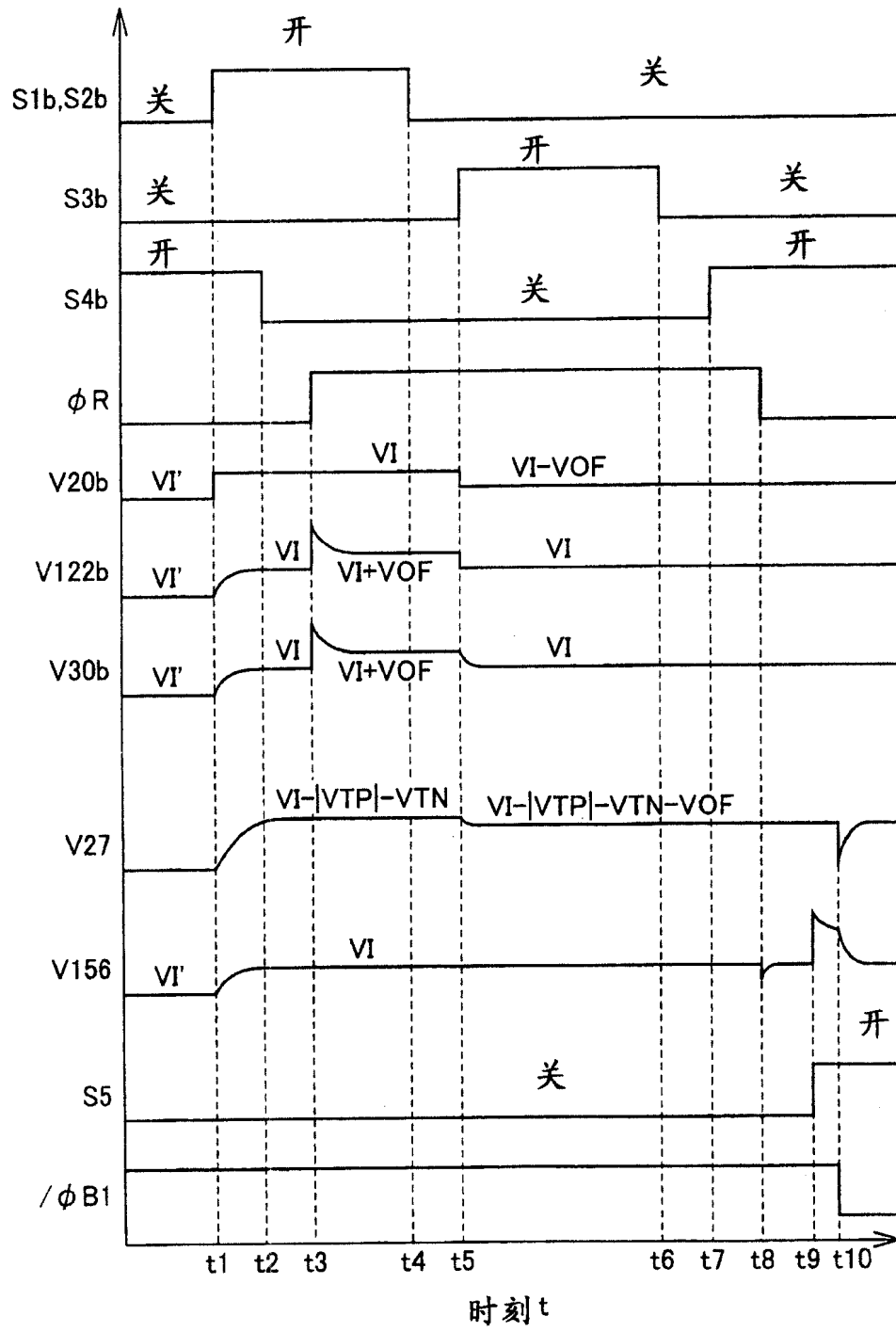


图 52

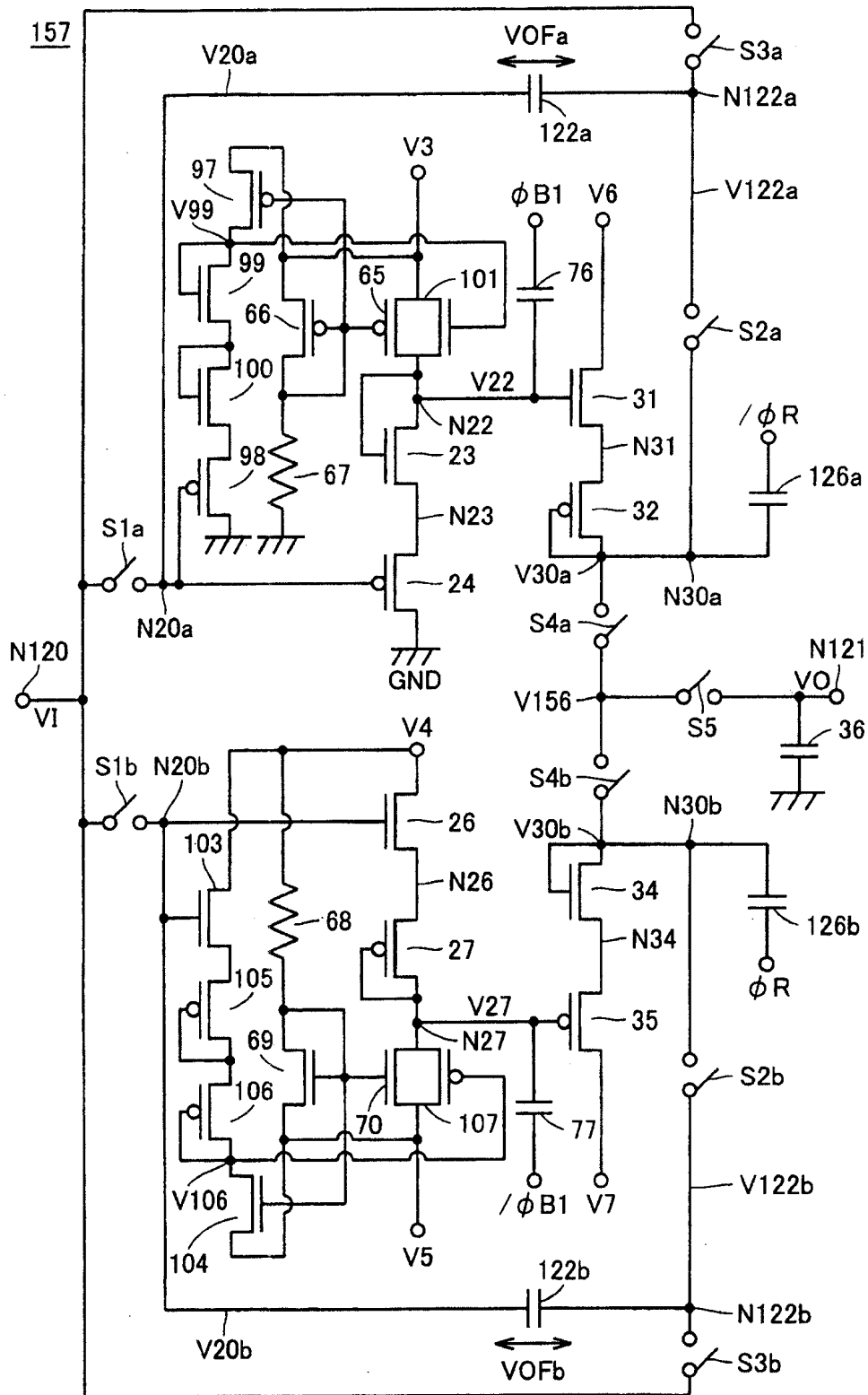


图 53

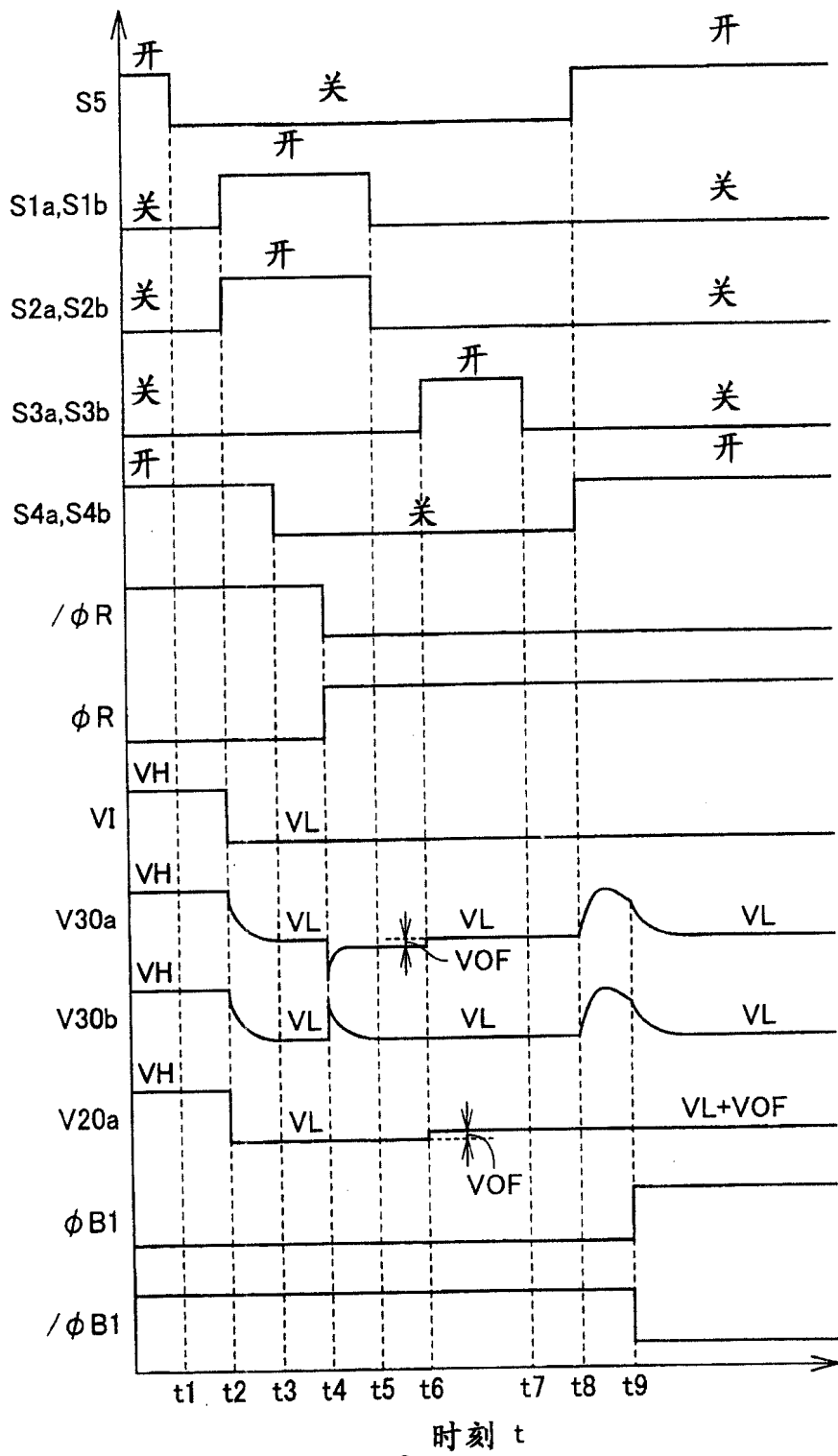


图 54

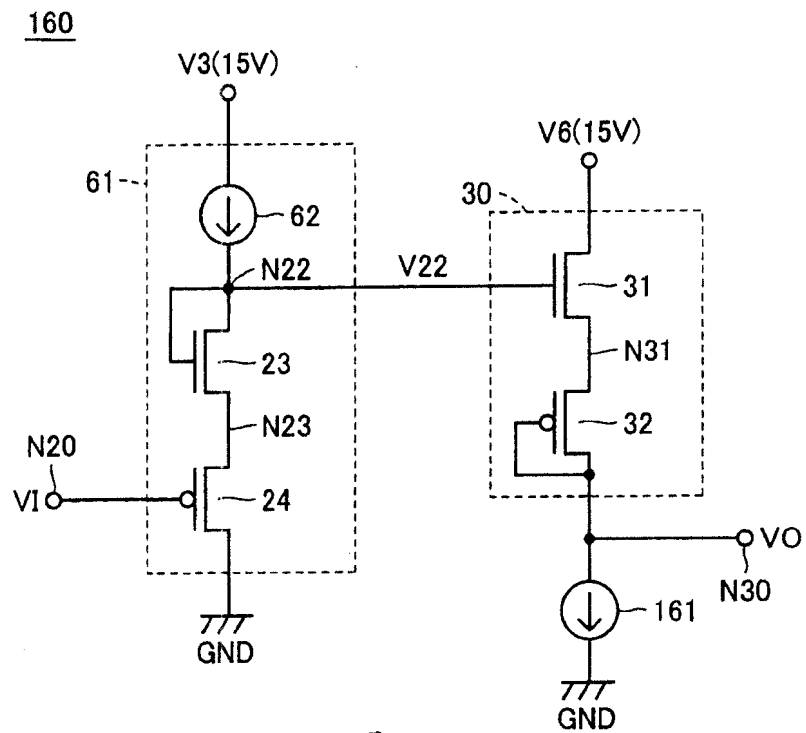


图 55

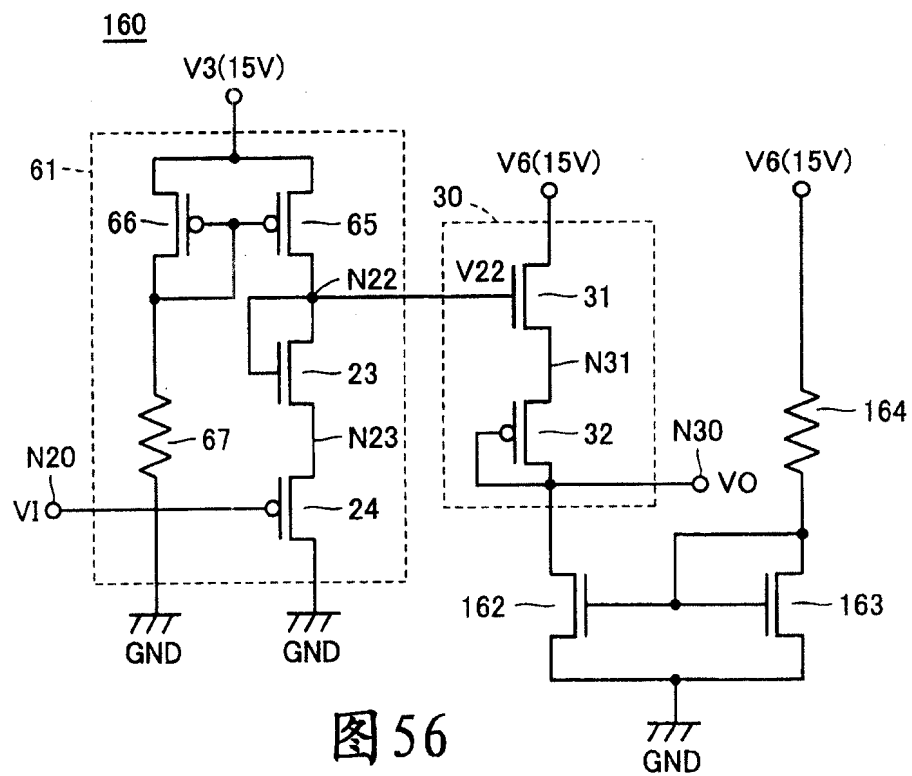
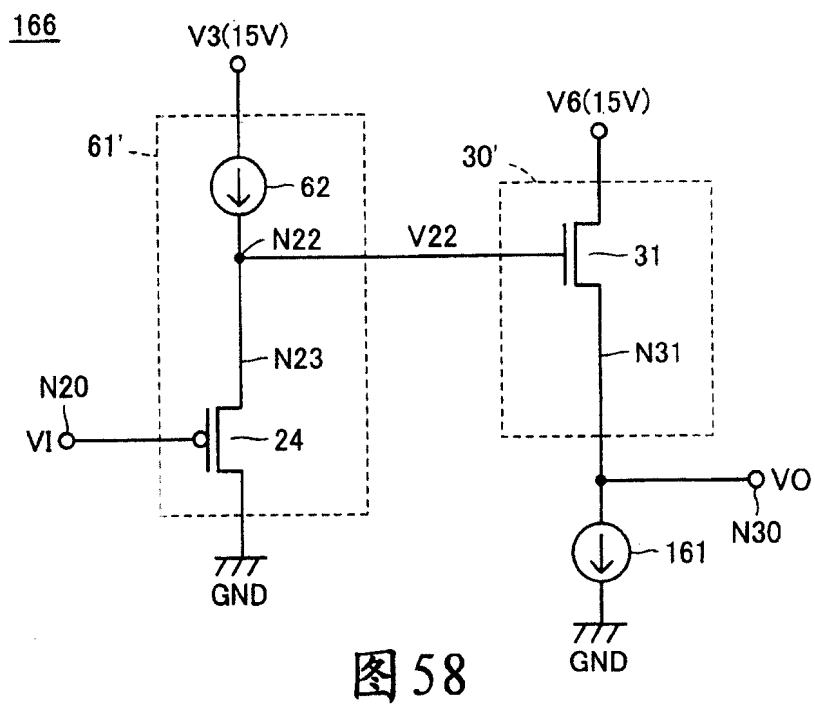
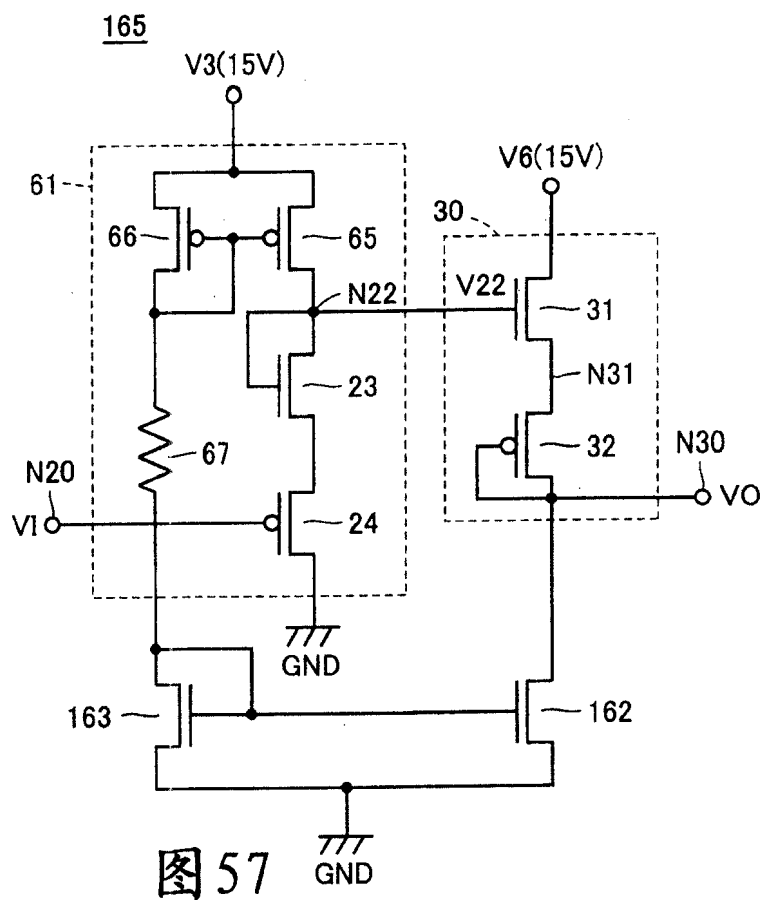


图 56



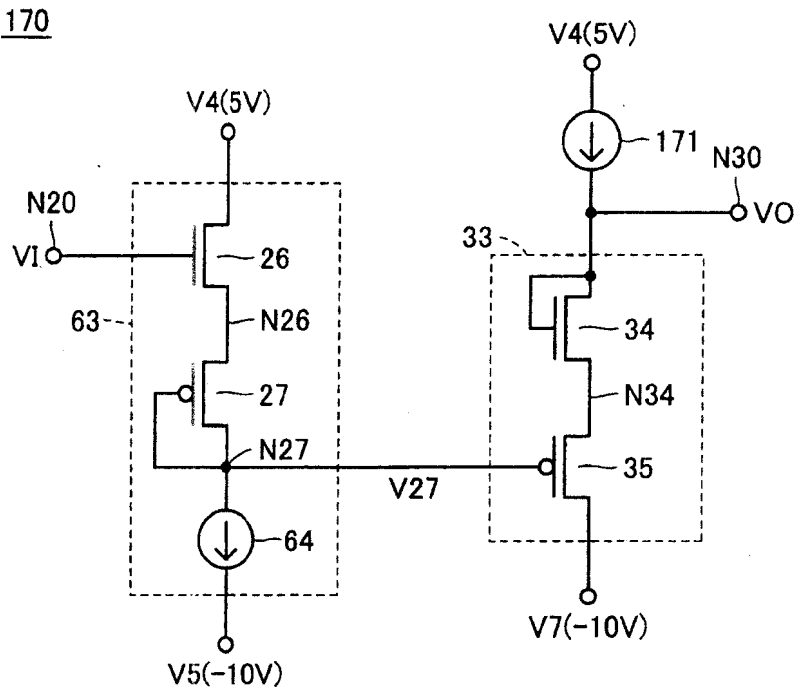


图 59

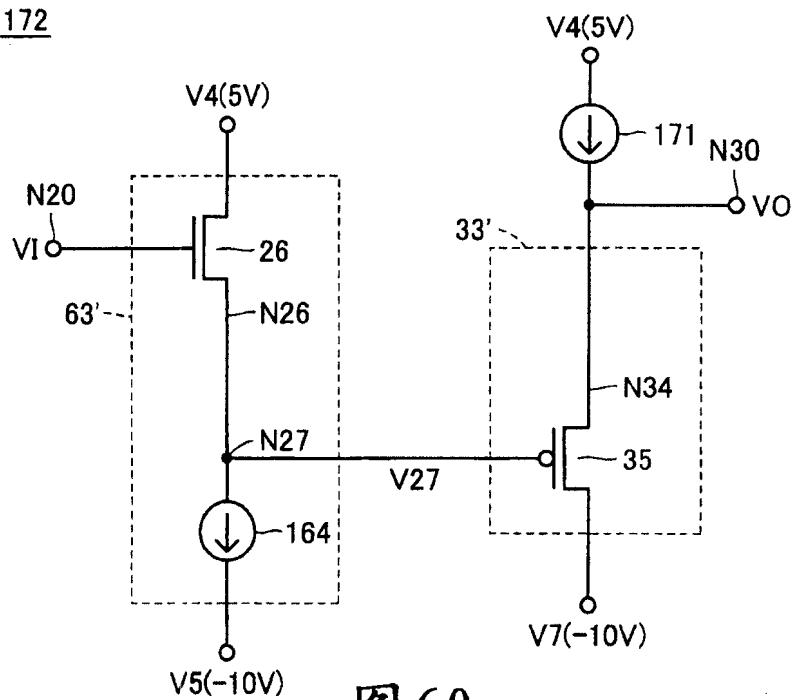


图 60

175

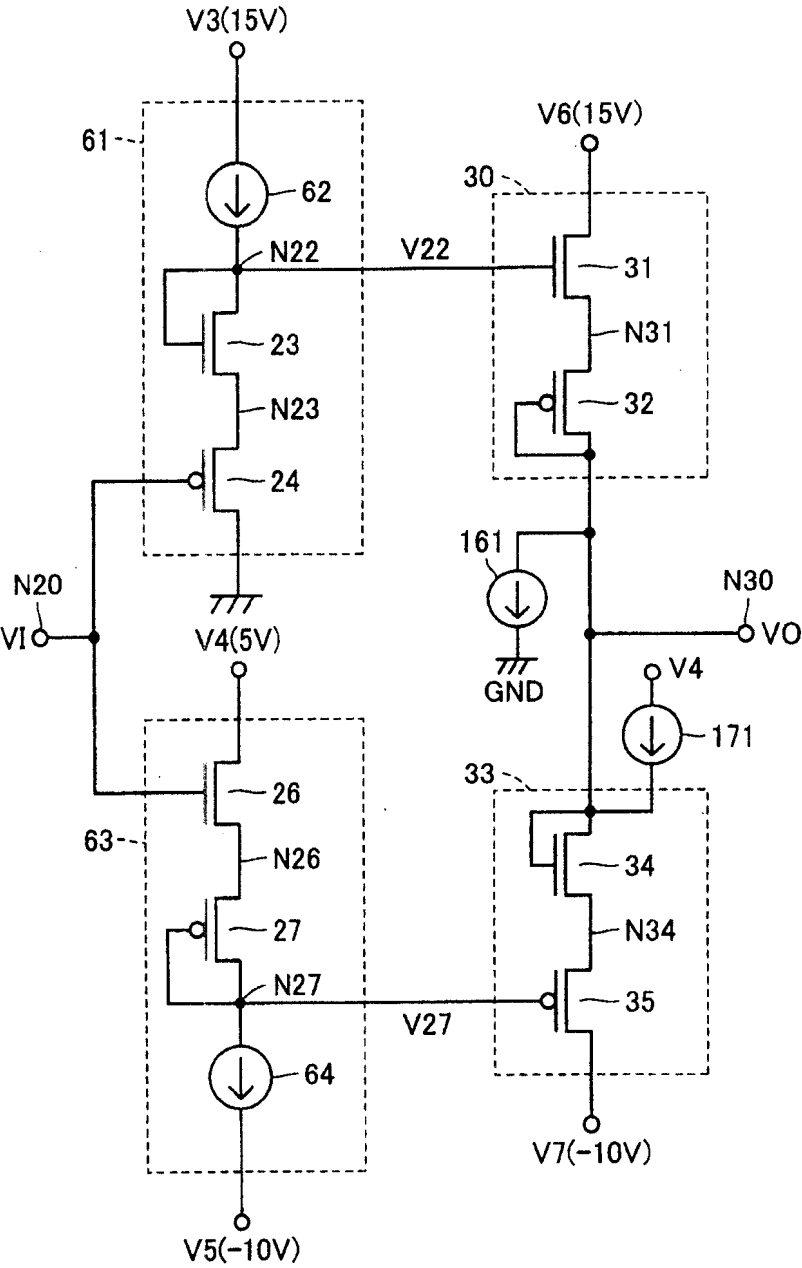


图 61

176

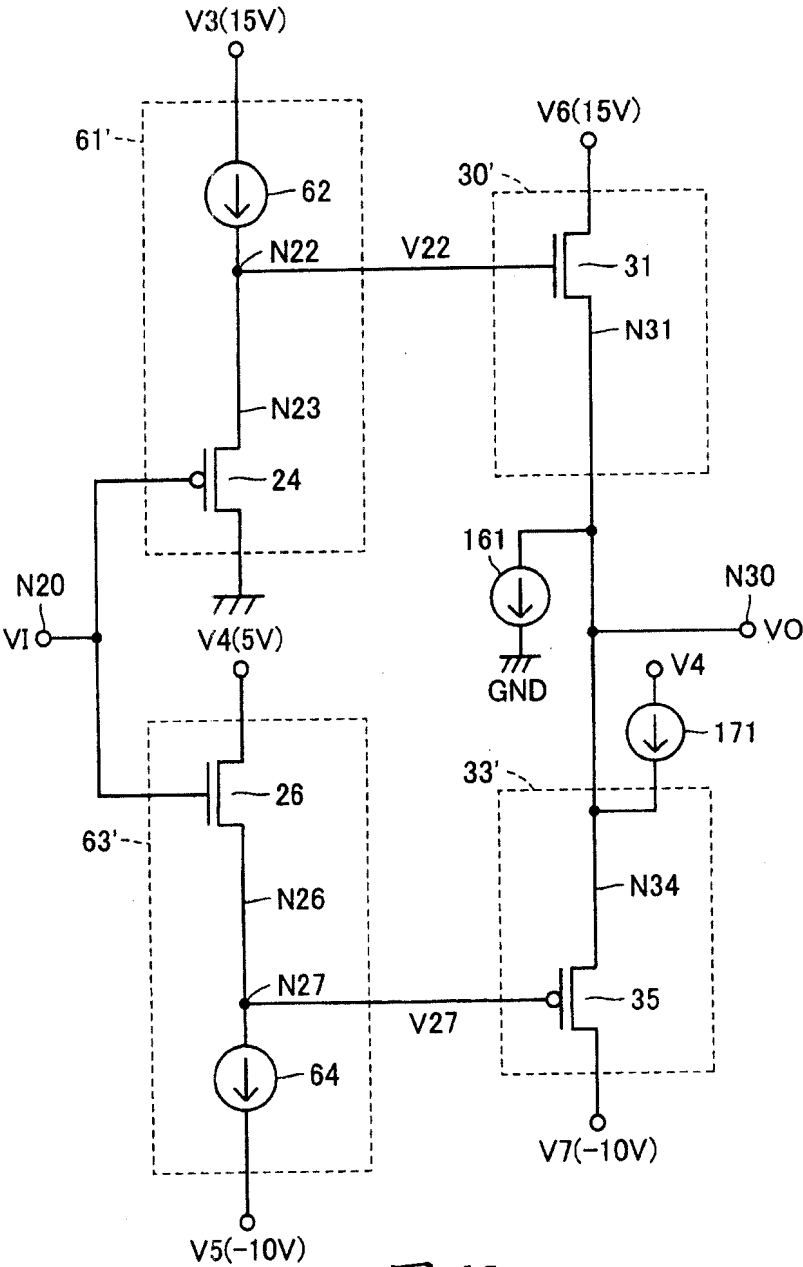


图 62

180

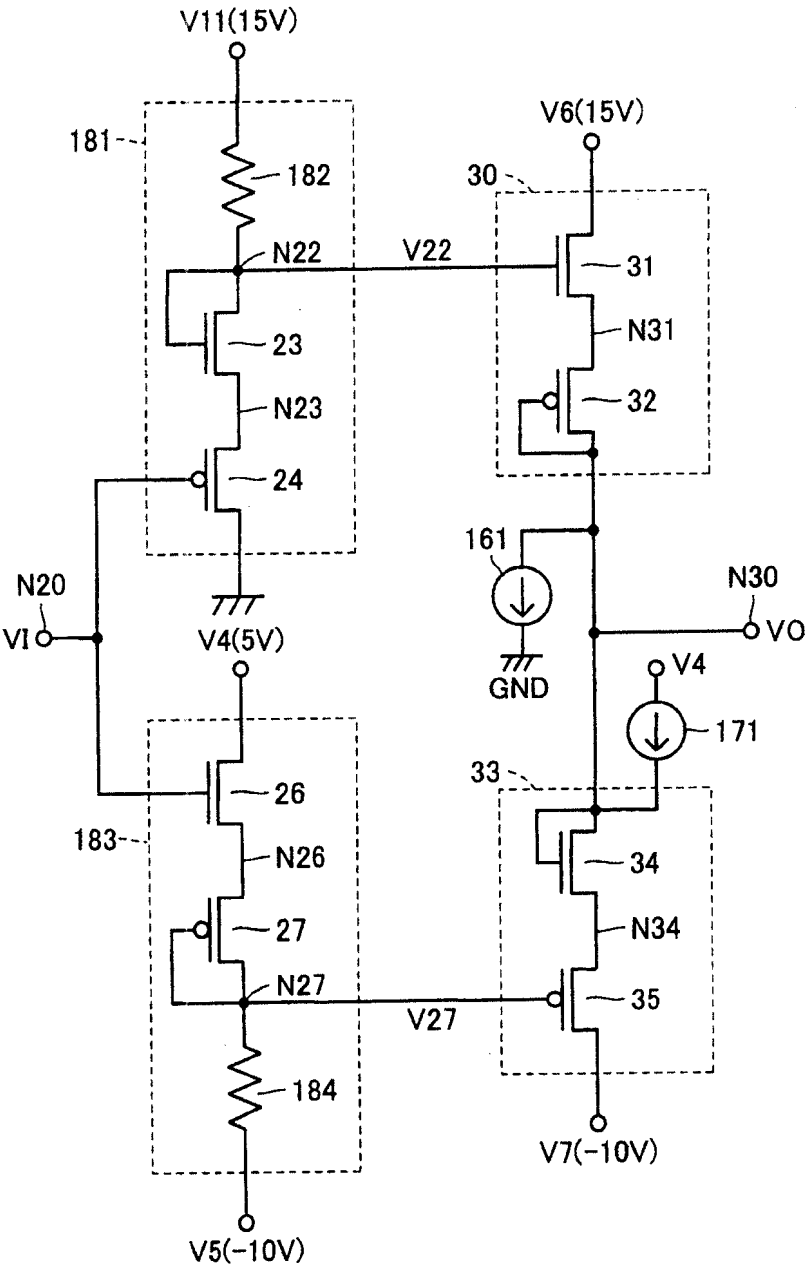


图 63

185

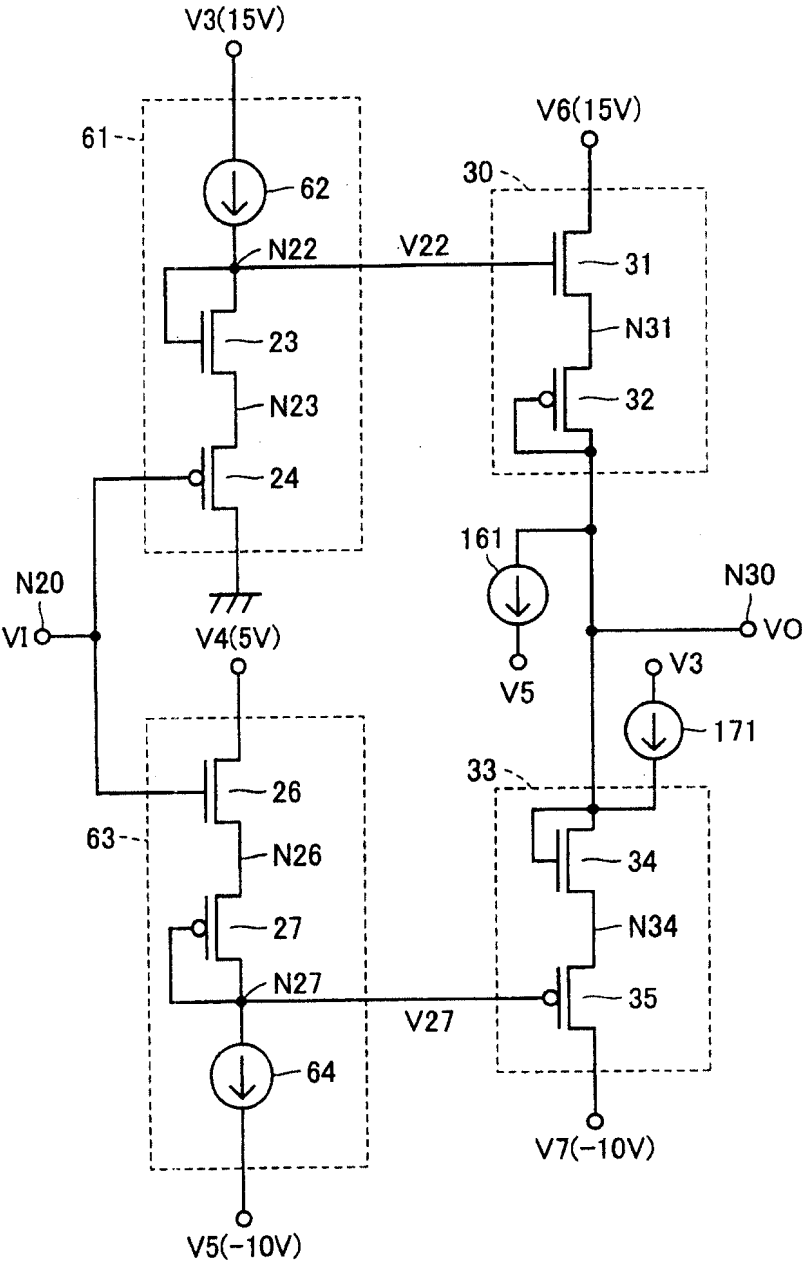


图 64

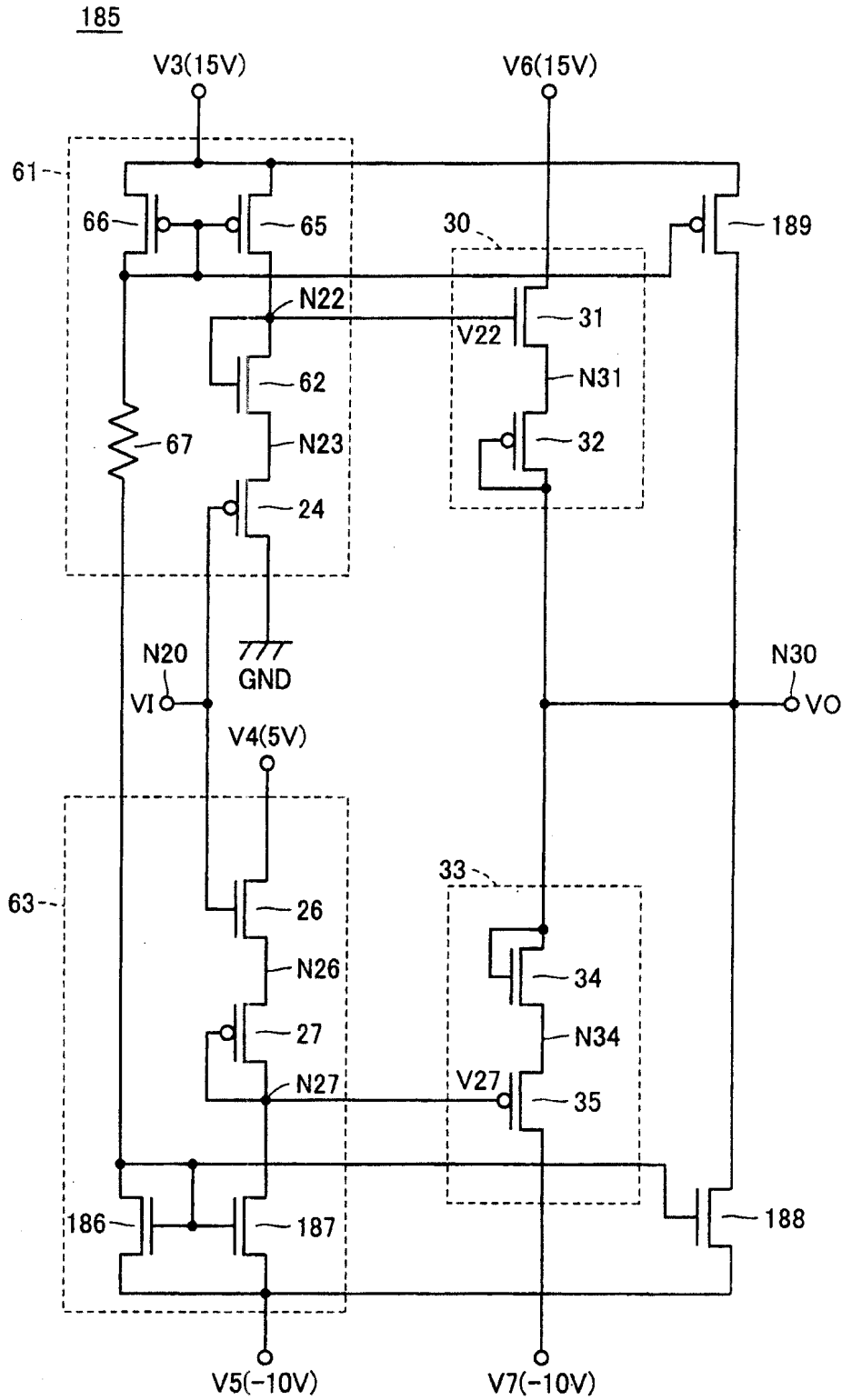


图 65

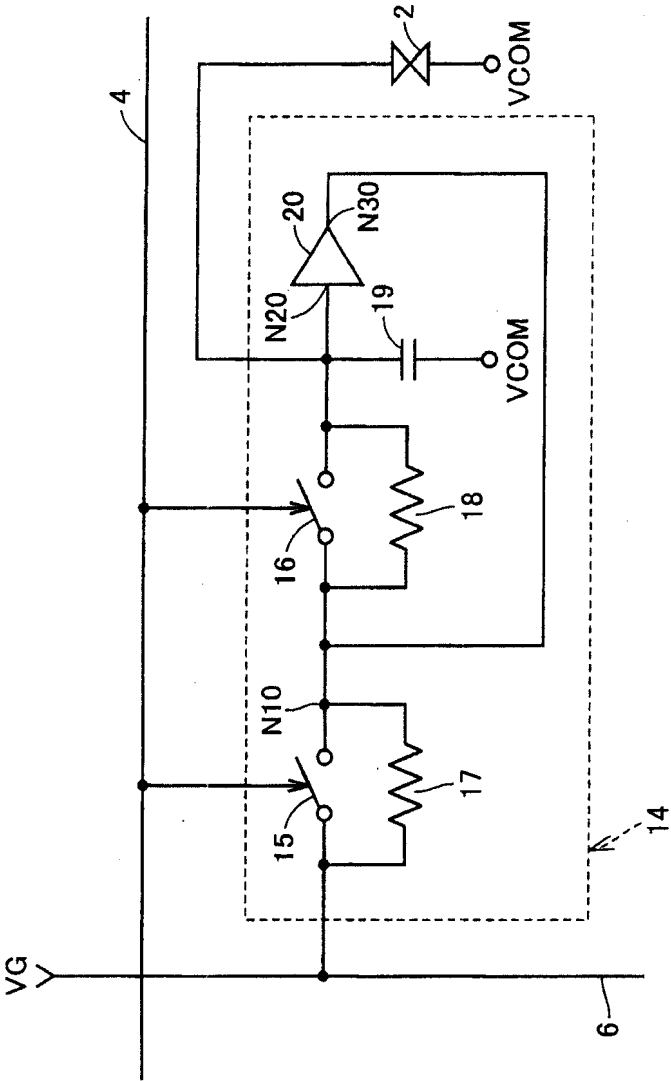


图 66

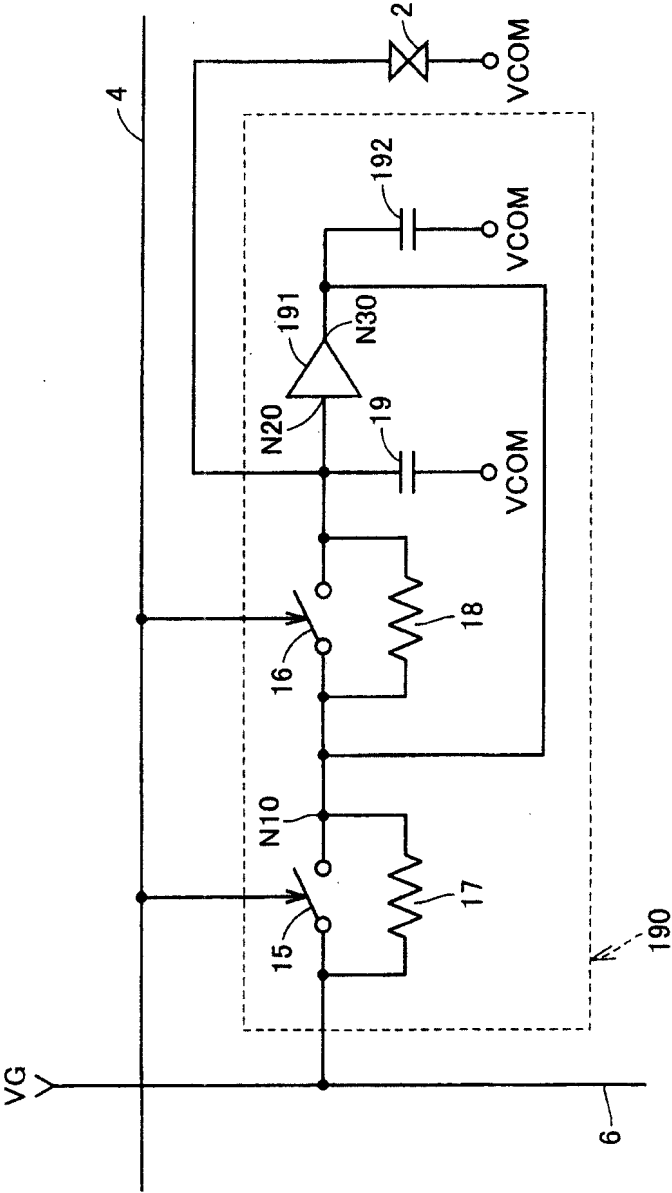


图67

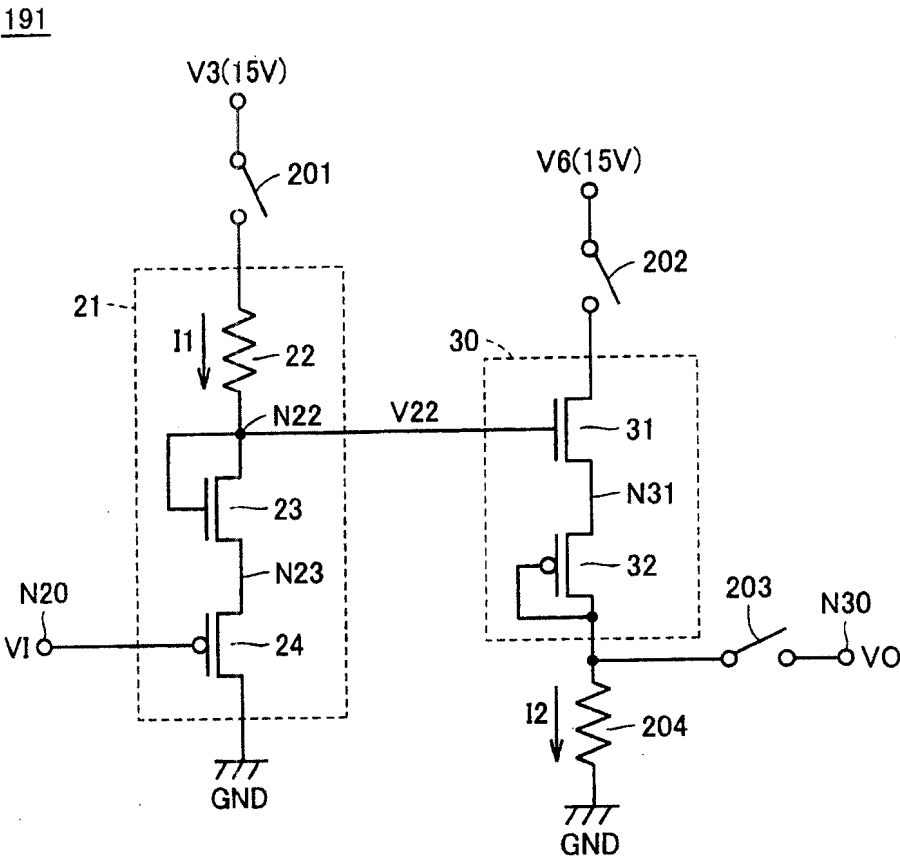


图 68

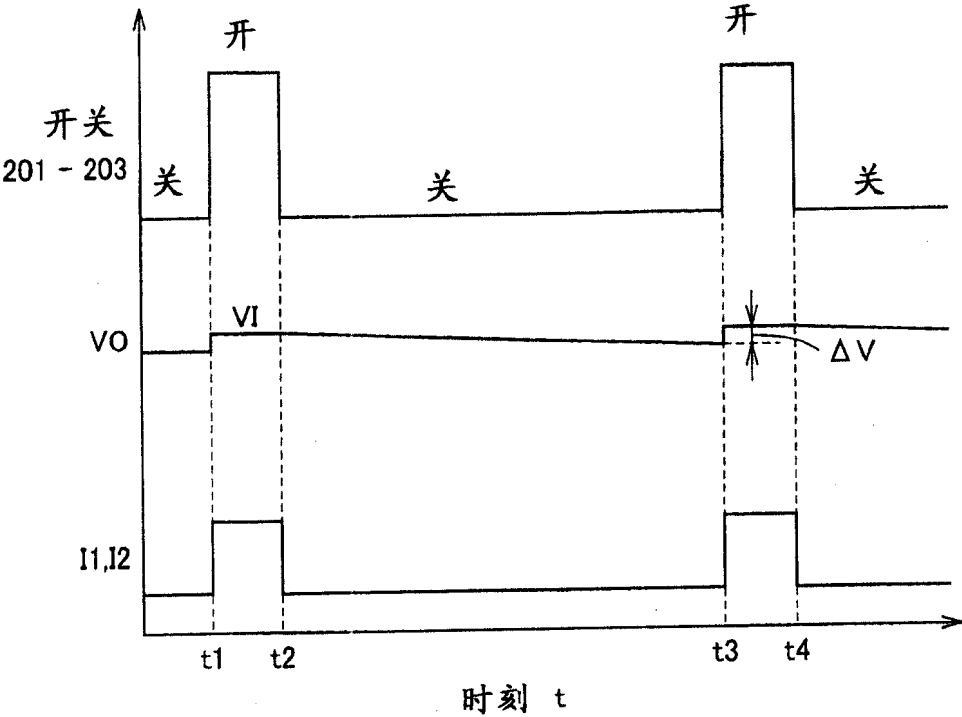


图69

205

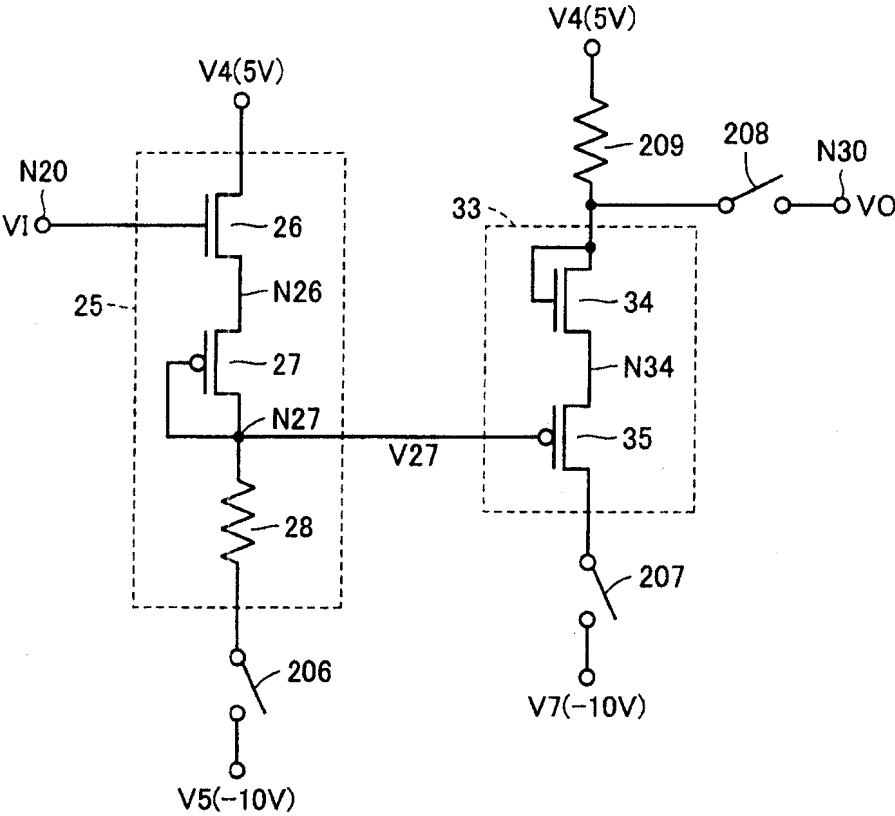


图 70

210

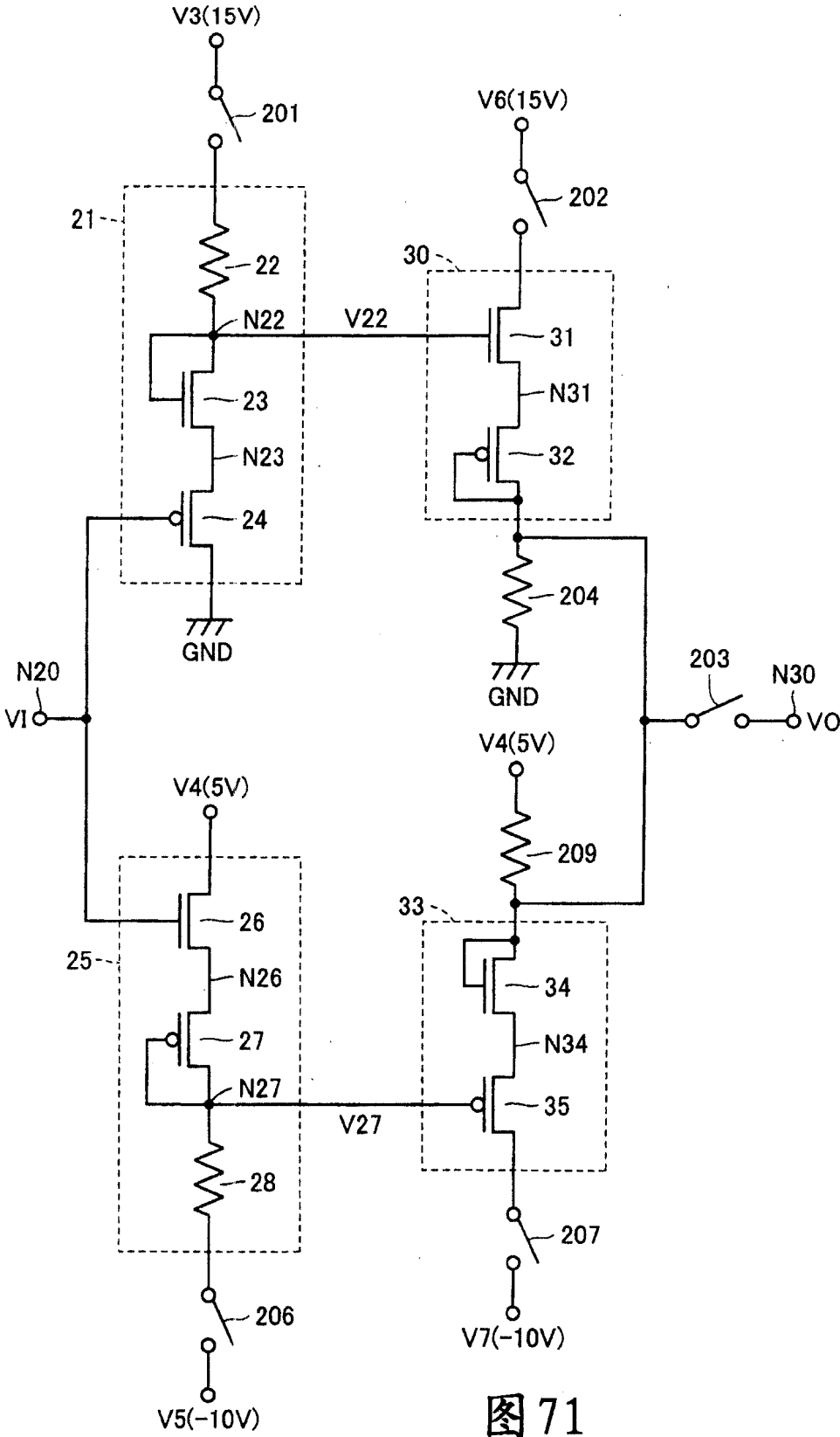


图 71

215

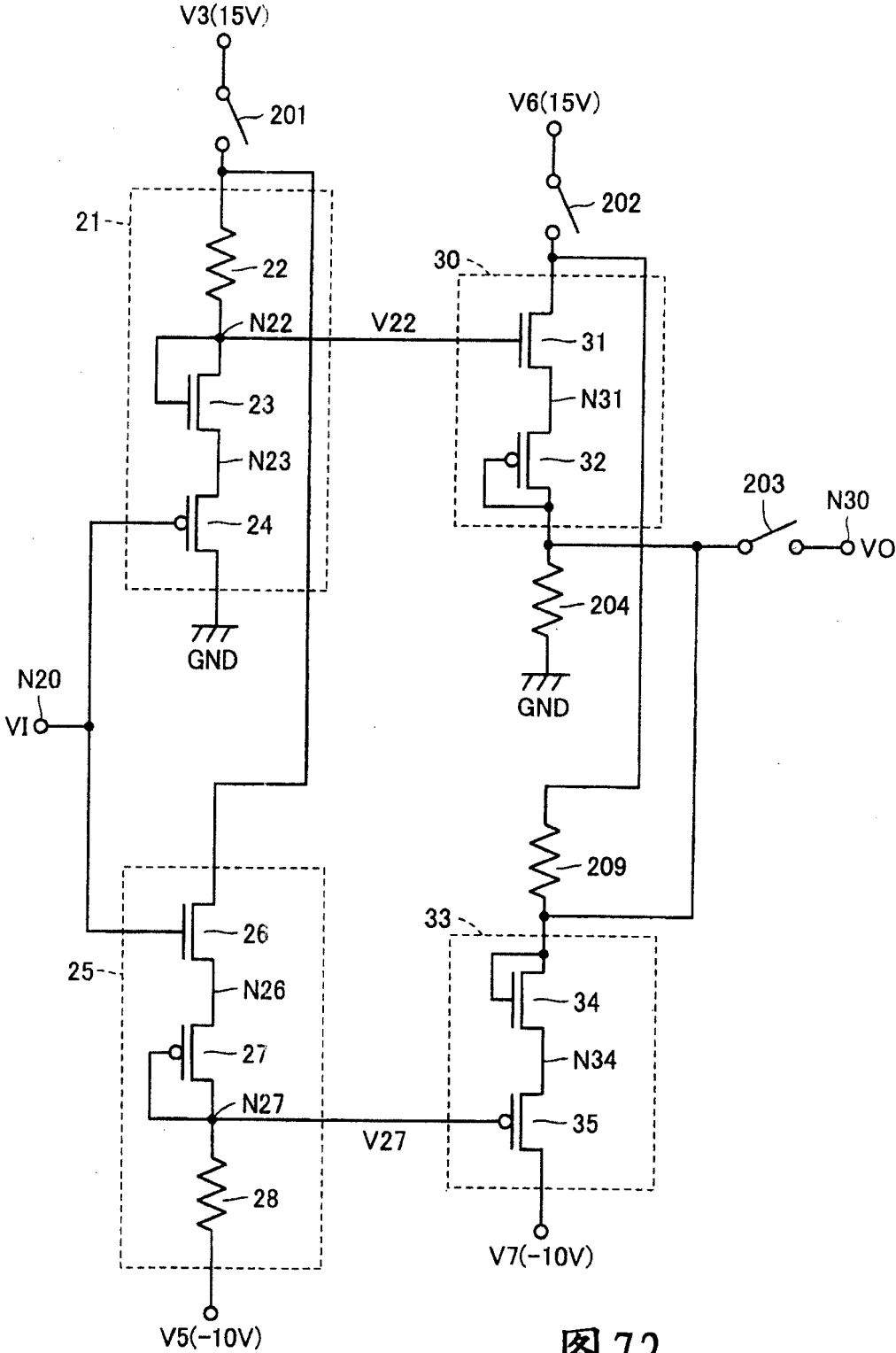


图 72

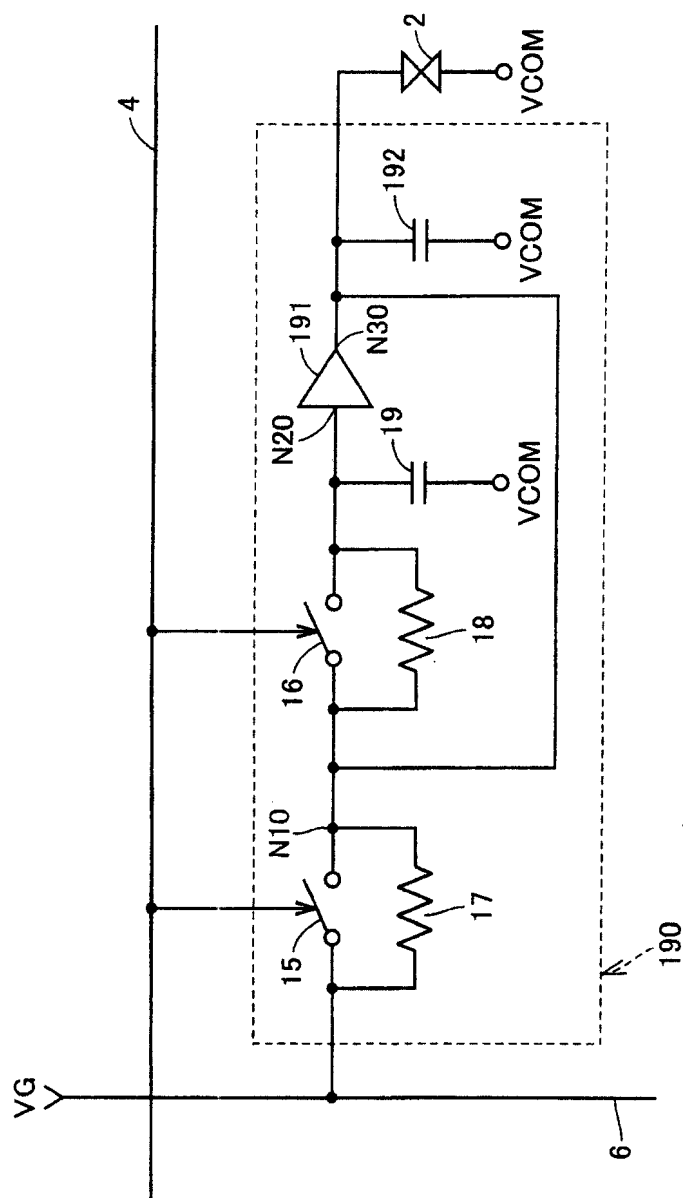


图 73

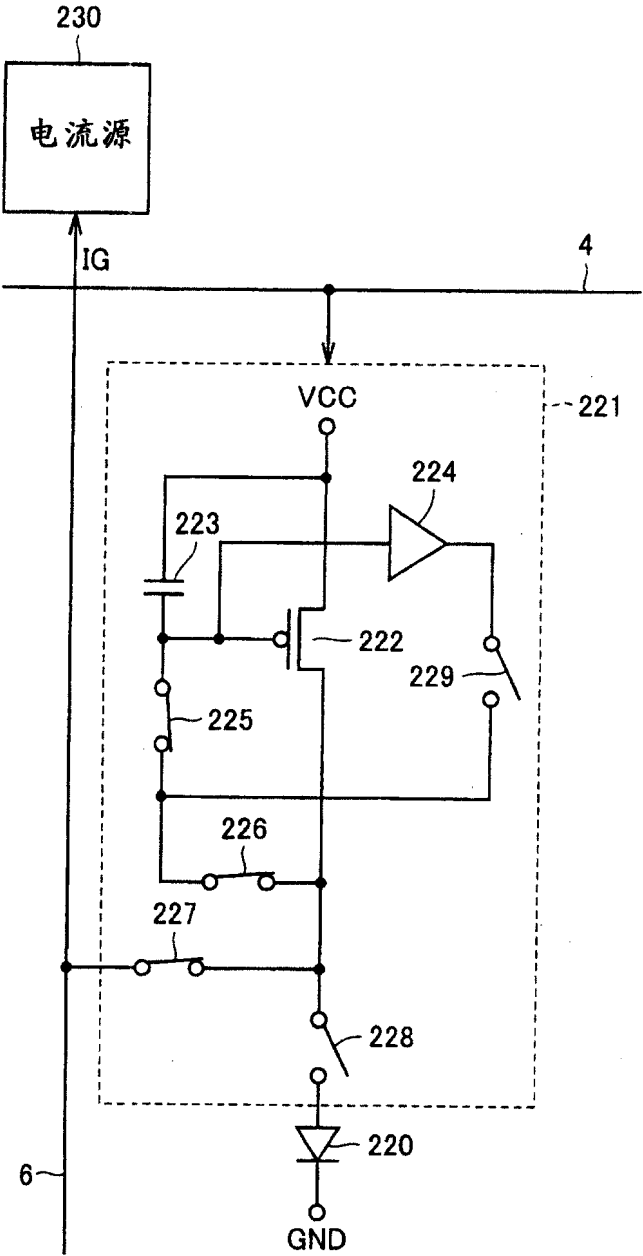


图 74

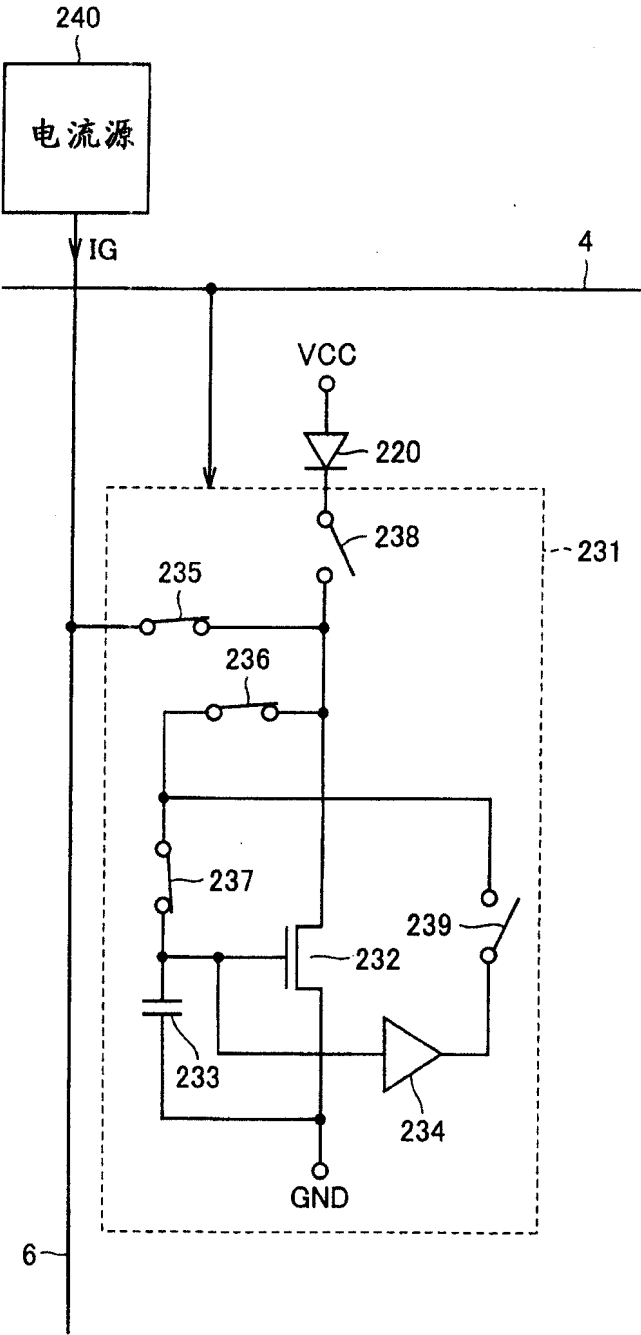


图 75

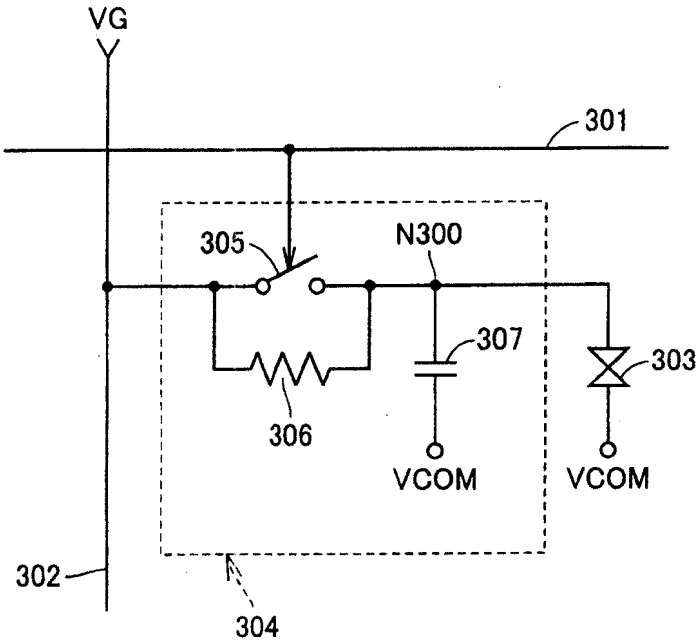


图 76

专利名称(译)	采样保持电路以及使用它的图像显示装置		
公开(公告)号	CN100375144C	公开(公告)日	2008-03-12
申请号	CN03801982.5	申请日	2003-06-27
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	飞田洋一		
发明人	飞田洋一		
IPC分类号	G09G3/36 G09G3/30 G02F1/133		
CPC分类号	G09G3/3688		
优先权	PCT/JP2002/011587 2002-11-06 WO PCT/JP2003/002757 2003-03-07 WO		
其他公开文献	CN1615506A		
外部链接	Espacenet SIPO		

摘要(译)

本发明的采样保持电路(14)包括：连接在数据线(6)和第1节点(N10)之间的第1开关(15)；连接在第1节点(N10)和第2节点(N20)之间的第2开关(16)；连接在第2节点(N20)和共用电位(VCOM)的线之间的电容器(19)；把与第2节点(N20)相等的电位施加给第1节点(N10)以及液晶单元(2)的一电极的驱动电路(20)。第1开关(15)以及第2开关(16)在扫描线(4)是“H”电平的情况下导通。

