

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G02F 1/133 (2006.01)
G09G 3/36 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610143546.8

[43] 公开日 2007 年 5 月 23 日

[11] 公开号 CN 1967326A

[22] 申请日 2006.11.10

[21] 申请号 200610143546.8

[71] 申请人 友达光电股份有限公司

地址 中国台湾新竹市

[72] 发明人 张立勋 陈静茹 林毓文 郑咏泽

[74] 专利代理机构 北京市柳沈律师事务所

代理人 吕晓章 李晓舒

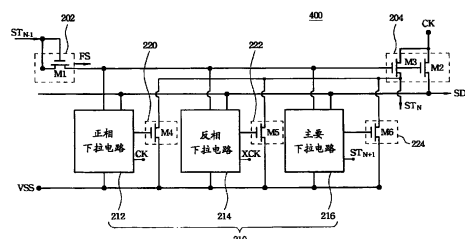
权利要求书 3 页 说明书 6 页 附图 5 页

[54] 发明名称

液晶显示装置的驱动电路

[57] 摘要

一种驱动电路，由一时序信号控制以驱动一液晶显示器的扫描线，且包含循序连接的驱动电路单元，其中每一个驱动电路单元均包括一输入单元、一输出单元、一下拉电路以及一控制单元。由输入单元接收一起始信号，并由输出单元输出一驱动信号及一进位信号，且由下拉电路及控制单元稳定输出的驱动信号及进位信号，避免电路的误动作。



1. 一种驱动电路, 由一时序信号控制以驱动一液晶显示器的多条扫描线, 且该驱动电路包含多个循序连接的驱动电路单元, 其中, 每一该些驱动电路单元包括:

一输入单元, 接收一启始信号以产生一第一信号;

一输出单元, 接收该时序信号以及该第一信号以输出一驱动信号以及一进位信号, 其中, 该时序信号更包括彼此相位相反的一正相时序信号以及一反相时序信号;

一下拉电路, 耦接该输出单元、该输入单元以及一电压源, 其中, 该下拉电路更包括:

一正相下拉电路, 接收该正相时序信号以控制该输出单元;

一反相下拉电路, 接收该反相时序信号以控制该输出单元; 以及

一主要下拉电路, 接收下一级驱动电路单元输出的进位信号以控制该输出单元;

以及

一控制单元, 耦接该下拉电路、该输出单元以及该电压源以控制该输出单元。

2. 如权利要求 1 所述的驱动电路, 其中, 该输出单元更包括:

一第一晶体管, 其中, 该第一晶体管的栅极端耦接该输入单元以接收该第一信号, 该第一晶体管的第一源漏极端接收该时序信号, 该第一晶体管的第二源漏极端输出该驱动信号; 以及

一第二晶体管, 其中, 该第二晶体管的栅极端耦接该输入单元以接收该第一信号, 该第二晶体管的第一源漏极端接收该时序信号, 该第二晶体管的第二源漏极端输出该进位信号以作为下一级驱动电路单元的启始信号。

3. 如权利要求 2 所述的驱动电路, 其中, 该控制单元更包括: 一第三晶体管, 其中, 该第三晶体管的栅极端耦接该正相下拉电路, 该第三晶体管的第一源漏极端耦接该第二晶体管的第二源漏极端, 该第三晶体管的第二源漏极端耦接该电压源。

4. 如权利要求 2 所述的驱动电路, 其中, 该控制单元更包括: 一第四晶体管, 其中, 该第四晶体管的栅极端耦接该反相下拉电路, 该第四晶体管的

第一源漏极端耦接该第二晶体管的第二源漏极端，该第四晶体管的第二源漏极端耦接该电压源。

5. 如权利要求 2 所述的驱动电路，其中，该控制单元更包括：一第五晶体管，其中，该第五晶体管的栅极端耦接该主要下拉电路，该第五晶体管的第一源漏极端耦接该第二晶体管的第二源漏极端，该第五晶体管的第二源漏极端耦接该电压源。

6. 如权利要求 2 所述的驱动电路，其中，该正相下拉电路耦接该第一及第二晶体管的栅极端、该第一晶体管的第二源漏极端、该输入单元以及该电压源。

7. 如权利要求 2 所述的驱动电路，其中，该反相下拉电路耦接该第一及第二晶体管的栅极端、该第一晶体管的第二源漏极端、该输入单元以及该电压源。

8. 如权利要求 2 所述的驱动电路，其中，该主要下拉电路耦接该第一及第二晶体管的栅极端、该第一晶体管的第二源漏极端、该输入单元以及该电压源。

9. 如权利要求 1 所述的驱动电路，其中，该输入单元更包括一晶体管，其中该晶体管的栅极端与第一源漏极端接收上一级驱动电路单元输出的进位信号以作为该启始信号，该晶体管的第二源漏极端输出该第一信号并耦接该输出单元。

10. 一种驱动电路，由一时序信号控制以驱动一液晶显示器的多条扫描线，且该驱动电路包含多个循序连接的驱动电路单元，其中，每一该些驱动电路单元包括：

一输入单元，接收一启始信号以产生一第一信号；

一输出单元，接收该时序信号以及该第一信号以输出一驱动信号以及一进位信号，其中该时序信号更包括彼此相位相反的一正相时序信号以及一反相时序信号；

一第一控制单元，耦接该输出单元、该输入单元以及一电压源，且根据该正相时序信号以控制该输出单元；

一第二控制单元，耦接该输出单元、该输入单元以及该电压源，且根据该反相时序信号以控制该输出单元；以及

一第三控制单元，耦接该输出单元、该输入单元以及该电压源，且根据

下一级驱动电路单元输出的进位信号以控制该输出单元。

11. 如权利要求 10 所述的驱动电路, 其中, 该输出单元更包括:

一第一晶体管, 其中, 该第一晶体管的栅极端耦接该输入单元以接收该第一信号, 该第一晶体管的第一源漏极端接收该时序信号, 该第一晶体管的第二源漏极端输出该驱动信号; 以及

一第二晶体管, 其中, 该第二晶体管的栅极端耦接该输入单元以接收该第一信号, 该第二晶体管的第一源漏极端接收该时序信号, 该第二晶体管的第二源漏极端输出该进位信号以作为下一级驱动电路单元的启始信号。

12. 如权利要求 11 所述的驱动电路, 其中, 该第一控制单元更包括:

一正相下拉电路, 接收该正相时序信号并耦接该第一及第二晶体管的栅极端、该第一晶体管的第二源漏极端、该输入单元以及该电压源; 以及

一第三晶体管, 其中, 该第三晶体管的栅极端耦接该正相下拉电路, 该第三晶体管的第一源漏极端耦接该第二晶体管的第二源漏极端, 该第三晶体管的第二源漏极端耦接该电压源。

13. 如权利要求 11 所述的驱动电路, 其中, 该第二控制单元更包括:

一反相下拉电路, 接收该反相时序信号并耦接该第一及第二晶体管的栅极端、该第一晶体管的第二源漏极端、该输入单元以及该电压源; 以及

一第四晶体管, 其中, 该第四晶体管的栅极端耦接该反相下拉电路, 该第四晶体管的第一源漏极端耦接该第二晶体管的第二源漏极端, 该第四晶体管的第二源漏极端耦接该电压源。

14. 如权利要求 11 所述的驱动电路, 其中, 该第三控制单元更包括:

一主要下拉电路, 接收该驱动信号并耦接该第一及第二晶体管的栅极端、该第一晶体管的第二源漏极端、该输入单元以及该电压源; 以及

一第五晶体管, 其中该第五晶体管的栅极端耦接该主要下拉电路, 该第五晶体管的第一源漏极端耦接该第二晶体管的第二源漏极端, 该第五晶体管的第二源漏极端耦接该电压源。

15. 如权利要求 10 所述的驱动电路, 其中, 该输入单元更包括一晶体管, 其中, 该晶体管的栅极端与第一源漏极端接收上一级驱动电路单元输出的进位信号以作为该启始信号, 该晶体管的第二源漏极端输出该第一信号并耦接该输出单元。

液晶显示装置的驱动电路

技术领域

本发明涉及一种驱动电路，且特别涉及一种液晶显示装置的驱动电路。

背景技术

近年来科技产业发达，各类电子产品更是日新月异。其中，由于液晶显示器具有薄型化、低耗电，以及能与半导体制程技术兼容等优点，已经在短的时间内扩及各范围的应用层面，甚至已经成为平面显示器的主流。而在液晶显示器中，驱动电路往往是画面显示重要的关键技术之一。因此，如何将驱动电路加以改善已成为亟待解决的问题。

在近来发展的液晶显示器的驱动电路中，其作法是在玻璃基板上制造一包含多个驱动电路单元的驱动电路，并利用这些驱动电路单元依序输出驱动信号至扫描线中，如此便可取代使用一般的驱动集成电路，进而节省使用驱动集成电路的昂贵成本。此外，更将输出的驱动信号传送至下一级的驱动电路单元作为启始信号，并且将输出的驱动信号反馈至前级的驱动电路单元，藉以释放电路中的累积电荷，并稳定输出的驱动信号。然而，这样却会造成输出的驱动信号所需传送的负载过多，而导致输出的驱动信号不正确的情形。

现有的作法是设计每一级驱动电路单元另外输出一进位信号，以作为下一级驱动电路单元的启始信号，并且反馈至前级的驱动电路单元，藉以释放电路中的累积电荷，并稳定输出的驱动信号。但是，由于输出的进位信号会受到信号耦合效应的影响，使得输出的进位信号不如预期的正确，而造成电路产生误动作的情形。

因此，有必要提出一种驱动电路，可稳定地输出进位信号，藉以避免电路的误动作。

发明内容

本发明的目的是在提供一种驱动电路，以避免电路发生误动作的情形。

根据本发明的上述目的，提出一种驱动电路。依照本发明一实施例，此

驱动电路由一时序信号控制以驱动一液晶显示器的多条扫描线，且此驱动电路包含多个循序连接的驱动电路单元，其中每一个驱动电路单元包括一输入单元、一输出单元、一下拉电路以及一控制单元。

输入单元接收一启始信号，以产生一第一信号。而输出单元接收时序信号及第一信号，以输出一驱动信号及一进位信号。下拉电路则耦接输出单元、输入单元以及一电压源，并包括一正相下拉电路、一反相下拉电路以及一主要下拉电路。正相下拉电路用于接收正相时序信号以控制输出单元，反相下拉电路则是接收反相时序信号以控制输出单元，而主要下拉电路则接收下一级进位信号以控制输出单元。另外，控制单元耦接下拉电路、输出单元以及电压源以控制输出单元。

因此，藉由此驱动电路可稳定输出的驱动信号以及进位信号，并避免输出的信号受到耦合效应的影响，进而造成整体电路的误动作。

附图说明

为了让本发明的上述和其它目的、特征、优点与实施例能更明显易懂，附图的详细说明如下：

图 1，示出了依照本发明一实施例的一种液晶显示面板的示意图。

图 2 示出了依照本发明一第一实施例的一种驱动电路单元结构的示意图。

图 3 示出了依照本发明一第二实施例的一种驱动电路单元结构的示意图。

图 4 示出了依照本发明一第三实施例的一种驱动电路单元结构的示意图。

图 5 示出了依照本发明一实施例的一种驱动电路单元中动作的时序图。

附图符号说明

100: 驱动电路	210: 下拉电路
102、200、300、400: 驱动电路单元	212: 正相下拉电路
202: 输入单元	214: 反相下拉电路
204: 输出单元	216: 主要下拉电路
SD _N : 第 N 级驱动信号	220、222、224: 控制单元
ST _N : 第 N 级进位信号	FS: 第一信号

CK: 正相时序信号

M1 ~ M6: 晶体管

XCK: 反相时序信号

VSS: 电压源

具体实施方式

本发明是提供一种驱动电路，以避免因耦合效应造成电路的误动作。

请参照图 1，示出了依照本发明一实施例的一种液晶显示面板的示意图。其中，依照本实施例的驱动电路 100 包含多个循序连接的驱动电路单元 102，其中每一个驱动电路单元 102 的结构均相同。而此驱动电路 100 更由一时序信号控制，以驱动一液晶显示器的多条扫描线，其中，时序信号又分为一正相时序信号 CK 及一反相时序信号 XCK，且两信号彼此相位相反。其中，任相邻的两驱动电路单元 102，其中之一接收正相时序信号 CK，另一则接收反相时序信号 XCK。根据一实施例，若第 N 级的驱动电路单元接收正相时序信号 CK，第 (N+1) 级和第 (N-1) 级的驱动电路单元则接收反相时序信号 XCK。

请参照图 2，示出了依照本发明一第一实施例的一种驱动电路单元结构的示意图。在本实施例中，以第 N 级的驱动电路单元 200 为例。此驱动电路单元 200 包括一输入单元 202、一输出单元 204、一下拉电路 210 以及一控制单元 220，其中，下拉电路 210 更包括一正相下拉电路 212、一反相下拉电路 214 以及一主要下拉电路 216。在以第 N 级驱动电路单元 200 为例的本实施例中，输出单元 204 用于接收正相时序信号 CK，并输出本级，即第 N 级，的一驱动信号 SD_N 至扫描线中，以及输出一进位信号 ST_N 至下一级，即第 (N+1) 级，的驱动电路单元，用于作为下一级的驱动信号。而输入单元 202 用于接收由前级，即第 (N-1) 级，驱动电路单元所输出的进位信号 ST_{N-1} ，并将其作为本级，即第 N 级，的一驱动信号，且输入单元 202 与输出单元 204 耦接，并产生一第一信号 FS 传送至输出单元 204 中。另外，下拉电路 210 中的正相下拉电路 212、反相下拉电路 214 以及主要下拉电路 216，均与输入单元 202、输出单元 204 以及一电压源 VSS 耦接，其中，正相下拉电路 212 接收正相时序信号 CK 以控制输出单元 204，反相下拉电路 214 接收反相时序信号 XCK 以控制输出单元 204，而主要下拉电路 216 则接收下一级驱动电路单元所输出的进位信号 ST_{N+1} 以控制输出单元 204。而控制单元 220 则是耦接下拉电路 210 中的正相下拉电路 212、输出单元 204 以及电压源 VSS 以控制输出单元 204。

根据本实施例，输入单元 202 包含一晶体管 M1，其中晶体管 M1 的栅极

端与第一源漏极端均接收由前级，即第 $(N-1)$ 级，驱动电路单元所输出的进位信号 ST_{N-1} ，而其第二源漏极端用于产生第一信号 FS，并传送至输出单元 204 中。而输出单元 204 包含一晶体管 M2 及一晶体管 M3，其中晶体管 M2 及 M3 的栅极端均耦接晶体管 M1 的第二源漏极端，并接收第一信号 FS，且晶体管 M2 及 M3 的第一源漏极端均用于接收正相时序信号 CK。而晶体管 M2 的第二源漏极端输出本级，即第 N 级，的驱动信号 SD_N 至扫描线中，而晶体管 M3 的第二源漏极端输出本级，即第 N 级，的进位信号 ST_N 至下一级，即第 $(N+1)$ 级驱动电路单元作为驱动信号。

另外，下拉电路 210 中的正相下拉电路 212、反相下拉电路 214 以及主要下拉电路 216，均与晶体管 M1 的第二源漏极端、晶体管 M2 及 M3 的栅极端、晶体管 M2 的第二源漏极端以及电压源 VSS 耦接。其中，正相下拉电路 212 根据正相时序信号 CK 来稳定本级驱动信号 SD_N ，反相下拉电路 214 根据反相时序信号 XCK 来稳定本级驱动信号 SD_N ，而主要下拉电路 216 则根据下一级驱动电路单元所输出的进位信号 ST_{N+1} 来稳定本级驱动信号 SD_N 。而控制单元 220 包含一晶体管 M4，其中，晶体管 M4 的栅极端耦接正相下拉电路 212，而其第一源漏极端与晶体管 M3 的第二源漏极端耦接，其第二源漏极端耦接电压源 VSS。

以下将说明在本实施例中，驱动电路单元 200 的动作情形。图 5 示出了依照本发明一实施例的一种驱动电路单元中动作的时序图。请同时参照图 2 与图 5，且以第 N 级驱动电路单元 200 为例。在时间 t_1 时，由前级，即第 $(N-1)$ 级驱动电路单元所输出的进位信号 ST_{N-1} 为高电平状态。其中，此进位信号 ST_{N-1} 同时传送至晶体管 M1 的栅极端及第一源漏极端，藉以开启晶体管 M1，并通过晶体管 M1，将第一源漏极端接收的进位信号 ST_{N-1} 传送至第二源漏极端，以作为第一信号 FS，并传送至晶体管 M2 及 M3。

接着在时间 t_2 时，正相时序信号 CK 由低电平状态切换成高电平状态，并传送至晶体管 M2 及 M3 的第一源漏极端。因晶体管 M2 及 M3 的栅极端均接收第一信号 FS，致使晶体管 M2 及 M3 被开启，而由晶体管 M2 输出正相时序信号 CK，作为本级，即第 N 级的驱动信号 SD_N ，以驱动液晶显示器中的扫描线，且晶体管 M3 亦输出正相时序信号 CK，作为本级，即第 N 级的进位信号 ST_N ，以传送至下一级，即第 $(N+1)$ 级驱动电路单元作为驱动信号。

接着在时间 t_3 时，其中，第 $(N+1)$ 级驱动电路单元因接收本级，即第 N

级驱动电路单元所输出的进位信号 ST_N 而产生的进位信号 ST_{N+1} ，会被反馈至第 N 级驱动电路单元中的主要下拉电路 216，使得主要下拉电路 216 动作，以释放电路中 Q 节点的累积电荷，并且稳定驱动信号 SD_N ，解决驱动信号 SD_N 因过多负载而造成的信号延迟，以避免电路的误动作。

此外，由于控制单元 220 中的晶体管 M4 与正相下拉电路 212 耦接，所以当正相时序信号 CK 对正相下拉电路 212 作触发时，正相下拉电路 212 会因此动作，且晶体管 M4 也会因此被开启，藉以稳定晶体管 M3 所输出的本级进位信号 ST_N ，解决进位信号 ST_N 因信号耦合效应而遭致信号干扰的问题。如此一来，即可避免因遭受信号耦合效应影响而造成电路的误动作。

请参照图 3，示出了依照本发明一第二实施例的一种驱动电路单元结构的示意图。其中，第二实施例与第一实施例最大的不同处在于反相下拉电路 214 亦耦接另一控制单元 222，且此控制单元 222 也耦接输出单元 204 以及电压源 VSS，并用于控制输出单元 204。控制单元 222 包含一晶体管 M5，其中晶体管 M5 的栅极端耦接反相下拉电路 214，其第一源漏极端与晶体管 M3 的第二源漏极端耦接，其第二源漏极端则耦接电压源 VSS。

另外，本实施例的动作情形与第一实施例的动作情形大致相同。其中，最大的不同处在于由于控制单元 222 中的晶体管 M5 与反相下拉电路 214 耦接，所以当反相时序信号 XCK 对反相下拉电路 214 作触发时，反相下拉电路 214 会因此动作，且晶体管 M5 也会因此被开启，藉以稳定晶体管 M3 所输出的本级进位信号 ST_N ，解决进位信号 ST_N 因信号耦合效应而遭致信号干扰的问题。如此一来，亦可避免因遭受信号耦合效应影响而造成电路的误动作。

请参照图 4，示出了依照本发明一第三实施例的一种驱动电路单元结构的示意图。其中，第三实施例与第二实施例最大的不同处在于主要下拉电路 216 亦耦接另一控制单元 224，且此控制单元 224 也耦接输出单元 204 以及电压源 VSS，并用于控制输出单元 204。控制单元 224 包含一晶体管 M6，其中，晶体管 M6 的栅极端耦接主要下拉电路 216，其第一源漏极端与晶体管 M3 的第二源漏极端耦接，其第二源漏极端则耦接电压源 VSS。

另外，本实施例的动作情形与第二实施例的动作情形大致相同。其中，最大的不同处在于由于控制单元 224 中的晶体管 M6 与主要下拉电路 216 耦接，所以当主要下拉电路 216 接收下一级驱动电路单元所输出的进位信号 ST_{N+1} 而被触发时，主要下拉电路 216 会因此动作，且晶体管 M6 也会因此被开启，

藉以稳定晶体管 M3 所输出的本级进位信号 ST_n , 解决进位信号 ST_n 因信号耦合效应而遭致信号干扰的问题。如此一来, 亦可避免因遭受信号耦合效应影响而造成电路的误动作。

除了上述所有实施例之外, 驱动电路单元亦可仅包含耦接反相下拉电路 114 的晶体管 M5 或耦接主要下拉电路 116 的晶体管 M6, 或是包含任两晶体管, 例如仅包含晶体管 M4 及 M6, 或晶体管 M5 及 M6。上述揭露的实施例并非用于限定本发明, 任何所属技术领域中具有通常知识者, 在不脱离本发明的精神和范围内, 当可作各种的更动与润饰。

因此, 由上述本发明的实施例可知, 应用本发明可稳定输出的进位信号, 减少信号耦合效应对电路的影响, 以避免电路的误动作。

虽然本发明已以实施例揭露如上, 然其并非用于限定本发明, 任何所属技术领域中具有通常知识者, 在不脱离本发明的精神和范围内, 当可作各种的更动与润饰, 因此本发明的保护范围当视申请的专利范围所界定者为准。

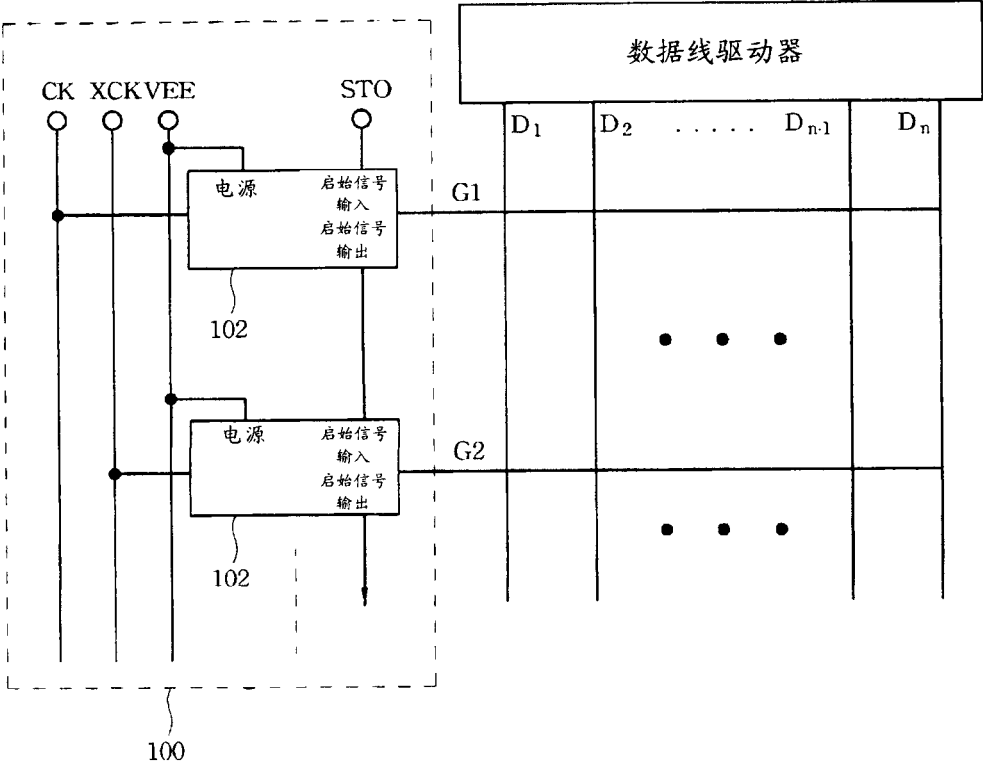
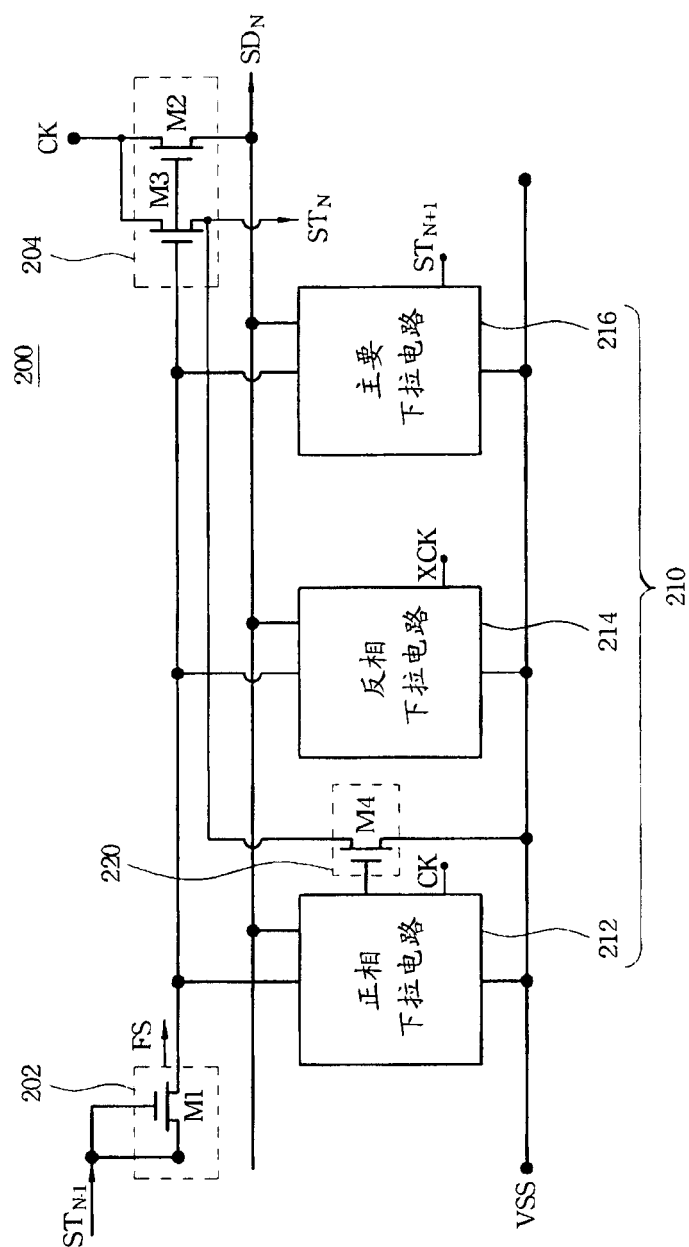


图 1



2

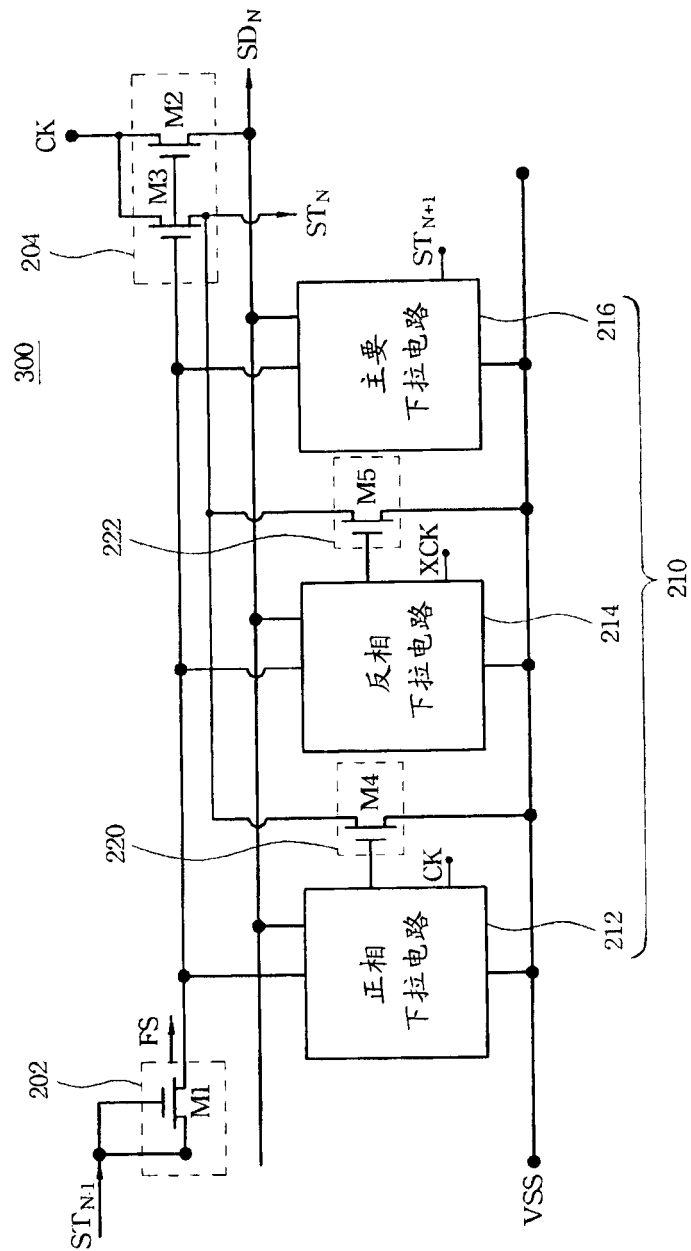


图 3

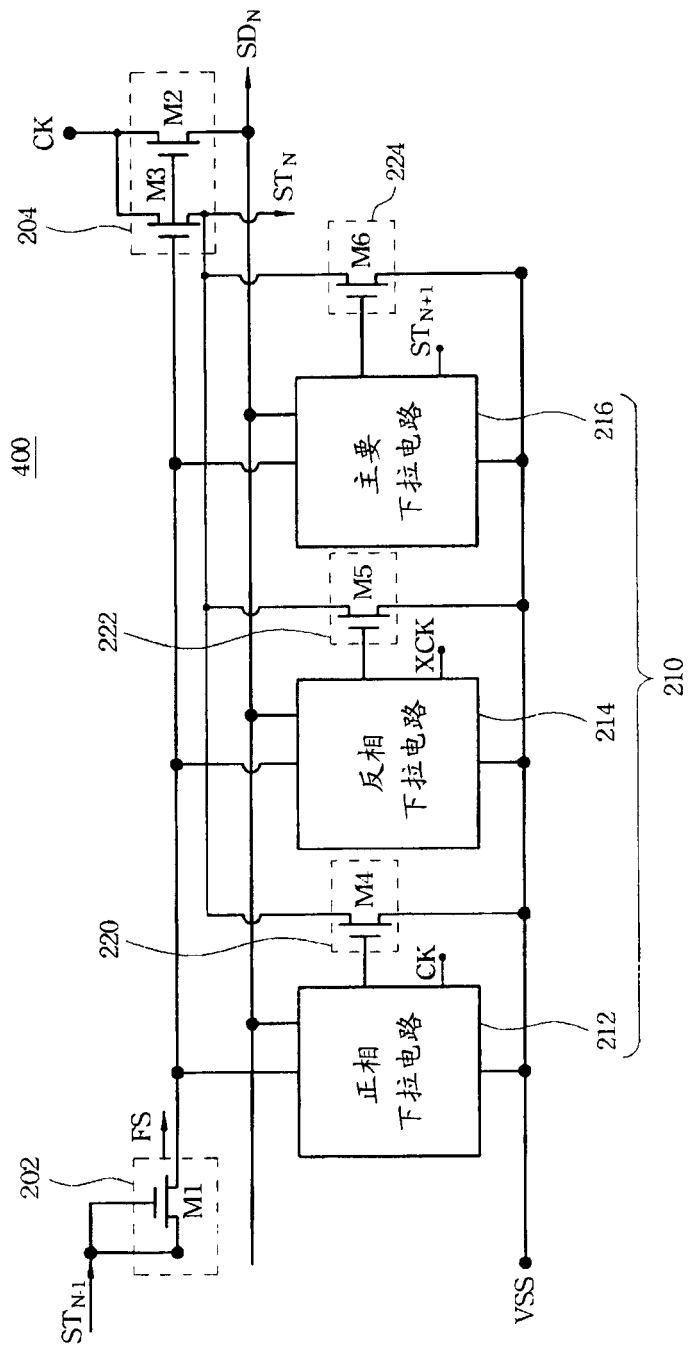


图 4

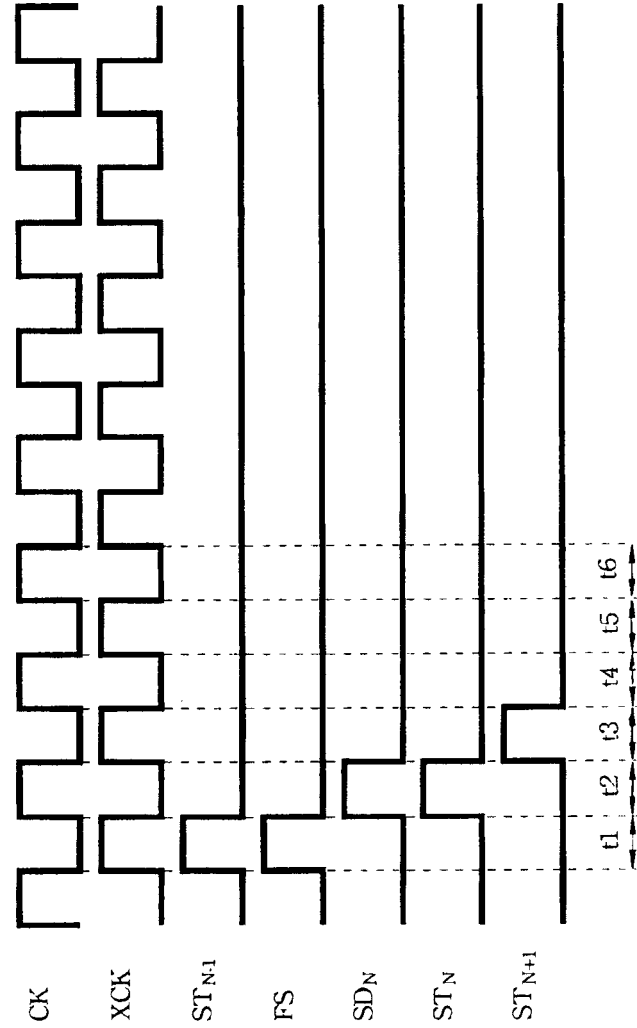


图 5

专利名称(译)	液晶显示装置的驱动电路		
公开(公告)号	CN1967326A	公开(公告)日	2007-05-23
申请号	CN200610143546.8	申请日	2006-11-10
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	张立勋 陈静茹 林毓文 郑咏泽		
发明人	张立勋 陈静茹 林毓文 郑咏泽		
IPC分类号	G02F1/133 G09G3/36		
代理人(译)	李晓舒		
其他公开文献	CN100483199C		
外部链接	Espacenet SIPO		

摘要(译)

一种驱动电路，由一时序信号控制以驱动一液晶显示器的扫描线，且包含循序连接的驱动电路单元，其中每一个驱动电路单元均包括一输入单元、一输出单元、一下拉电路以及一控制单元。由输入单元接收一启动信号，并由输出单元输出一驱动信号及一进位信号，且由下拉电路及控制单元稳定输出的驱动信号及进位信号，避免电路的误动作。

