

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)
G09G 3/20 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200480022104.7

[43] 公开日 2006 年 9 月 6 日

[11] 公开号 CN 1830017A

[22] 申请日 2004.7.27
[21] 申请号 200480022104.7
[30] 优先权
[32] 2003.7.28 [33] JP [31] 280583/2003
[86] 国际申请 PCT/JP2004/011029 2004.7.27
[87] 国际公布 WO2005/015534 日 2005.2.17
[85] 进入国家阶段日期 2006.1.28
[71] 申请人 索尼株式会社
地址 日本东京都
[72] 发明人 村濑正树 仲岛义晴 木田芳利

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 程天正 王忠忠

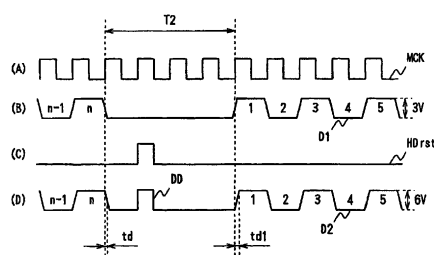
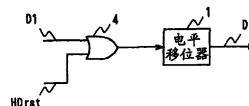
权利要求书 1 页 说明书 12 页 附图 11 页

[54] 发明名称

延迟时间校正电路、视频数据处理电路以及平板显示设备

[57] 摘要

本发明应用于例如具有整体地形成在绝缘基板上的驱动电路的液晶显示装置,通过在静止周期期间的预定时刻将空数据(DD)插入输入数据(D1)中并且迫使输入数据(D1)切换逻辑电平,可以有效地避免使用 TFT 等的逻辑电路中的延迟时间发生改变,其中在静止周期期间输入数据保持恒定的逻辑电平。



1. 一种延迟时间校正电路，其特征在于，对于用于对具有静止周期的输入数据进行处理的数据处理电路，在所述静止周期期间的预定时刻将空数据插入所述输入数据中，其中在所述静止周期期间所述输入数据以恒定周期在恒定期间内保持恒定逻辑电平，而所述空数据具有与所述恒定逻辑电平相反的逻辑电平。

2. 一种用于对具有静止周期的输入数据进行处理的数据处理电路，其中在所述静止周期期间输入数据以恒定周期在恒定期间内保持恒定逻辑电平，其特征在于，在所述静止周期期间的预定时刻将具有与所述恒定逻辑电平相反的逻辑电平的空数据插入所述输入数据中。

3. 根据权利要求2所述的数据处理电路，其特征在于：

所述输入数据为视频数据；和

所述静止周期为水平消隐周期或垂直消隐周期。

4. 一种平板显示装置，包括：

一个显示部分，其具有排列成矩阵形式的像素；

一个垂直驱动电路，用于通过栅极线顺序地选择该显示部分的像素；以及

一个水平驱动电路，用于通过对表示像素灰度的灰度数据进行顺序地采样而将所述灰度数据转换成模拟信号，并且通过用所述模拟信号驱动该显示部分的信号线从而通过所述栅极线来驱动所选择的像素，

其特征在于，通过在所述灰度数据的水平消隐周期期间的预定时刻将具有与所述水平消隐周期期间的逻辑电平相反的逻辑电平的空数据插入所述灰度数据中，对所述灰度数据进行处理。

5. 根据权利要求4所述的平板显示装置，其特征在于，由低温多晶硅形成用于处理灰度数据的有源装置。

6. 根据权利要求4所述的平板显示装置，其特征在于，由CGS形成用于处理灰度数据的有源装置。

延迟时间校正电路、视频数据处理电路以及平板显示设备

技术领域

本发明涉及一种延迟时间校正电路、视频数据处理电路以及平板显示装置，其可应用于例如具有整体地形成在绝缘基板上的驱动电路的液晶显示装置。本发明通过将空数据（dummy data）插入输入数据中并强制切换输入数据的逻辑电平，可避免使用 TFT 等的逻辑电路中的延迟时间发生改变。

背景技术

近年来，已经提出了一种将用于液晶显示面板的驱动电路整体集成并配置在玻璃基板上的液晶显示装置，其中玻璃基板为构成液晶显示面板的绝缘基板，所述的液晶显示装置作为用于诸如移动电话和 PDA 的移动终端的平板显示装置。

更具体而言，这种液晶显示装置具有：由排列成矩阵形式的像素形成的显示部分，每个像素由液晶单元组成；低温多晶硅 TFT（薄膜晶体管），其为液晶显示单元的开关装置；以及存储电容。所述液晶显示装置被配置成通过利用设置在该显示部分外围处的多个驱动电路驱动该显示部分来显示各种图像。

这种液晶显示装置被配置成将按照光栅扫描顺序相继输入的、表示每个像素灰度（gradation）的灰度数据分离成例如用于奇数行和偶数行的灰度数据，并利用分别设置在所述显示部分上面和下面的用于奇数行和偶数行的水平驱动电路，根据这些用于奇数行和偶数行的灰度数据来驱动该显示部分，从而在该显示部分中有效地布局连线图案，并且将像素排列成精细的图案。

为了在每个水平驱动电路中对灰度数据进行处理，已经提出了关于输入液晶显示装置的灰度数据的安排的多个发明，例如日本专利申请公开 No. Hei 10-17371 和 Hei 10-177368。

这种应用于液晶显示装置的使用低温多晶硅 TFT 的逻辑电路具有以下问题：如果输入数值长时间地保持在 L 电平，则随着随后逻辑电平的升高，延迟时间变长，从而延迟时间根据紧靠前面的逻辑电平的

长度而变。

更具体而言，在这种逻辑电路中，如图 1 和 2 中所示，在其中灰度数据 D1 的逻辑电平以 50 (%) 的占空比切换的周期 T1 期间，如果与主时钟 MCK (图 2 (A)) 同步的输入数据 D1 (图 2 (B)) 被输入电平移位器 1 中以便将 0 到 3 (V) 幅度的输入数据 D1 转换成 0 到 6 (V) 的输出，则延迟时间 t_D 近似是恒定的。相反，如周期 T2 所示，如果灰度数据 D1 的逻辑电平长时间地保持在 L 电平，那么紧随其后的延迟时间 t_{d1} 比周期 T1 中的延迟时间 t_d 长 (图 2 (C))。

因此，如图 3 中所示，在将灰度数据 D1 的每一位电平移位 (图 3 (B1) 和 3 (B2)) 并通过子时钟 SCK (图 3 (A)) 锁存的情形中，如果灰度数据是以高传输速度提供的数据，则在其中灰度数据 D1 的每一位的逻辑电平以 50 (%) 的占空比切换的周期 T1 期间，可通过子时钟 SCK (图 3 (B1) 和 3 (C1)) 正确地锁存电平移位器 1 的输出数据 D2A，不过紧随垂直消隐周期 VBL 之后，例如不能正确地锁存电平移位器 1 的输出数据 D2 (图 3 (B2) 和 3 (C2))。

在不能正确锁存数据的情形中，在液晶显示装置中，如果将灰度数据分离成偶数行和奇数行以便如上所述地驱动高分辨率的显示部分，则紧随垂直消隐周期之后，像素将会被局部地错误灰度所驱动。此外，如果例如要在黑色背景下显示具有窗口形状的白色区域，则在开始扫描白色区域时，同样像素也会被错误灰度所驱动。此外，在液晶显示装置中，例如按照与显示部分的灰度级数量相应的 6 位并行形式输入灰度数据 D1，从而在灰度数据的每一位中，延迟时间都发生改变。因而，错误数据有可能被锁存成仅为灰度数据的特定一位，从而要显示的图像变得在视觉上显然不符合需要。

发明内容

鉴于上述情形提出本发明，本发明意在提出：一种延迟时间校正电路，其能有效地避免使用 TFT 等的逻辑电路中的延迟时间发生改变；一种使用该延迟时间校正电路的视频数据处理电路；以及一种使用该视频数据处理电路的平板显示装置。

为了解决所述问题，将本发明应用于一个用于数据处理电路的延迟时间校正电路，该数据处理电路用于处理具有静止周期 (quiescent

period) 的输入数据, 在所述静止周期期间, 输入数据以恒定的周期在恒定期间内保持恒定的逻辑电平, 并且在所述延迟时间校正电路中, 在所述静止周期期间的预定时刻将具有与该恒定电平相反的逻辑电平的空数据插入输入数据中。

根据本发明的结构, 如果本发明应用于一个用于数据处理电路的延迟时间校正电路, 则与根本没有插入空数据的情形相比, 可使随后逻辑电平中的延迟时间的改变较短, 从而可有效地避免使用 TFT 等的逻辑电路中的延迟时间发生改变, 其中所述数据处理电路用于处理具有静止周期的输入数据, 在所述静止周期期间, 输入数据以恒定的周期在恒定的期间内保持恒定的逻辑电平, 并且在所述延迟时间校正电路中, 在所述静止周期期间的预定时刻将具有与该恒定电平相反的逻辑电平的空数据插入输入数据中。

此外, 本发明应用于一个用于处理输入数据的数据处理电路, 其中所述输入数据具有静止周期, 在所述静止周期期间, 输入数据以恒定的周期在恒定的期间内保持恒定的逻辑电平, 并且在所述数据处理电路中, 在所述静止周期期间的预定时刻将具有与所述恒定逻辑电平相反的逻辑电平的空数据插入输入数据中。

根据本发明的结构, 可有效地避免使用 TFT 等的逻辑电路中的延迟时间发生改变, 从而可以在执行数据处理的同时有效地避免因延迟时间改变而造成的多种影响。

此外, 本发明应用于一个平板显示装置, 从而通过在灰度数据的水平消隐周期期间的预定时刻将具有与所述水平消隐周期期间的逻辑电平相反的逻辑电平的空数据插入灰度数据中来对灰度数据进行处理。

根据本发明的结构, 可有效地避免使用 TFT 等的逻辑电路中的延迟时间发生改变, 从而可以在显示所需图像的同时有效地避免因延迟时间改变而造成的多种影响。

根据本发明, 可以提供一种视频数据处理电路和平板显示装置, 这两者都能有效地避免使用 TFT 等的逻辑电路中的延迟时间发生改变。

附图说明

图 1 为解释延迟时间改变时所用的方框图。

图 2 为解释延迟时间改变时所用的时序图。

图 3 所示的时序图表示垂直消隐周期与延迟时间之间的关系。

图 4 为解释根据本发明的延迟时间校正原理时所用的方框图。

图 5 为解释图 4 中所示的校正原理时所使用的时序图。

图 6 所示的时序图表示垂直消隐周期与延迟时间之间的关系。

图 7 所示的时序图用于解释在延迟时间减小的情况下延迟时间的改变。

图 8 所示的方框图表示根据本发明实施例 1 的液晶显示装置。

图 9 所示的方框图表示图 8 中所示的液晶显示装置中的串到并转换电路和外围结构。

图 10 所示的接线图表示图 9 中所示的串到并转换电路中的锁存电路。

图 11 所示的接线图表示图 9 中所示的串到并转换电路中的下变换器。

图 12 为解释实施例 2 中的延迟时间改变时所用的示意图。

图 13 为解释图 12 中所示的延迟时间改变时所用的时序图。

具体实施方式

下面，将参照附图详细描述本发明的实施例。

(1) 延迟时间校正原理

图 4 为解释与图 1 不同的根据本发明的延迟时间校正原理时所用的方框图。根据该校正原理，在对以恒定周期在恒定期间内保持恒定逻辑电平的输入数据进行处理的数据处理电路中，在输入电平保持恒定逻辑电平的周期期间的预定时刻将具有与所述恒定逻辑电平相反的逻辑电平的空数据插入输入数据中。此外，输入数据以恒定周期在恒定期间内保持恒定逻辑电平的周期是其间不进行大量数据传输的周期，比如视频数据中的水平消隐周期。下面，根据需要，将该周期称作静止周期。

更具体而言，如果所述数据处理电路例如是图 5 中所示的电平移位器 1，则在水平消隐周期 T2（其中灰度数据 D1 以恒定周期在恒定期间内保持恒定逻辑电平）期间将从逻辑 L 电平升高的空数据 DD 插入

灰度数据 D1 中,其中所述电平移位器 1 校正与主时钟 MCK(图 5(A))同步的输入数据 D1(从 0 到 3(V)幅度校正到 0 到 6(V)幅度)并输出输出数据 D2(图 5(B)和 5(D))。因而,通过例如 OR 电路 4(图 5(C)),将基于空数据 DD 的复位脉冲 HDrst 插入灰度数据 D1 中。

因此,根据该校正原理,与根本没有插入空数据 DD 的情形相比,使紧靠水平消隐周期 T 后面的逻辑电平上升时的时间延迟 dt_1 较短,从而解决了延迟时间随紧靠前面的逻辑电平的长度而变的问题。更具体而言,如果按照这种方式插入空数据 DD,则可迫使输入数据的逻辑电平切换,并且与根本没有插入空数据 DD 的情形相比,可使其间输入数据的逻辑电平保持逻辑 L 电平的周期较短,从而可减小输入数据 D1 的数据串中的延迟时间的改变。因此,可有效地避免对错误数据的锁存等等。

更具体而言,如与图 3 对照的图 6 中所示,在用子时钟 SCK(图 6(A))对这种逻辑电路输出进行采样的情形中,在垂直消隐周期 VBL 中的水平消隐周期期间插入空数据 DD,从而可使垂直消隐周期 VBL 后面的逻辑电平上升时的输出数据 D2 的延迟时间较短,并且可以在与有效视频周期的情形类似的时刻对输出数据 D2 进行采样和锁存(图 6(B1)到 6(C2))。因而,可能与垂直消隐周期 VBL 的上升相应地以正确灰度显示像素。此外,在黑电平持续数条线并升高到白电平的情形中,或者在连续地保持在 L 电平数条线之后、多位中的某一特定位升高的情形中,可正确地锁存输入数据 D1。因此,液晶显示装置适于正确地显示每个像素的灰度。

在上面结合图 2 所述的延迟时间的改变中,如果在输入数据 D1 长时间保持逻辑 L 电平之后逻辑电平立即升高,则在已经升高的逻辑电平的下降中会发生延迟。不过,对逻辑电平上升时刻的详细研究表明,如果输入数据 D1 长时间保持逻辑 L 电平,则与图 3 相比,如图 7 中所示,在上升时刻的延迟时间变得较短,这与下降时刻相反(图 7(A)到 7(C2))。因而,如果将输入数据 D1 的采样时刻设置为紧靠逻辑电平切换之前的时刻,并且如果用于采样的相位裕度较小,则在与上升时刻有关的延迟时间改变的情况下不能正确地处理数据。

不过,即便在与这种设置相关的情形中,如果根据校正原理在静

止周期期间插入空数据,则可能沿着与所述上升有关的延迟时间减小的方向校正延迟时间的改变,从而例如液晶显示装置适于正确地校正每个像素的灰度。

(2) 实施例 1 的结构

图 8 所示的方框图表示根据本发明实施例 1 的液晶显示装置。在液晶显示装置 11 中,图 8 中所示的驱动电路整体地形成在一个玻璃基板上,该玻璃基板为显示部分 12 的绝缘基板,由低温多晶硅制成的 TFT 形成下面将要描述的驱动电路,比如水平驱动电路和定时发生器。

显示部分 12 具有分别由液晶单元形成的像素、作为液晶单元的开关装置的 TFT 以及存储电容,并且具有矩形形状,其中这些像素排列成矩阵形式。

垂直驱动电路 13 响应于定时发生器 14 输出的各定时信号来驱动显示部分 12 的栅极线,从而以行为单位顺序地选择设置在显示部分 12 中的像素。水平驱动电路 15O 和 15E 分别设置在显示部分 12 的上面和下面,并且在将由串到并(SP)转换电路 16 输出的用于奇数行和偶数行的灰度数据 Dod 和 Dev 顺序地循环锁存之后,对各个锁存输出执行数字-模拟转换,并且使用所产生的驱动信号来驱动显示部分 12 的相应信号线。按照这种方式,水平驱动电路 15O 和 15E 分别驱动显示部分 12 的奇数信号线和偶数信号线,并且基于灰度数据 Dod 和 Dev 而将通过垂直驱动电路 13 选择的每个像素设置为一定灰度。

定时发生器 14 根据从液晶显示装置 11 的上级装置提供的各个参考信号而产生和输出液晶显示装置 11 的操作所必需的各个定时信号。该串到并转换电路 16 将输出自液晶显示装置 11 的上级装置的灰度数据 D1 分离成用于奇数行和偶数行的灰度数据 Dod 和 Dev,并且输出灰度数据 Dod 和 Dev。灰度数据 D1 是表示每个像素的灰度的数据,并且由视频数据形成,所述视频数据由对应于显示部分 12 中的像素排列的光栅扫描顺序的连续的红、蓝和绿数据组成。

图 9 所示的方框图表示串到并转换电路 16 和与其相关的结构。该串到并转换电路 16 利用电平移位器 21 将灰度数据 D1 从 0 到 3 (V) 的幅度转换成 0 到 6 (V) 的幅度,使锁存电路 22 和 23 交替地锁存所获得的灰度数据 D1 以便将灰度数据 D1 分离成用于奇数行和偶数行的灰度数据 Dod 和 Dev,利用下变换器 24 和 25 恢复原始幅度,并且输

出所生成的灰度数据 Dod 和 Dev。通过这种方式,该串到并转换电路 16 通过由电平移位器 21 进行的电平移位来放大和处理灰度数据 D1 的幅度,从而将以高传输速率提供的灰度数据 D1 可靠地分离成用于两个系统的灰度数据。

在有关灰度数据 D1 的处理中,串到并转换电路 16 在电平移位器 21 的输出级处设有 OR 电路 27,并且在灰度数据 D1 的水平消隐周期期间,通过 OR 电路 27 将空数据 DD 插入灰度数据 D1 中。因而,液晶显示装置 11 适于防止因灰度数据 D1 长时间保持 L 电平而引起的延迟时间改变,从而可正确地将灰度数据 D1 锁存到后面的锁存电路 22 和 23 中。此外,将液晶显示装置 11 配置成按照这种方式在电平移位器 21 的输出级插入空数据 DD,这是因为灰度数据 D1 不会仅因为在电平移位器 21 中发生的延迟时间改变就被错误的锁存。

因而,将定时发生器(TG)14 配置成在每个水平消隐周期期间向 OR 电路 27 输出和提供一个复位脉冲 HDrst,通过该复位脉冲 HDrst 升高信号电平。

图 10 所示的接线图表示锁存电路 22。锁存电路 22 和 23 被同样地设计,除了从定时发生器 14 分别提供用于控制它们的锁存定时的采样脉冲 sp 和 xsp 之外。下面,将仅涉及锁存电路 22 的结构,而省略对锁存电路 23 的描述。此外,表示出复位脉冲 rst,不过省略对其的描述。

在锁存电路 22 中,采样脉冲 sp 被输入到反相器 31 中,从而产生采样脉冲 sp 的反相信号。在锁存电路 22 中,将灰度数据 D1 输入反相器 32,该反相器 32 通过 P 沟道 MOS 晶体管 Q1 和 N 沟道 MOS 晶体管 Q2 分别与正电源 VDD 和负电源 VSS 相连,其中该 P 沟道 MOS 晶体管 Q1 响应于采样脉冲 sp 而切换到 ON(导通)状态,该 N 沟道 MOS 晶体管 Q2 响应于从反相器 31 输出的锁存脉冲 sp 的反相信号而切换到 ON 状态。反相器 32 的输出端与反相器 33 的输出端相连接,反相器 33 分别通过 P 沟道 MOS 晶体管 Q3 和 N 沟道 MOS 晶体管 Q4 连接到正电源 VDD 和负电源 VSS,其中该 P 沟道 MOS 晶体管 Q3 响应于采样脉冲 sp 的反相信号而切换到 ON 状态,该 N 沟道 MOS 晶体管 Q4 响应于采样脉冲 sp 而切换到 ON 状态,这些反相器 33 和 32 的输出与反相器 34 相连接,而反相器 34 的输入端与反相器 33 的输入端公共连接。按照这种方式,锁存电路 22 构成一个锁存单元,从而响应于采样脉冲

sp 来锁存灰度数据 D1。

此外，在锁存电路 22 中，反相器 34 的输出被提供给反相器 35，该反相器 35 分别通过 P 沟道 MOS 晶体管 Q5 和 N 沟道 MOS 晶体管 Q6 与正电源 VDD 和负电源 VSS 相连接，其中该 P 沟道 MOS 晶体管 Q5 响应于采样脉冲 sp 的反相信号而切换到 ON 状态，该 N 沟道 MOS 晶体管 Q6 响应于采样脉冲 sp 而切换到 ON 状态。此外，反相器 35 的输出端与反相器 36 的输出端相连接，反相器 36 分别通过 P 沟道 MOS 晶体管 Q7 和 N 沟道 MOS 晶体管 Q8 与正电源 VDD 和负电源 VSS 相连接，其中该 P 沟道 MOS 晶体管 Q7 响应于采样脉冲 sp 而切换到 ON 状态，该 N 沟道 MOS 晶体管 Q8 响应于采样脉冲 sp 的反相信号而切换到 ON 状态，并且这些反相器 35 和 36 的输出端与反相器 37 的输出端相连接，而反相器 37 的输入端与反相器 36 的输入端公共连接。在锁存电路 22 中，反相器 37 的输出通过缓冲器 38 而被输出。按照这种方式，锁存电路 22 输出分别通过将灰度数据 D1 分离成奇数行和偶数行而形成的幅度为 0 到 6 (V) 的灰度数据 Dod1 和 Dev1。

图 11 所示的接线图表示下变换器 24。下变换器 24 和 25 被同样配置，除了它们所处理的数据不同之外。下面，将仅涉及锁存电路 24 的结构，而省略对锁存电路 25 的描述。

下变换器 24 被配置成具有：利用 6 (V) 正电源 VDD2 和 0 (V) 负电源 VSS 操作的反相器 41；使反相器 41 的负电平下降到 -3 (V) 的电平移位器 42；利用 6 (V) 正电源 VDD2 和 0 (V) 负电源 VSS 操作的反相器 43 与 44 的串联电路，该串联电路将电平移位器 42 的输出缓冲并输出；以及反相器 45，其利用 3 (V) 正电源 VDD1 和 0 (V) 负电源 VSS 操作，以便输出反相器 44 输出的反相信号。该下变换器 24 根据原始幅度输出用于奇数行和偶数行的灰度数据 Dod 和 Dev。

具体而言，将电平移位器 42 配置成：使得 P 沟道 MOS 晶体管 Q11 与 N 沟道 MOS 晶体管 Q12 的串联电路以及 P 沟道 MOS 晶体管 Q13 与 N 沟道 MOS 晶体管 Q14 的串联电路分别与 6 (V) 正电源 VDD2 和 -3 (V) 负电源 VSS2 相连接，并且 P 沟道 MOS 晶体管 Q11 和 Q13 的漏极输出端分别与 N 沟道 MOS 晶体管 Q14 和 Q12 的栅极相连接。此外，反相器 41 的输出被直接输入到 P 沟道 MOS 晶体管 Q11，并且还经由反相器 47 被输入到另一 P 沟道 MOS 晶体管 Q13。电平移位器 42

通过缓冲器 48 输出 P 沟道 MOS 晶体管 Q13 的漏极输出，从而输出处于电平已移位状态的灰度数据 Dod 和 Dev。

(3) 实施例 1 的操作

根据上述结构，在液晶显示装置 11（图 8）中，通过串到并转换电路 16，将按照光栅扫描顺序输入的灰度数据 D1 分离成用于偶数行和奇数行的灰度数据 Dod 和 Dev，并且根据用于偶数行和奇数行的灰度数据 Dod 和 Dev，通过水平驱动电路 15O 和 15E 分别驱动显示部分 12 的偶数行和奇数行的信号线。响应于与灰度数据 D1 相对应的定时信号，通过垂直驱动电路 13 驱动显示部分 12 的栅极线，从而以行为单位顺序地选择显示部分 12 中的其信号线由水平驱动电路 15O 和 15E 驱动的像素，因此在显示部分 12 上显示基于灰度数据 D1 的图像，在显示部分 12 中有效地布局连线图案，以便将像素排列成精细的图案。

在液晶显示装置 11 中，在将灰度数据 D1 分离成用于两个系统的灰度数据 Dod 和 Dev 期间（图 9），通过电平移位器 21 放大灰度数据 D1 的幅度，并且将灰度数据 D1 分离成用于两个系统的数据，从而以与显示部分 12 的分辨率相对应的高传输速率提供的灰度数据 D1 被可靠地分离成用于两个系统的灰度数据 Dod 和 Dev。

在该处理期间，在液晶显示装置 11 中，由于锁存电路 22 和 23 交替地锁存灰度数据 D1 以将灰度数据 D1 分离成用于两个系统的灰度数据 Dod 和 Dev，并且由于包括串到并转换电路 16 的驱动电路被整体地形成在玻璃基板上（该玻璃基板为显示部分 12 的绝缘基板并且由低温多晶硅制成），所以如果灰度数据的每一位长时间地保持在 L 电平，则在随后的逻辑电平上升之后下降时，延迟时间增加，从而锁存电路 22 和 23 变得不能正确地锁存灰度数据 D1。相反，在逻辑电平上升时延迟时间减小，并且在此情形中，锁存电路 22 和 23 也变得不能正确地锁存灰度数据 D1，这取决于具体条件。

为此，在本实施例中，对于作为具有静止周期的输入数据的灰度数据（在所述静止周期期间输入数据以恒定周期在恒定期间内保持恒定逻辑电平），在作为这种静止周期的水平消隐周期期间的预定时刻，通过设置在电平移位器 21 的输出级处的 OR 电路 27（图 5 和 6）将具有与灰度数据的恒定逻辑电平相反的逻辑电平的空数据 DD 插入灰度数据 D1 中。

从而，在液晶显示装置 11 中，与根本没有插入空数据 DD 的情形相比，可以消除水平消隐周期之后的逻辑电平上升时的延迟时间改变，从而可以确保延迟时间与其间将逻辑电平以不同于 50 (%) 的占空比反相的周期类似。因而，本实施例可有效地避免使用 TFT 等的逻辑电路中的延迟时间发生改变。此外，在作为用于视频数据的数据处理电路的液晶显示装置中，可有效避免基于因延迟时间改变而引起的错误灰度的显示。

更具体而言，在液晶显示装置 11 中，在垂直消隐之后的逻辑电平升高时，可以校正与进入锁存电路 22 和 23 的灰度数据 D1 的切换有关的延迟时间改变，从而锁存电路 22 和 23 可以按照与有效视频周期的情形类似的定时来采样灰度数据 D1，并且将灰度数据 D1 正确地分离成用于两个系统的灰度数据 Dod 和 Dev。因而，可以与垂直消隐周期 VBL 的上升相应地以正确灰度显示像素。此外，在黑电平持续数行并且升高到白电平的情形中，以及在多位中的某一特定位在连续数行保持 L 电平之后上升的情形中，可以正确地锁存输入数据 D1，从而该液晶显示装置适于正确地显示每个像素的灰度。

在有关延迟时间的校正过程中，可以在时间轴方向中放大每个水平驱动电路 15O 和 15E 中的锁存器的处理裕度，从而液晶显示装置 11 可以稳定地操作，以便可靠地显示所需图像。

(4) 实施例 1 的优点

根据上述结构，通过将空数据 DD 插入到作为输入数据的灰度数据 D1 中并且迫使灰度数据 D1 的逻辑电平切换，可以有效地避免使用 TFT 的逻辑电路中的延迟时间发生改变。因而，对视频数据的所述处理适于正确地处理视频数据，从而液晶显示装置可以以正确的灰度显示所需图像。

此外，在对作为视频数据的灰度数据进行处理时，通过在每个水平消隐周期期间插入空数据 DD，可以校正延迟时间的改变，并且在垂直消隐周期后紧接着的逻辑电平上升时、以及在逻辑电平下降几行的周期之后紧接着的逻辑电平上升时正确地处理视频数据。

(5) 实施例 2

根据通过在静止周期期间插入空数据可防止使用 TFT 的逻辑电路中的延迟时间发生改变的观点，将上述实施例 1 配置成通过在水平消

隐周期期间插入空数据来防止与水平消隐周期后面的逻辑电平下降有关的延迟时间增加。

相反,如结合延迟时间校正原理所描述的那样,为了升高使用 TFT 的逻辑电路中的逻辑电平,与逻辑电平下降的情形相反,利用这样一种结构(其中当输入数据的逻辑电平在上升之前紧接着的恒定周期内保持恒定数值时,延迟时间减小并且在静止周期期间插入空数据)可防止与这种延迟时间减小有关的延迟时间改变。

为了检验基于这种认识的根据实施例 1 的结构优点,在图 9 所示的结构中,通过停止提供复位脉冲 HDrst 来停止插入空数据,以便在黑框内显示方形白色。此时,如图 12 中的箭头 A 所示,以在扫描开始一侧的水平方向上突出一个像素的状态显示一个方形白色区域。

此外,当利用在该状态期间触发的采样脉冲 sp 对 OR 电路 27 的输出数据 D27 的波形进行仔细观察时,观察到在水平方向伸出一个像素的位置处,逻辑电平的上升时刻提前,因此原本应在逻辑 L 电平期间锁存的像素在紧接着的像素的逻辑 H 电平期间被锁存。

根据这一发现,当在切换输入数据 D1 的同时观察波形时,证实如图 13 中所示的那样,如果输入数据的逻辑电平长时间地保持恒定数值,则仅有与下一个像素 $j+1$ 相应的逻辑电平的上升时刻超前,不过其下降时刻根本不改变(图 13 (B1) 到 13 (C2))。在图 13 中,符号 2sp (图 13 (A)) 表示用于锁存脉冲 sp 和 xsp 的发生参考信号,其周期是输入锁存电路 22 和 23 的每一个锁存脉冲 sp 和 xsp 的周期的两倍。

因而,发现图 9 中所示的结构是这样一种结构:其在静止周期期间插入空数据,并且防止使用 TFT 的逻辑电路中的延迟时间发生改变,其中所述延迟时间改变并非由于与逻辑电平的下降有关的延迟时间增大而产生的,而是由于与逻辑电平的上升有关的延迟时间减小而产生的。

因而,根据本实施例,已经证实如上面结合延迟时间校正原理所描述的那样,甚至能够可靠地防止由于与逻辑电平的上升有关的延迟时间减小而导致的延迟时间改变。

(6) 其它实施例

在前面对各实施例的描述中,涉及在电平移位器的输出级处插入空数据的情形,不过本发明不限于该示例。即使在以高得多的速度下

处理灰度数据、从而电平移位器中延迟时间的改变成为一个问题时，也可以在电平移位器的输入侧插入空数据。

在前面对各实施例的描述中，涉及在水平消隐周期期间插入空脉冲的情形，不过本发明不限于该示例，还可以根据需要在垂直消隐周期期间插入空脉冲。

在前面对各实施例的描述中，涉及本发明应用于液晶显示装置以便在灰度数据处理期间校正延迟时间的情形，不过本发明不限于该示例，而是可以更广泛地应用于用于视频数据的多种处理电路。

在前面对各实施例的描述中，涉及本发明应用于用于视频数据的处理电路的情形，不过本发明不限于该示例，而是可以更广泛地应用于在多种数据处理电路中进行延迟时间校正的情形。

在前面对各实施例的描述中，涉及本发明应用于使用由低温多晶硅制成的有源装置的液晶显示装置的情形，不过本发明不限于该示例，而是可以更广泛地应用于多种液晶显示装置（比如使用由高温多晶硅制成的有源装置的液晶显示装置，或者使用由 CGS（连续晶粒硅）制成的有源装置的液晶显示装置）以及多种平板显示装置（比如 EL（电致发光）显示装置）并且还可应用于多种逻辑电路。

工业应用

本发明可用于例如具有整体地形成在绝缘基板上的驱动电路的液晶显示装置。

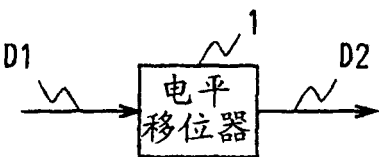


图 1

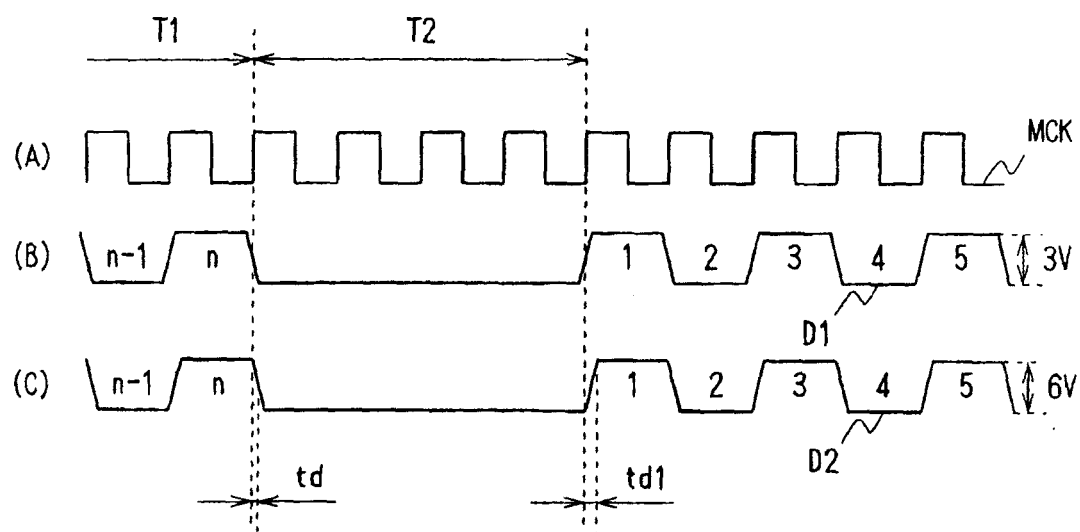


图 2

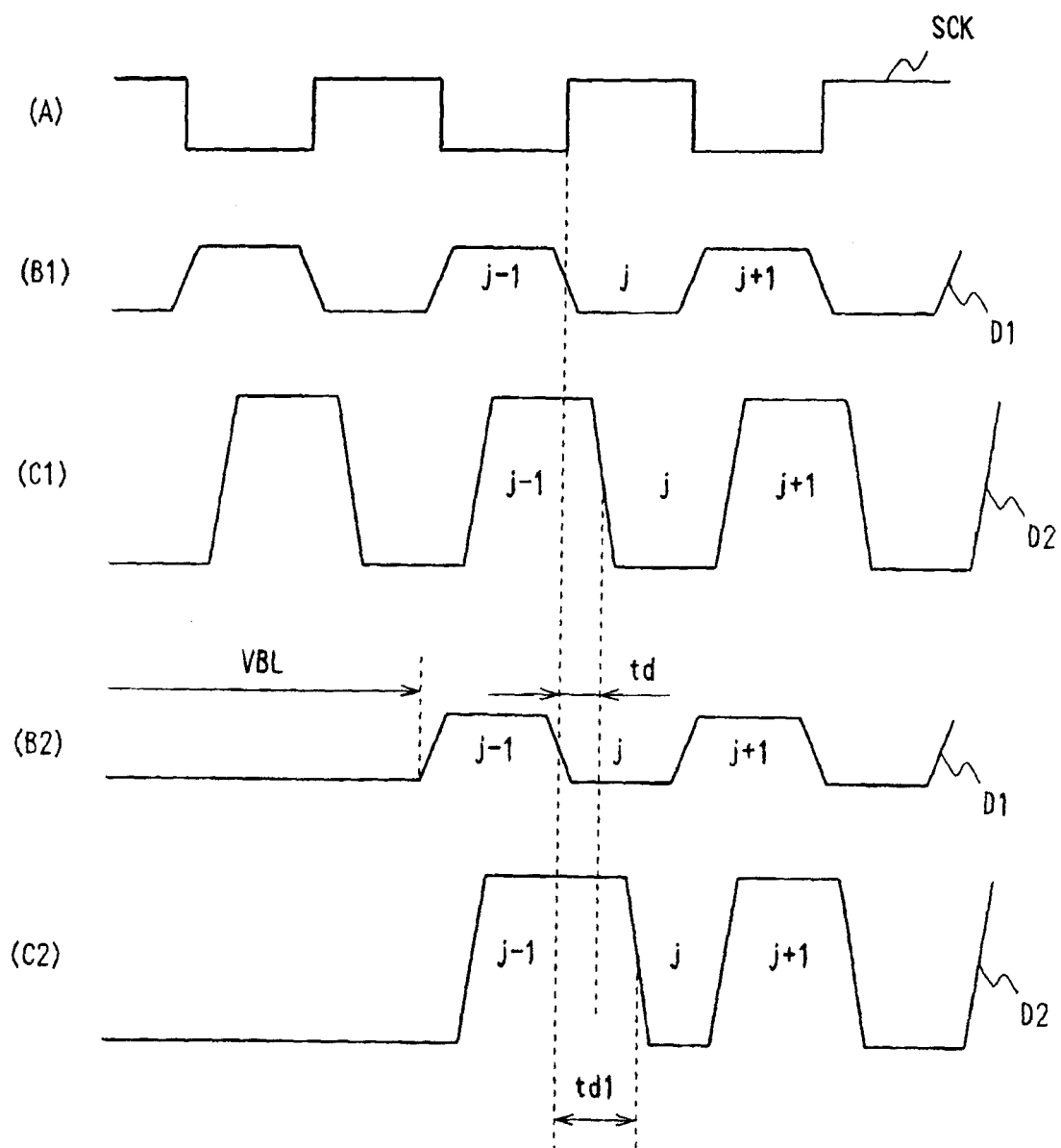


图 3

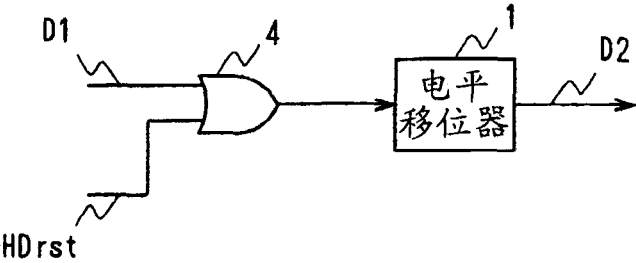


图 4

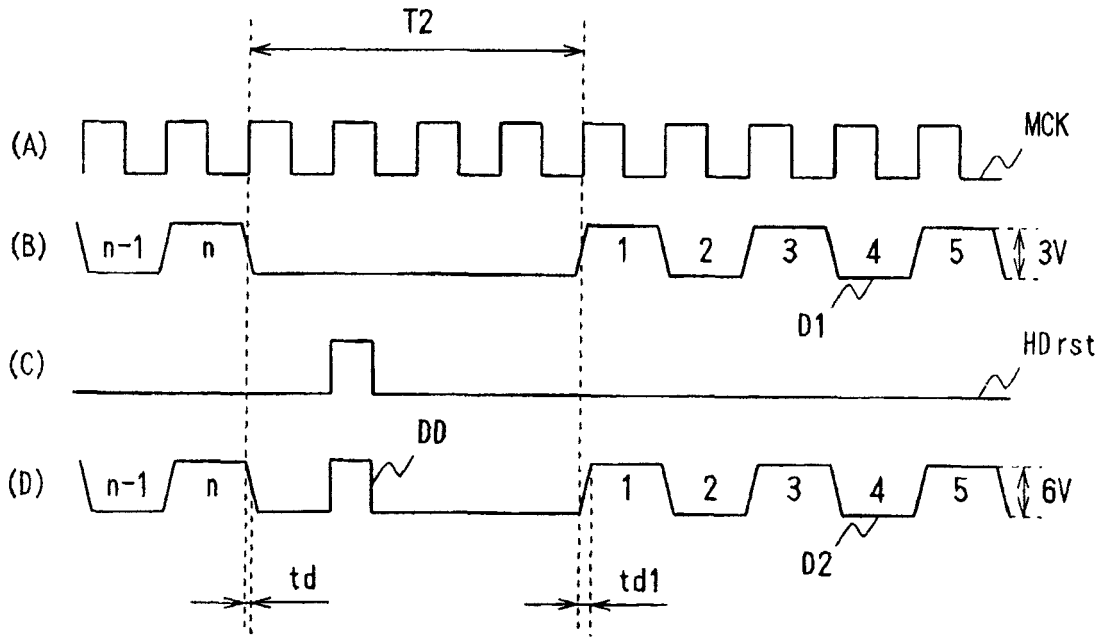


图 5

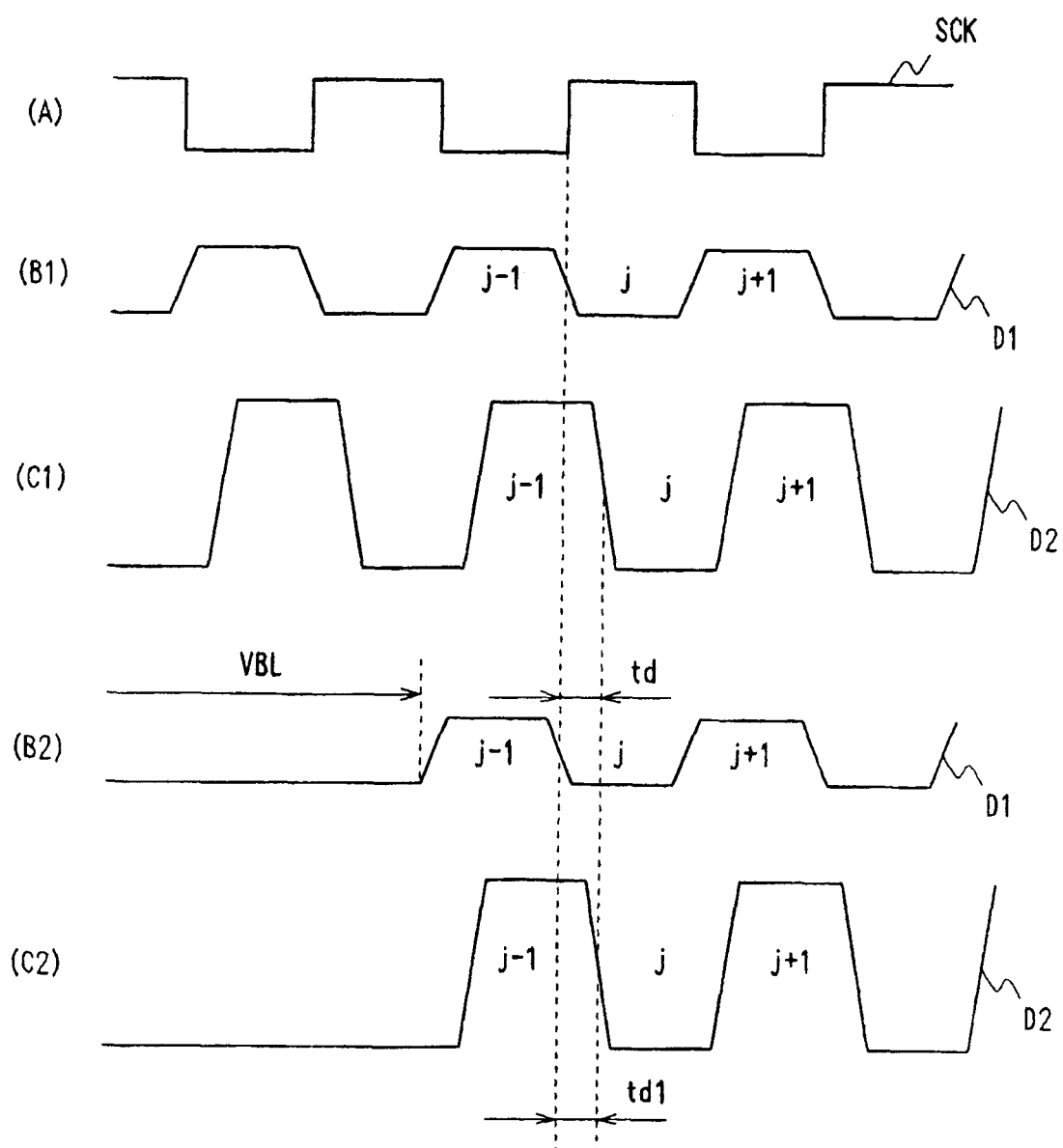


图 6

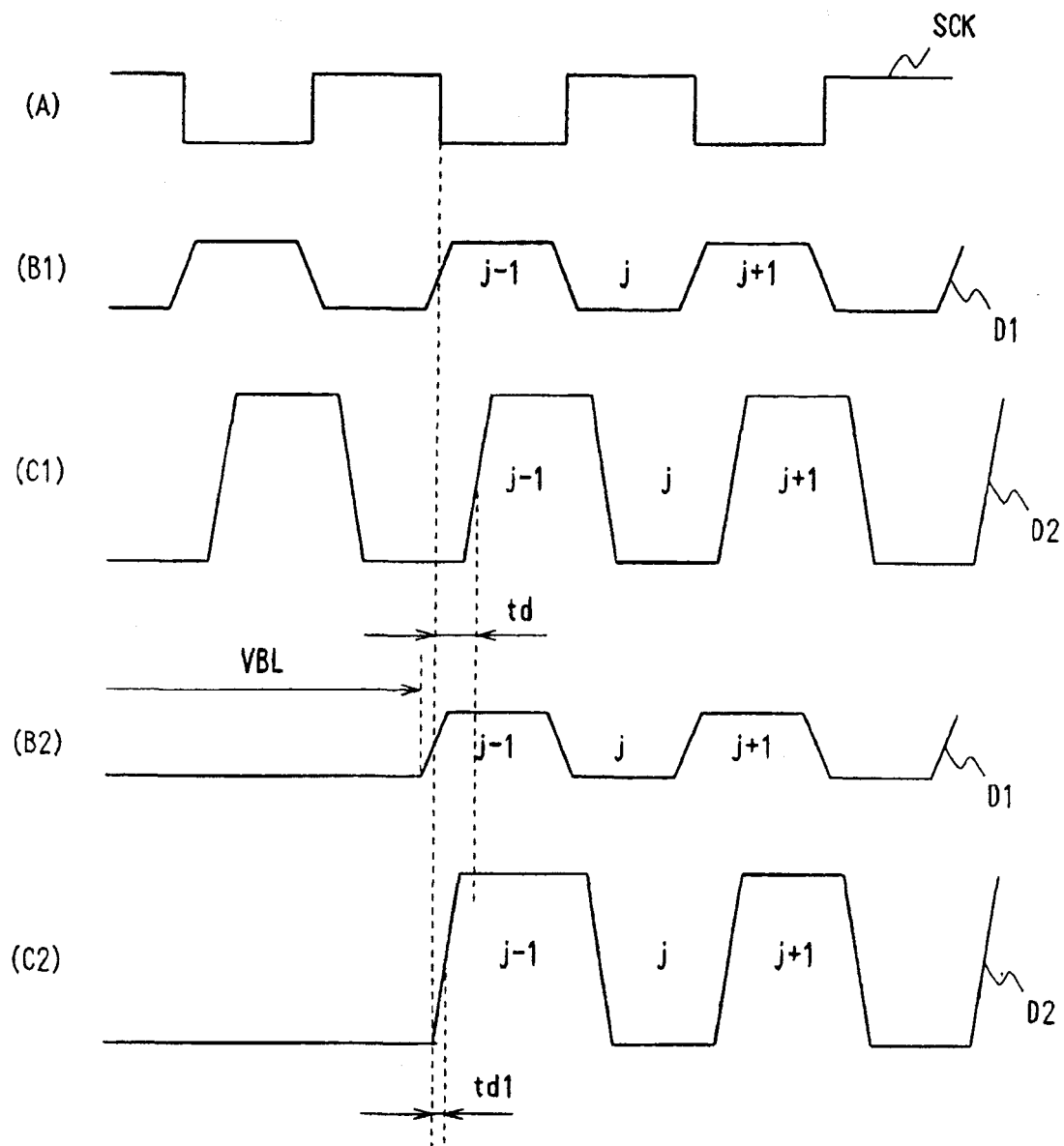


图 7

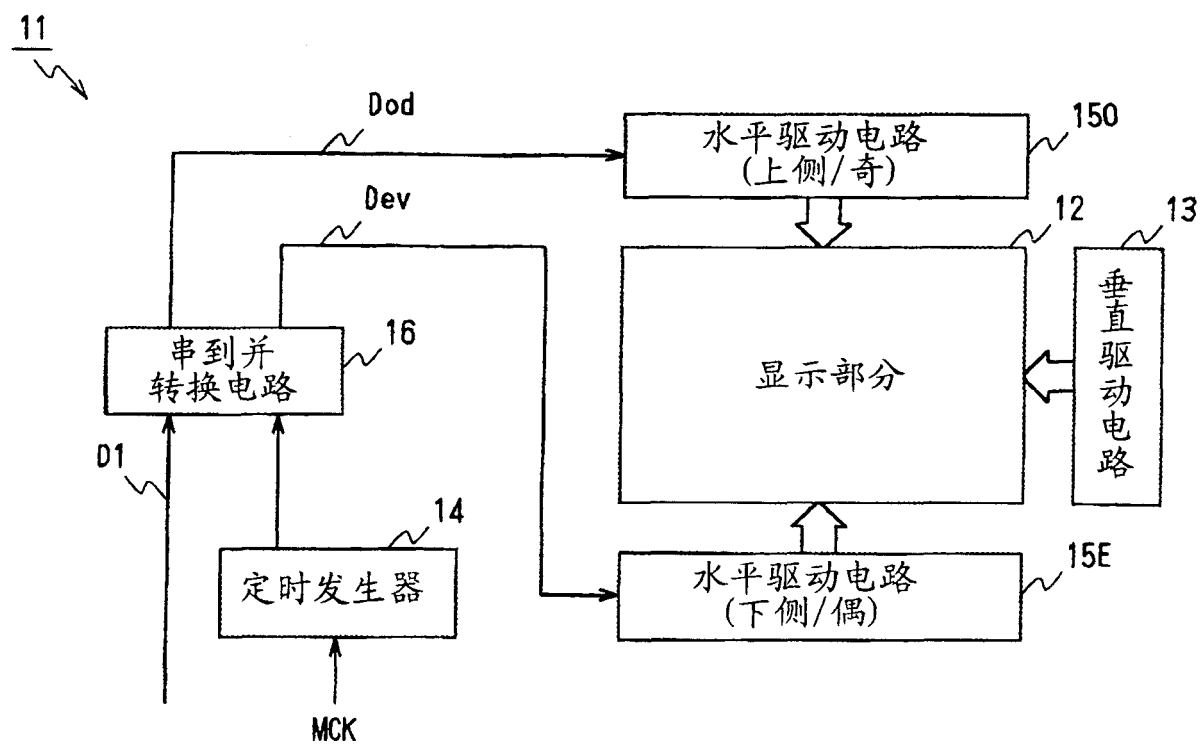


图 8

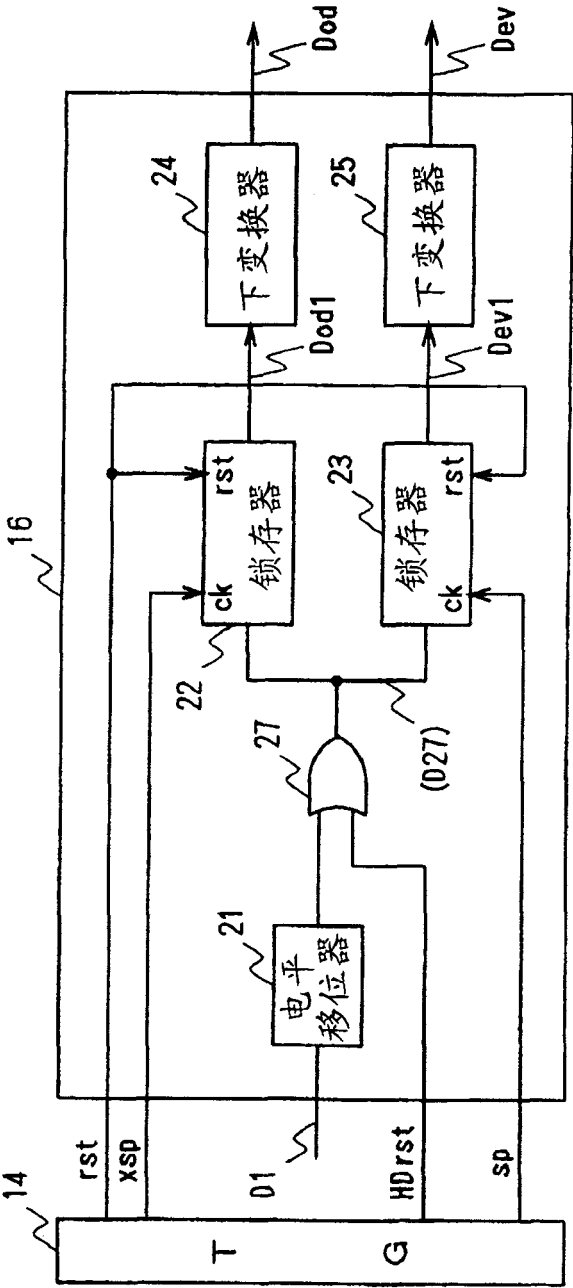
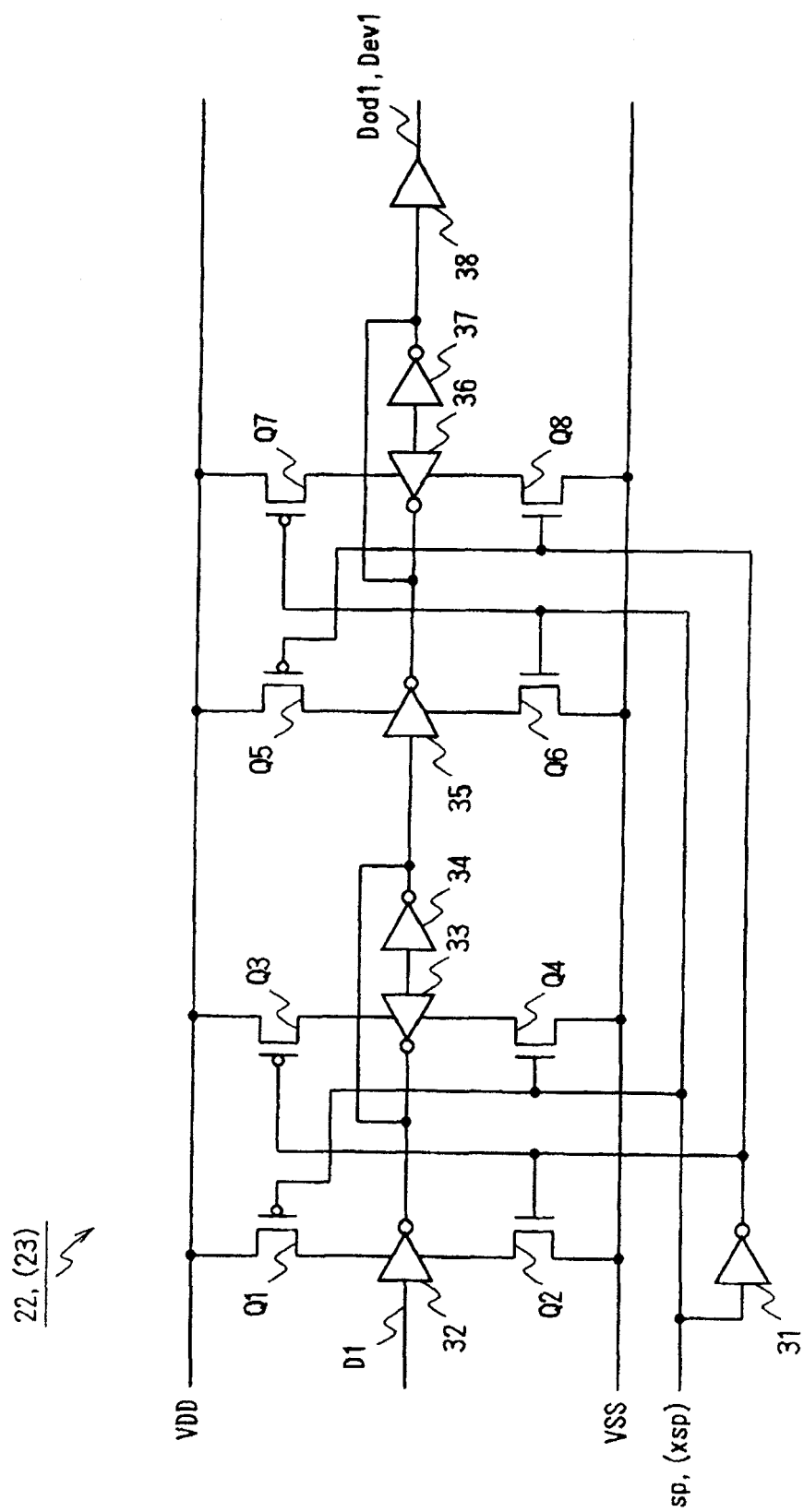


图 9



10

24, (25)

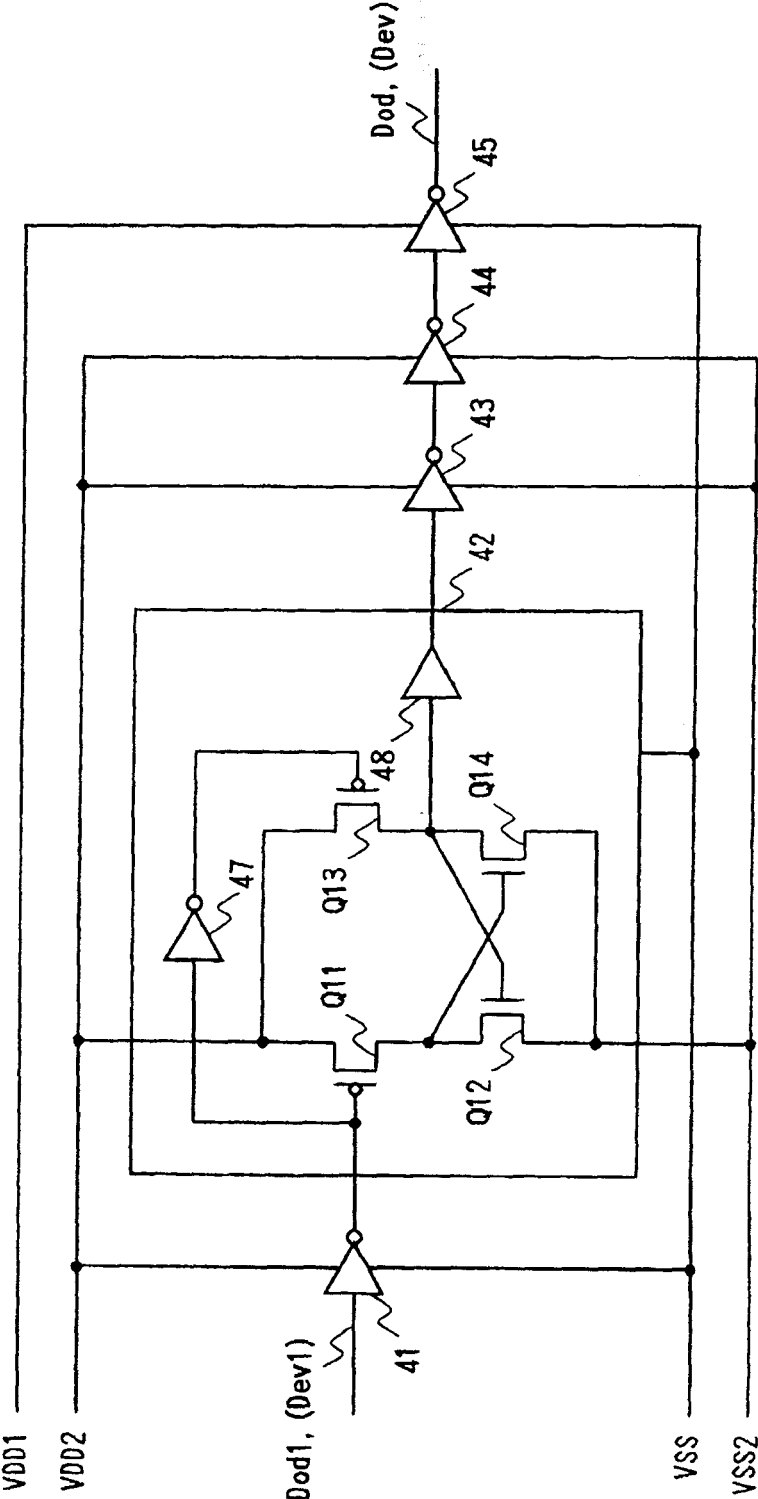


图 11

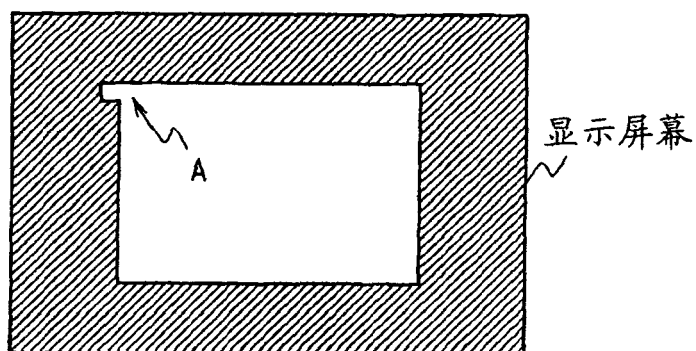


图 12

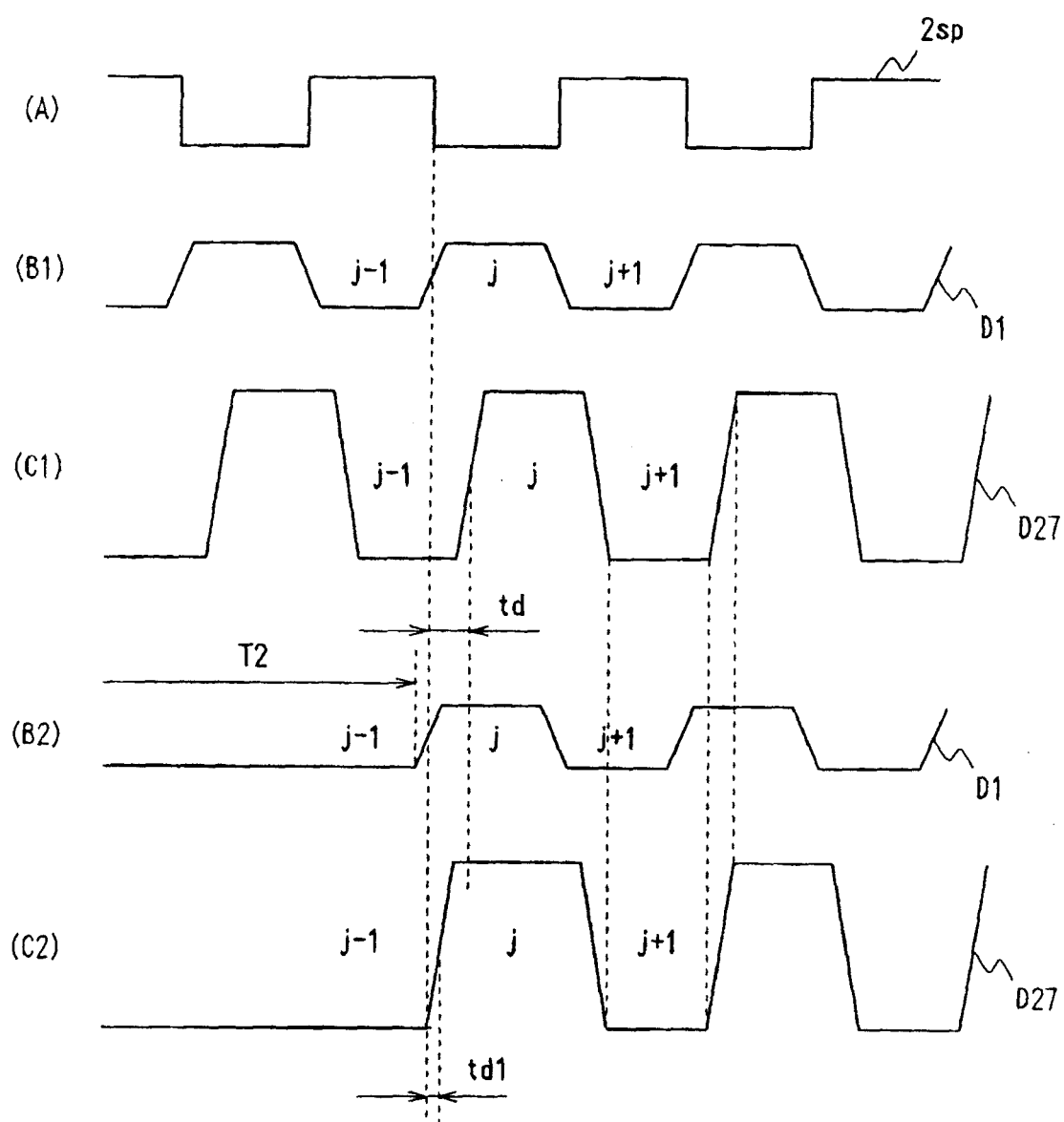


图 13

附图标记说明

1,21,42.....电平移位器
4,27.....或电路
11.....液晶显示装置
12.....显示部分
13.....垂直驱动电路
14.....定时发生器
15O,15E.....水平驱动电路
16.....串到并转换电路
22,23.....锁存电路
24,25.....下变换器
31 至 37,41,43 至 47.....反相器
38,48.....缓冲器
Q1 至 Q14.....晶体管

专利名称(译)	延迟时间校正电路、视频数据处理电路以及平板显示设备		
公开(公告)号	CN1830017A	公开(公告)日	2006-09-06
申请号	CN200480022104.7	申请日	2004-07-27
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼株式会社		
当前申请(专利权)人(译)	索尼株式会社		
[标]发明人	村濑正树 仲岛义晴 木田芳利		
发明人	村濑正树 仲岛义晴 木田芳利		
IPC分类号	G09G3/36 G09G3/20		
代理人(译)	王忠忠		
优先权	2003280583 2003-07-28 JP 2003347803 2003-10-07 JP		
其他公开文献	CN100442347C		
外部链接	Espacenet SIPO		

摘要(译)

本发明应用于例如具有整体地形成在绝缘基板上的驱动电路的液晶显示装置，通过在静止周期期间的预定时刻将空数据(DD)插入输入数据(D1)中并且迫使输入数据(D1)切换逻辑电平，可以有效地避免使用TFT等的逻辑电路中的延迟时间发生改变，其中在静止周期期间输入数据保持恒定的逻辑电平。

