

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/36 (2006.01)

H03K 3/356 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200480019358.3

[43] 公开日 2006 年 8 月 16 日

[11] 公开号 CN 1820300A

[22] 申请日 2004.7.6

[21] 申请号 200480019358.3

[30] 优先权

[32] 2003. 7. 7 [33] JP [31] 192626/2003

[86] 国际申请 PCT/JP2004/009902 2004.7.6

[87] 国际公布 WO2005/004102 日 2005.1.13

[85] 进入国家阶段日期 2006.1.6

[71] 申请人 索尼株式会社

地址 日本东京都

[72] 发明人 木田芳利 仲岛义晴

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 浦柏明 王 勇

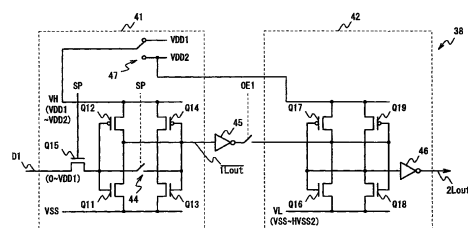
权利要求书 1 页 说明书 9 页 附图 5 页

[54] 发明名称

数据传送电路和平面显示设备

[57] 摘要

本发明是一种数据传送电路，其可应用于具有例如集成在绝缘衬底上的驱动电路的液晶显示装置，配置该驱动电路，以便仅仅将第一锁存部分(41)的锁存结果的反相输出或者仅仅其非反相输出作为数据传送到第二锁存部分(42)，并且至少在将数据传送到所述第二锁存部分(42)的期间之内，升高第一锁存部分(41)的电源电压。



1. 一种数据传送电路，用于在第一锁存部分中锁存输入数据，对所述第一锁存部分的锁存结果向第二锁存部分进行数据传送，并且锁存在该第二锁存部分，所述数据传送电路的特征在于，

5 仅仅对所述第一锁存部分的锁存结果的反相输出或仅仅对所述锁存结果的非反相输出向所述第二锁存部分进行数据传送，并且

至少在对所述第一锁存部分的锁存结果向所述第二锁存部分进行数据传送的期间之内，使所述第一锁存部分的电源电压升高。

2. 如权利要求1所述的数据传送电路，其特征在于，

10 通过单相的方式传送所述第一锁存部分的锁存结果。

3. 一种平面显示装置，其顺序地输入表示每个像素亮度的灰度数据，以及在预定显示部分中显示基于所述灰度数据的图像，所述平面显示装置的特征在于，

具有：

15 多个锁存电路，用于顺序并循环地采样所述灰度数据，并且将所述灰度数据分配给相应线；以及

数字/模拟转换电路，用于根据所述锁存电路的锁存结果设定到所述相应线的输出信号电平，

所述各锁存电路

20 在与之相应的各个时刻在第一锁存部分中锁存所述灰度数据，与所述多个锁存电路同时并行地对所述第一锁存部分的锁存结果向第二锁存部分进行数据传送，以将该结果输出到所述数字/模拟转换电路，

25 仅仅对所述第一锁存部分的锁存结果的反相输出或仅仅对所述第一锁存部分的锁存结果的非反相输出向所述第二锁存部分进行数据传送，并且

至少在对所述第一锁存部分的锁存结果向所述第二锁存部分进行数据传送的期间之内，升高所述第一锁存部分的电源电压。

4. 如权利要求3所述的平面显示装置，其特征在于，

通过单相的方式传送所述第一锁存部分的锁存结果。

30

数据传送电路和平面显示设备

技术领域

5 本发明涉及一种数据传送电路和一种平面显示设备,它们可以应用于具有例如在绝缘衬底上集成的驱动电路的液晶显示装置。根据本发明,该数据传送电路被配置,以便仅仅将第一锁存部分的锁存结果的反相输出或者其非反相输出作为数据传送到第二锁存部分,并且至少在数据传送到第二锁存部分期间,升高第一锁存部分的电
10 源电压,由此能够简化与在具有 TFT 等的结构中的数据传送有关的配置。

背景技术

近年来,在可应用于诸如 PDA、便携式电话等之类的便携式终端
15 的平面显示设备的液晶显示装置中,已经提供了这样的一种设置,其中液晶显示面板的驱动电路集成在玻璃衬底上,该玻璃衬底是组成液晶板的绝缘衬底。

图 1 是示出这种类型的液晶显示装置的框图。在该液晶显示装置 1 中,每个像素是由液晶晶元 2、多晶硅 TFT (薄膜晶体管) 3 (其作为该液晶晶元 2 的开关元件) 和保持电容 (未示出) 形成,并且通过以矩阵排列每个像素来形成矩形形状的显示部分 4。在该液晶显示装置 1 中,通过为如上所述在显示部分 4 中所形成的每个像素布置滤色镜,在水平方向上顺序地并循环地重复红色、绿色和蓝色的像素 R、G 和 B, 240 组红色、绿色和蓝色的像素 R、G 和 B 作为一组,
20 形成水平方向上的像素以便形成显示部分 4。在该液晶显示单元 1 中,为了以光栅扫描的顺序同时并行地输入指示这些红色、绿色和蓝色的像素 R、G 和 B 的灰度的灰度数据 R0-R5、G0-G5 和 B0-B5 (该灰度数据各自具有 6 比特), 并且基于该灰度数据 D1 (R0-R5、G0-G5、B0-B5) 通过驱动每个像素能够显示期望的图像。

30 在液晶显示装置 1 中,显示部分 4 的信号线 SL 和栅线 (gate line) SG 分别与水平驱动电路 5 和垂直驱动电路 6 连接。水平驱动电路 5 基于灰度数据 D1 输出对应每个信号线 SL 的像素的驱动信号,

并且垂直驱动电路 6，对应于通过该水平驱动电路 5 向信号线 SL 的驱动信号的输出，通过控制栅线 SG 在显示部分 4 中以线为单位选择像素。由此，在液晶显示装置 1 中，能够通过利用这些水平驱动电路 5 和垂直驱动电路 6 驱动显示部分 4 中的每个像素来显示期望的图像。

更特别地，如在日本专利申请公开号 2000-242209 中所描述的水平驱动电路 5 通过根据灰度数据选择多个基准电压 V0-V63 能够执行灰度数据 D1 的数字/模拟转换处理并且生成驱动信号。也就是说，在水平驱动电路 5 中，通过对应于水平方向上像素的布置而提供的采样锁存电路 (SL) 8、通过顺序并循环地采样灰度数据 D1 的对应比特 R0-R5、G0-G5 和 B0-B5，通过以线为单位将所述灰度数据 D1 设置在一起，它们被输出到与其对应的基准电压选择器 9。基准电压生成电路 10 生成并且输出对应于灰度数据 D1 的每个灰度的多个基准电压 V0-V63。基于来自每个采样锁存电路 8 的输出数据，基准电压选择器 9 选择从该基准电压生成电路 10 中所输出的基准电压 V0-V63，并且输出由相应灰度数据 D1 的模拟/数字转换处理所获得的驱动信号。缓冲电路 11 输出该驱动信号到对应的信号线 SL。

图 2 是示出用于如上述组成的水平驱动电路 5 中采样锁存电路 8 的一个比特部分的配置的连接图。在采样锁存电路 8 中，在对应于相应像素的水平方向上的位置的时刻在第一锁存部分 21 锁存保持灰度数据 D1 之后，第一锁存部分 21 的锁存结果在垂直消隐期间所设定的预定时刻被传送并被输出到第二锁存部分 22，由此以线为单位将灰度数据设置在一起并且将该灰度数据输出到基准电压选择器 9。在此，关于例如在构成这种类型的采样锁存电路 8 等的低温多晶硅 TFT 等的绝缘衬底上形成的有源元件，在它们的特性上存在很大偏差。因此，在采样锁存电路 8 中，设定利用输出锁存结果的反相输出以及其非反相输出即所谓的双相输出，将锁存结果输出到第二锁存部分 22，可以确保在第一锁存部分 21 和第二锁存部分 22 之间平稳和可靠地数据传送锁存结果。

也就是说，在该采样锁存电路 8 的第一锁存部分 21 中，由栅极和漏极分别共同连接的 N 沟道 MOS (下文称为 NMOS) 晶体管和 P 沟道 MOS (下文称为 PMOS) 晶体管组成的 CMOS 反相器，和，同样由栅

极和漏极分别共同连接的 NMOS 晶体管 Q3 和 PMOS 晶体管 Q4 组成的 CMOS 反相器被并联设置在电源电压 VCC 的正侧电源线和电源电压 VSS 的负侧电源线之间。在第一锁存部分 21 中，通过晶体管 Q1 和 Q2 的反相器输出被输入到由晶体管 Q3 和 Q4 组成的反相器。另外，经由以采样脉冲 sp 的反相信号 xsp 工作的 PMOS 晶体管 Q5，通过晶体管 Q3 和 Q4 的反相器输出被输入到由晶体管 Q1 和 Q2 组成的反相器；另外，经由以采样脉冲 sp 工作的 PMOS 晶体管 Q6，灰度数据 D1 被输入到由晶体管 Q1 和 Q2 组成的反相器。

由此，在采样锁存电路 8 中，由晶体管 Q1 - Q6 形成具有比较器配置的 CMOS 锁存元件，其中，如图 3 (A) - 3 (D) 所示，使灰度数据 D1 由采样脉冲 sp 锁存，并且根据在水平方向上相应像素的位置来设置该锁存的定时。

在采样锁存电路 8 中，该第一锁存部分 21 的锁存结果的反相输出和其非反相输出分别经由传送开关 24、25 被输入到第二锁存部分 22。在此，该传送开关 24、25 在例如水平消隐期间的上升时间的时刻切换为导通状态 (图 9 (E))。

在第二锁存部分 22 中，锁存元件是用由 NMOS 晶体管 Q7 和 PMOS 晶体管 Q8 组成的 CMOS 反相器和由 NMOS 晶体管 Q9 和 PMOS 晶体管 Q10 组成的 CMOS 反相器形成的。经由传送开关 24、25 输入的反相输出和非反相输出被分别输入到由晶体管 Q7 和晶体管 Q8 组成的 CMOS 反相器和由晶体管 Q9 和晶体管 Q10 组成的 CMOS 反相器。由此，采样锁存电路 8 被配置，以在水平消隐期间的上升时间上执行第一锁存部分 21 的锁存结果的数据传送，用于锁存在第二锁存部分 22 中 (图 3 (F))，并且经由反相器 26 输出该锁存结果。例如，在第二锁存部分 22 中，通过适当地设定正电源和负电源使电平移动至到锁存输出，以适合在随后的基准电压选择器 9 中的处理。

然而，在如上所述使用双相来传送锁存结果等的数据的情况下，存在的一个问题是相比于使用单相的数据传送，它的配置变得比较复杂。如果与这种数据传送相关的结构能够被简化，则据此可以简化整体配置，并且可以在这种类型的显示装置中实现所谓的窄边框 (Narrow Bezel)。另外，可以减少功率损耗。

发明内容

本发明是考虑到上述问题而构思的,本发明旨在提出一种数据传送电路和平面显示装置,其中可以简化 TFT 等的配置中的数据传送有关的结构。

- 5 为了解决上述问题,本发明应用于一种数据传送电路,其中第一锁存部分锁存输入数据,并且将该第一锁存部分的锁存结果的数据传送到第二锁存部分,用于锁存在所述第二锁存部分中,其中仅仅允许第一锁存部分的锁存结果的反相输出或仅仅允许锁存结果的非反相输出作为数据被传送到第二锁存部分,并且其中至少在将来自
- 10 第一锁存部分的锁存结果的数据传送到第二锁存部分的期间之内,导致第一锁存部分的电源电压升高。

- 根据本发明的配置,如果仅仅第一锁存部分的锁存结果的反相输出或仅仅锁存结果的非反相输出作为数据被传送到第二锁存部分,则相比于采用反相输出和非反相结果两者传送锁存结果的数据的情况,可以相应地简化其配置。另外,如果至少在将来自第一锁存部
- 15 分的锁存结果的数据传送到第二锁存部分的期间之内能够升高第一锁存部分的电源电压,则可能扩大数据传送的容限,并且由此能够补偿由于仅仅使用锁存结果的反相输出或仅仅使用锁存结果的非反相输出作为数据将锁存结果传送到第二锁存部分而导致的容限减
- 20 少,从而以该扩大容限的优点可以确保锁存结果的平稳和可靠的数据传送。

- 另外,本发明应用于平面显示装置,其包括:用于顺序地并循环地采样灰度数据并且将该灰度数据分配给相应列的多个锁存电路;以及用于根据锁存电路的锁存结果设定向该相应列的输出信号电平
- 25 的数字/模拟转换电路,其中配置每个锁存电路,以仅仅将第一锁存部分的锁存结果的反相输出或仅仅将第一锁存部分的锁存结果的非反相输出作为数据传送到第二锁存部分,并且至少在将第一锁存部分的锁存结果的数据传送到第二锁存部分的期间之内升高第一锁存部分的电源电压。

- 30 由此,根据本发明的配置,在平面显示装置的锁存电路中,利用简化的配置能够平稳且可靠地执行锁存结果的数据传送。

附图说明

图 1 是示出液晶显示装置的配置的框图；

图 2 是示出应用于现有液晶显示装置的采样锁存电路的连接图；

5 图 3 是用于描述图 2 中所示的采样锁存电路的操作的时间图；

图 4 是示出根据本发明实施方式的采样锁存电路的连接图；

图 5 是用于描述图 4 中所示的采样锁存电路的操作的时间图。

具体实施方式

10 下面，将参考附图详细地描述本发明的一个优选实施方式。

(1) 第一实施方式

与图 2 所示的连接图相比，图 4 是示出应用于根据本发明实施方式的液晶显示装置的采样锁存电路的一个比特部分的配置的连接图。因为除了该采样锁存电路 38 的配置不同之外，根据本发明实施方式的该液晶显示装置被配置得与参考图 1、2 所描述的液晶显示装置 1 相同，所以将省略重复描述。

在该采样锁存电路 38 中，在对应于水平方向上像素的配置的时刻通过第一锁存部分 41 锁存灰度数据 D1 之后，通过该第一锁存部分 41 的锁存结果在水平消隐期间的预定时刻被传送到第二锁存部分 42，以便锁存在其中并且输出到其后续的基准电压选择器 9。该采样锁存电路 38 通过使用单相执行将来自第一锁存部分 41 的锁存结果数据传送到第二锁存部分 42，并且通过升高电源电压来保证由于单相数据传送而变得不足的容限。

也就是说，在该采样锁存电路 38 中，第一锁存部分 41，在正侧电源 VH 和负侧电源 VSS 之间并行设置有由 NMOS 晶体管 Q11 和 PMOS 晶体管 Q12 组成的 CMOS 反相器以及由 NMOS 晶体管 Q13 和 PMOS 晶体管 Q14 组成的 CMOS 反相器。在第一锁存部分 41 中，来自由晶体管 Q11 和 Q12 构成的反相器输出被输入到由晶体管 Q13 和 Q14 组成的反相器，并且经由以采样脉冲 sp 执行截止动作的开关电路 44，来自由晶体管 Q11 和 Q12 构成的反相器输入被输入到由晶体管 Q13 和 Q14 组成的反相器，进而还经由以采样脉冲 sp 执行导通动作的 PMOS 晶体管 Q15，灰度数据 D1 被输入到由晶体管 Q11 和 Q12 组成的反相器。

由此，在采样锁存电路 38 中，由晶体管 Q11 至 Q15 形成 CMOS 锁存元件，并且如图 5 (A) - (C) 所示，该 CMOS 锁存元件被配置为在通过采样脉冲 sp 将开关电路 44 设定为截止状态取得灰度数据 D1 之后，将开关电路 44 设定为导通状态，以保持取得的灰度数据 D1，并且根据在水平方向上相应像素的位置设定与该锁存相关的定时。

另外，在第一锁存部分 41 中，通过经由开关电路 47 选择电源，在设定为 2.9V 的电源 VDD1 的状态中执行与该锁存相关的处理，该 2.9V 的电源 VDD1 等于与前置级电路相关的电源。另外，紧接在将锁存结果数据传送到第二锁存部分 42 之前，选择高于在锁存时刻的电压的为 5.8V 的电源 VDD2，然后一旦完成数据传送，选择原来的电源 VDD1。由此，在该采样锁存电路 38 中，至少在将来自第一锁存部分 41 的锁存结果数据传送到第二锁存部分 42 的期间之内，设定为升高电源电压，以保证由于使用单相来数据传送锁存结果而导致下降的容限。

由此，第一锁存部分 41 被配置为在水平消隐期间的预定时刻，以通过扩大其振幅而将锁存结果经由传送开关 45 传送到第二锁存部分 42。在这个实施方式中，反相输出被施加到提供给该数据传送的锁存结果 (图 5 (C) - (E))。

第二锁存部分 42 在正侧电源 VDD2 和负侧电源 VL 之间并联设置有由 NMOS 晶体管 Q16 和 PMOS 晶体管 Q17 组成的 CMOS 反相器和由 NMOS 晶体管 Q18 和 PMOS 晶体管 Q19 组成的 CMOS 反相器，由此在比较器电路结构中由这些 CMOS 反相器形成锁存元件，于是，将来自传送开关 45 的输出提供给该锁存元件。因此，第二锁存部分 42 被配置为，以锁存来自第一锁存部分 41 的锁存结果，然后经由反相器 46 输出该锁存结果。

另外，第二锁存部分 42 能够对要输出的锁存进行电平移动并输出，以便通过调整负侧电源 VL 适合于在基准电压选择器 9 中进行处理。

(2) 实施方式的实施

根据上述的配置，在液晶显示装置中 (图 1)，由指示用于显示的每个像素的灰度的一系列数据组成的灰度数据 D1 被输入到水平驱

动电路 5, 其中该灰度数据 D1 顺序地由采样锁存电路 38 采样, 并且以线为单位被排列, 然后通过随后的基准电压选择器 9 选择相应于每个灰度数据的基准电压 V0-V63。在液晶显示装置 1 中, 通过选择该基准电压 V0-V63 来生成用于驱动每个像素的驱动信号, 经由信号线 SL 将该驱动信号提供给显示单元 4, 并且将该驱动信号施加到由垂直驱动电路 6 所选择的像素。由此, 在液晶显示装置 1 中, 根据相应的灰度数据 D1 通过驱动显示单元 4 中的每个像素来显示期望的图像。

在如上所述驱动显示部分 4 的水平驱动电路 5 中, 在如上所述顺序并循环地对灰度数据 D1 进行采样的采样锁存电路 38 中 (图 4), 在灰度数据 D1 的每个比特在与其对应的时刻被第一锁存部分 41 锁存之后, 在水平消隐期间的预定时刻, 经由每个采样锁存电路 38 每个比特同时并行地被传送到第二锁存部分 42, 被锁存在该第二锁存部分中, 并且该锁存结果被输出到基准电压选择器 9。由此, 在液晶显示装置 1 中, 灰度数据 D1 以线为单位被排列, 并且通过基准电压选择器 9 接受数字/模拟转换处理。

在采样锁存电路 38 中, 通过使用如上所述的锁存结果的反相输出执行从第一锁存部分 41 到第二锁存部分 42 的数据传送, 因此使用单相执行锁存结果的数据传送, 相比于使用双相进行数据传送的情况, 能够简化该配置。特别地, 在与这种数据传送相关的传送开关中, 关于反相器的结构, 最少也需要两个晶体管。相反地, 在如上所述使用单相进行数据传送的情况下, 特别在这个实施方式中, 可以省略用于如 240 对 $\times 3$ (红、绿、蓝) $\times 6$ 比特这么多部分的传送开关, 由此与使用双相的数据传送的情况相比能够省略如 4320×2 这么多个晶体管。由此, 根据该液晶显示装置, 能够通过简化配置减少功率损耗, 并进一步实现所谓的窄边框。

另外, 在第一锁存部分 41 中, 在进行这种数据传送的期间之内, 该第一锁存部分 41 的电源电压被导致升高, 由此保证在使用单相传送锁存结果的数据期间下降的容限。由此, 在液晶显示装置中, 锁存结果的数据被配置为通过使用单相来传送, 能够平稳并可靠地将锁存结果传送到第二锁存部分 42。

(3) 实施方式的优点

根据上述的配置,通过设置仅仅将第一锁存部分中锁存结果的反相输出作为数据传送到第二锁存部分,并且至少在数据传送到第二锁存部分的期间之内,升高第一锁存部分的电源电压,在使用 TFT 的配置中,可以简化与数据传送有关的结构。

5 (4) 其它实施方式

例如,在上述的实施方式中,已经描述了仅仅将来自第一锁存部分的锁存结果的反相输出作为数据传送到第二锁存部分的情况,然而,本发明不局限于此,本发明可以广泛地应用于仅仅将锁存结果的非反相输出作为数据传送到第二锁存部分的情况。

10 另外,在上述实施方式的描述中,已经描述了本发明应用于包括形成于玻璃衬底的显示部分等等的 TFT 液晶的情况,然而本发明不局限于此,并且可以广泛地应用于例如 CGS(Continuous Grain Silicon, 连续粒状结晶硅)液晶等的各种类型的液晶显示装置,并且还应用于例如 EL(电致发光)显示装置等的各种平面显示装置。

15 另外,在上述实施方式的描述中,已经描述了本发明应用于液晶显示装置的情况,其中由在绝缘衬底所形成的低温多晶硅 TFT 组成的有源元件构建第一和第二锁存部分,然而,本发明不局限于此,并且本发明可以广泛地应用于执行数据传送的任何数据传送电路,其中利用在绝缘衬底上所形成的各种有源元件形成第一和第二锁存部分。

20 如上文所述,根据本发明,通过配置为仅仅第一锁存部分的锁存结果的反相输出或仅仅其非反相输出的数据能够被传送到第二锁存部分,并且至少在数据传送到第二锁存部分的期间之内,升高第一锁存部分的电源电压,在具有 TFT 等的配置中能够简化与数据传送有关的结构。

25 本发明涉及数据传送电路和平面显示装置,并且该发明应用于液晶显示装置,其中驱动电路例如集成在绝缘衬底上。

引用数字说明

1: 液晶显示单元, 2: 液晶晶元, 3: Q1 ~ Q19晶体管,
4: 显示部分, 5: 水平驱动电路, 6: 垂直驱动电路
8, 38: 采样锁存电路, 9: 基准电压选择器, 10: 基准电压生成电路
11: 缓冲电路, 21, 41: 第一锁存部分, 22, 42: 第二锁存部分
24, 25, 45: 传送开关, 26, 46: 反相器, 44, 47: 开关电路

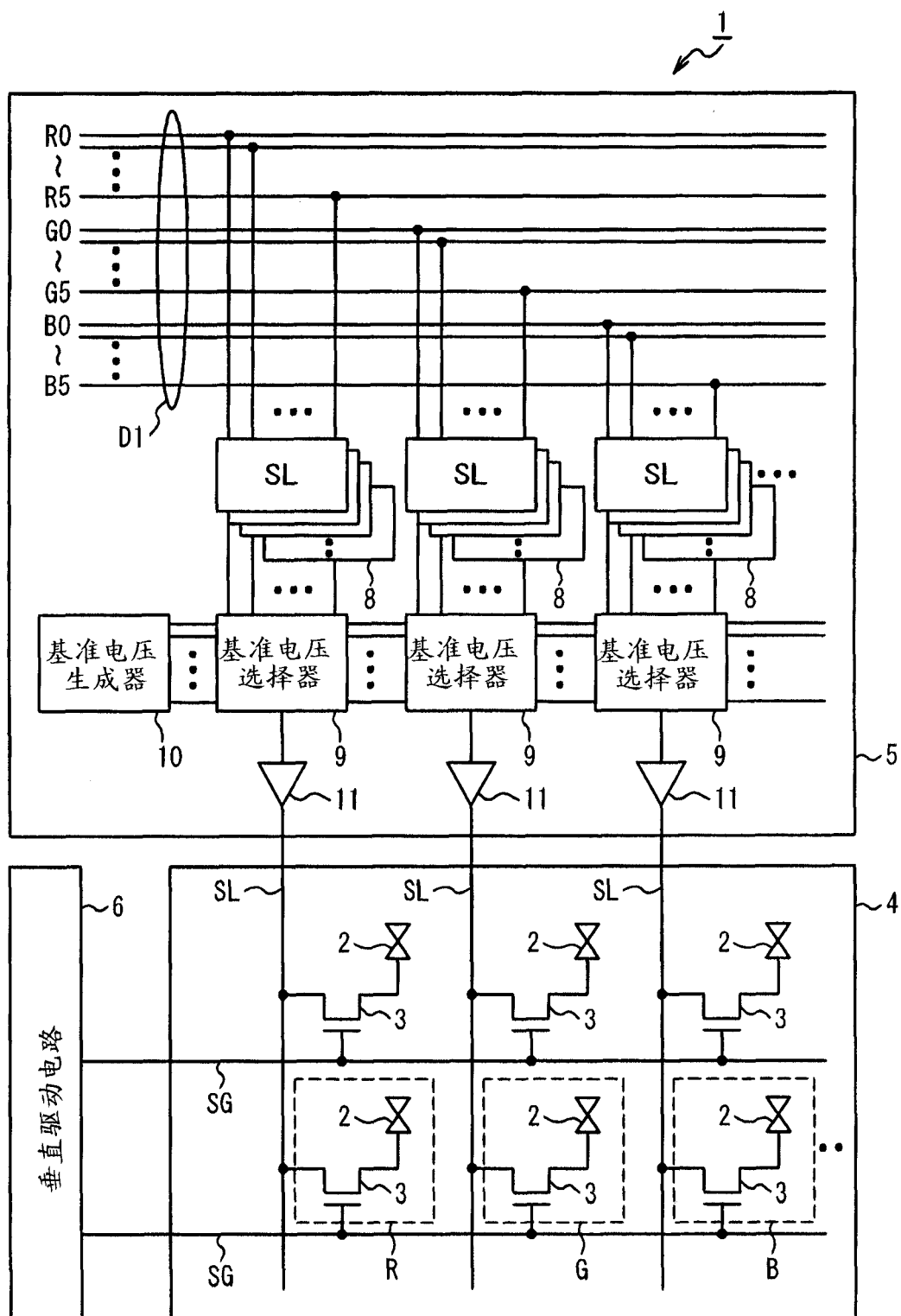


图 1

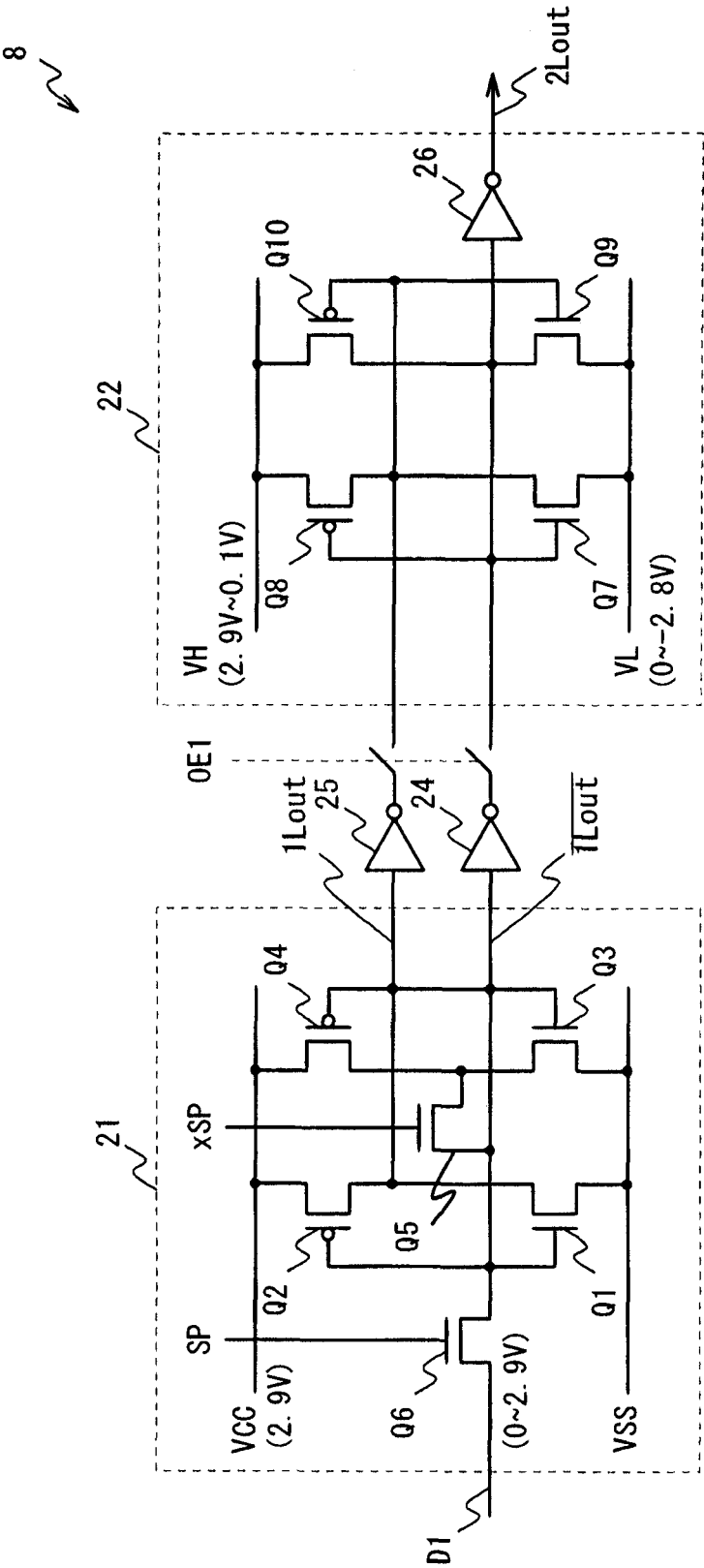


图 2

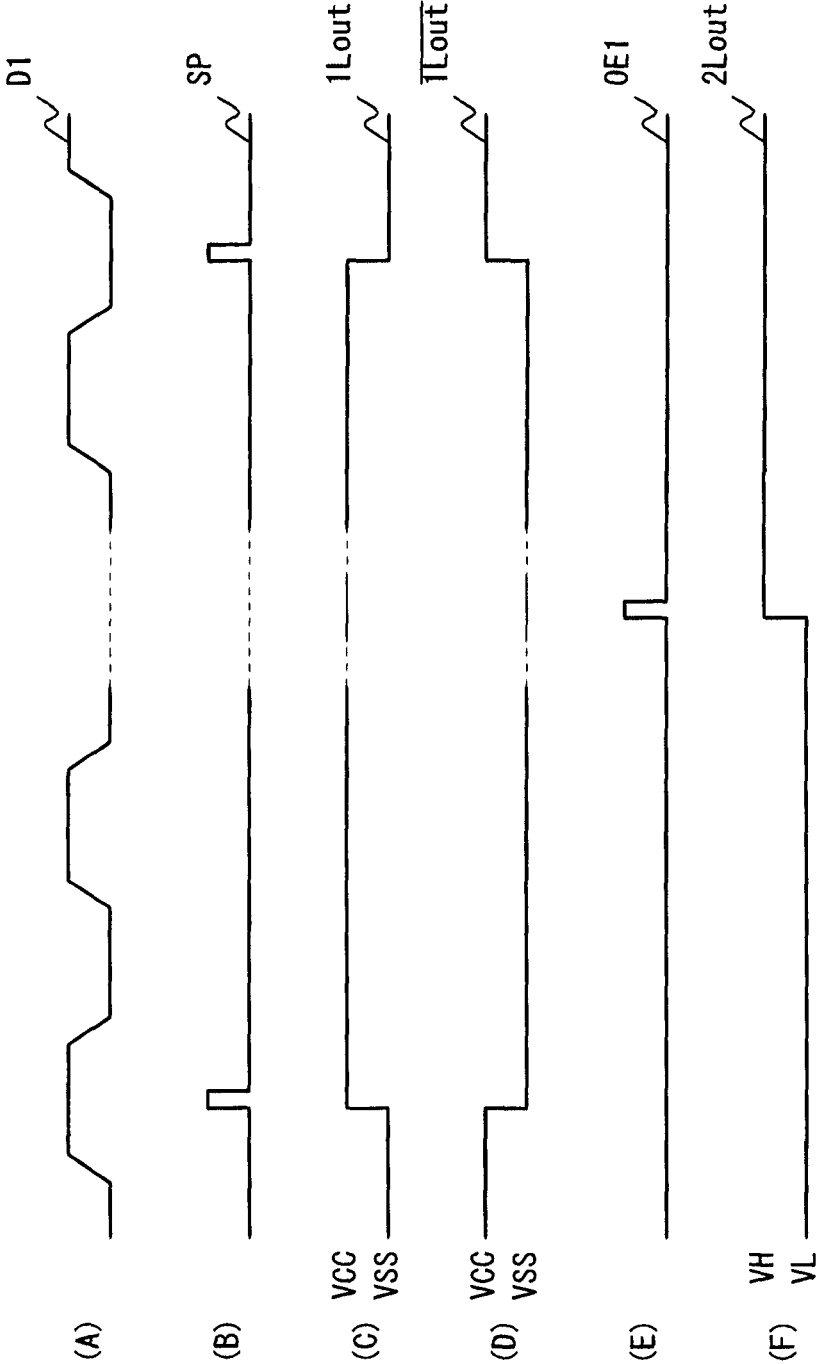


图 3

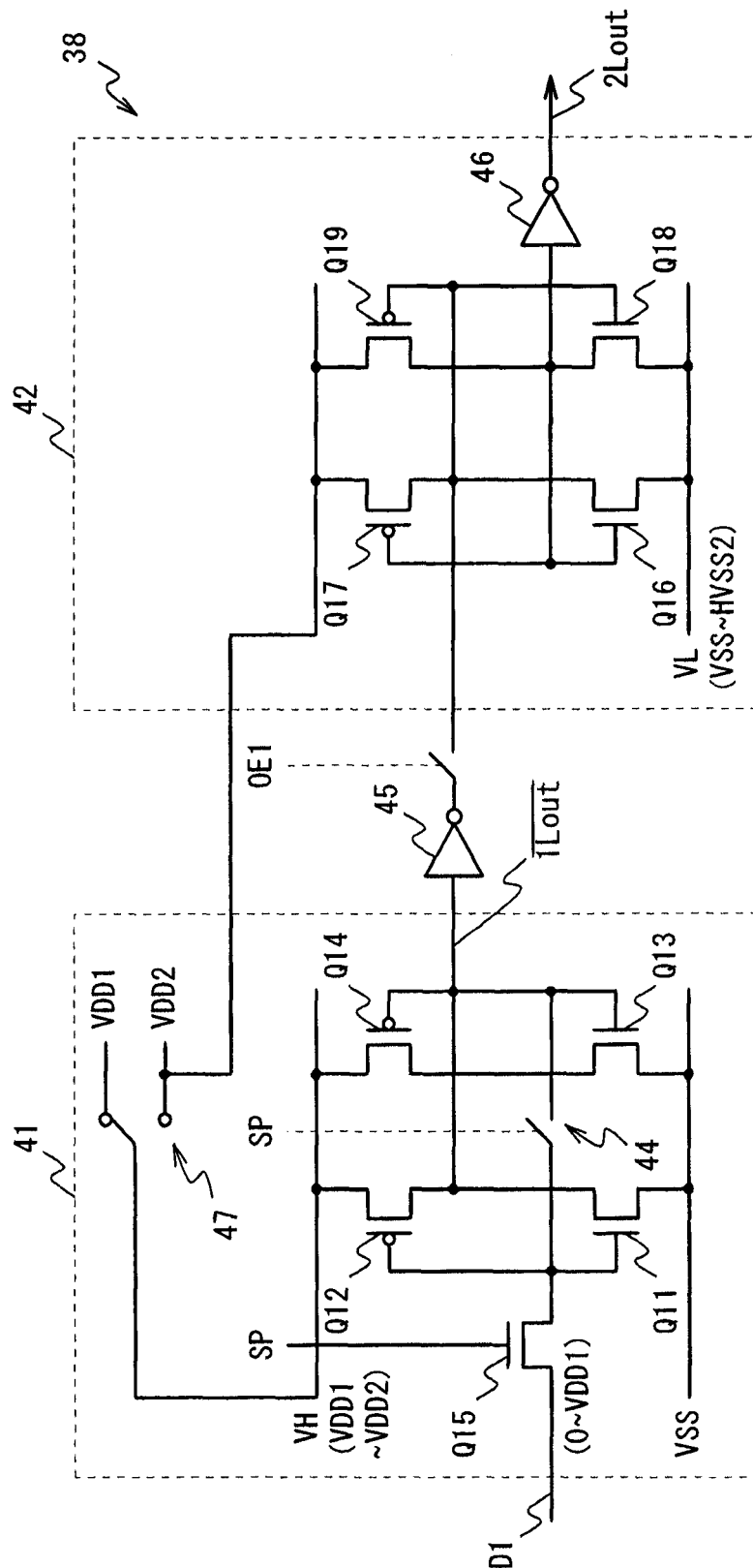


图 4

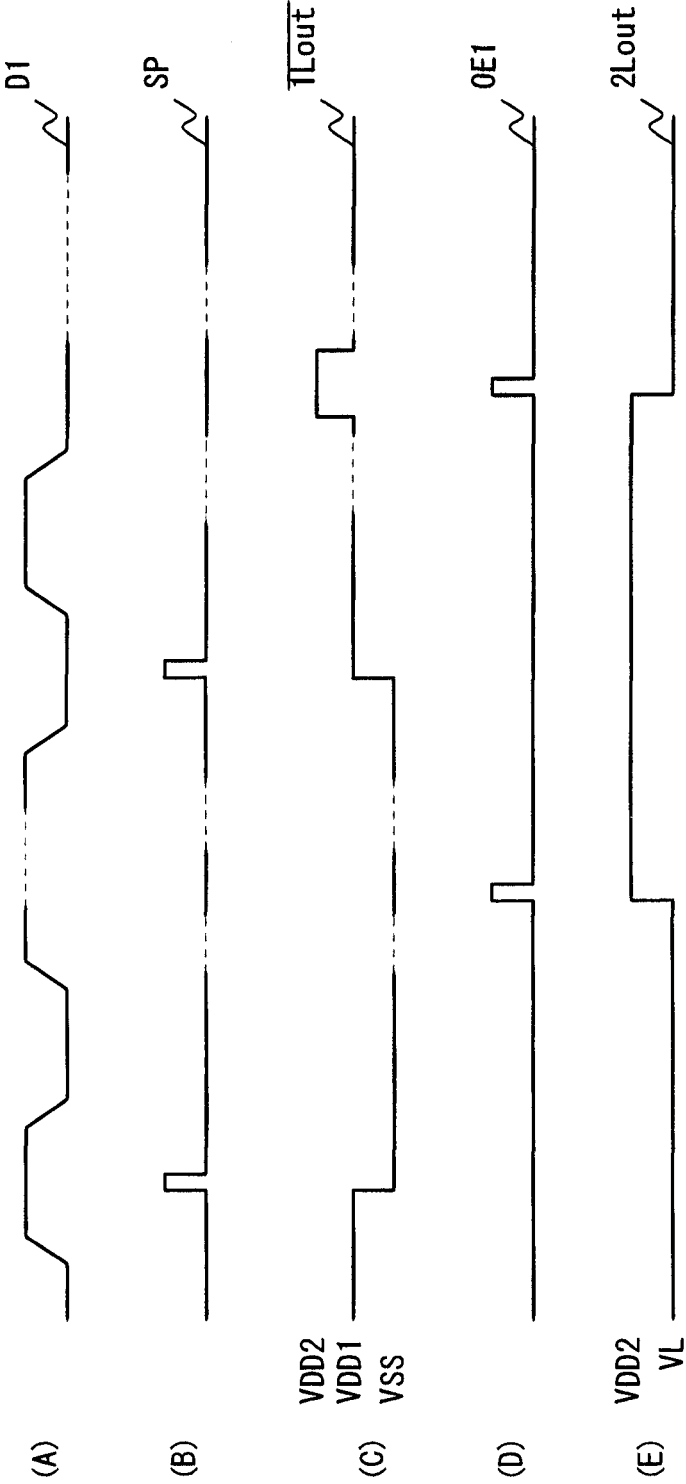


图 5

专利名称(译)	数据传送电路和平面显示设备		
公开(公告)号	CN1820300A	公开(公告)日	2006-08-16
申请号	CN200480019358.3	申请日	2004-07-06
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼株式会社		
当前申请(专利权)人(译)	索尼株式会社		
[标]发明人	木田芳利 仲岛义晴		
发明人	木田芳利 仲岛义晴		
IPC分类号	G09G3/36 H03K3/356 G09G3/20 G09G5/02 G11C19/00 H03K3/037		
CPC分类号	H03K3/356156 G09G2310/027 G09G3/3688 G09G2300/0408 G09G2330/021 G09G2310/0294 H03K3/0375 G09G2330/02 G09G2310/0289 G11C19/00		
代理人(译)	王勇		
优先权	2003192626 2003-07-07 JP		
其他公开文献	CN100440300C		
外部链接	Espacenet SIPO		

摘要(译)

本发明是一种数据传送电路，其可应用于具有例如集成在绝缘衬底上的驱动电路的液晶显示装置，配置该驱动电路，以便仅仅将第一锁存部分(41)的锁存结果的反相输出或者仅仅其非反相输出作为数据传送到第二锁存部分(42)，并且至少在将数据传送到所述第二锁存部分(42)的期间之内，升高第一锁存部分(41)的电源电压。

