



[12] 发明专利申请公开说明书

[21] 申请号 200380100644.8

[43] 公开日 2005 年 11 月 2 日

[11] 公开号 CN 1692398A

[22] 申请日 2003. 12. 25

[21] 申请号 200380100644.8

[30] 优先权

[32] 2002. 12. 27 [33] JP [31] 378777/2002

[86] 国际申请 PCT/JP2003/016832 2003. 12. 25

[87] 国际公布 WO2004/061813 日 2004. 7. 22

[85] 进入国家阶段日期 2005. 2. 7

[71] 申请人 三洋电机株式会社

地址 日本大阪府

共同申请人 鸟取三洋电机株式会社

[72] 发明人 小林靖弘 莲佛启一 平贺悟

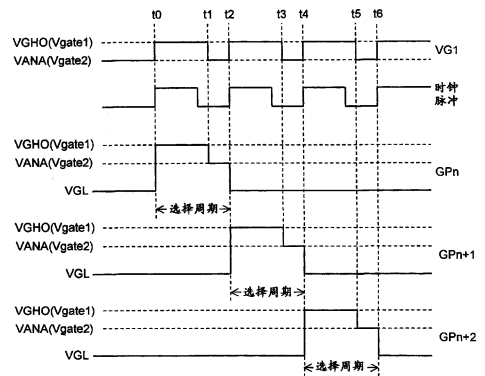
[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所
代理人 秦 晨

权利要求书 1 页 说明书 16 页 附图 8 页

[54] 发明名称 有源矩阵型液晶显示设备

[57] 摘要

一种有源矩阵型液晶显示设备，适合于降低功耗并排除开关损耗，使得在选择过程中，当步进式改变加在一个栅线上的栅脉冲时不导致浪涌电压。该设备包括，对于选择电源电压电路(18)，一个第一电源(VGH0)，用于供给一个预定的选择电压，以及一个第二电源(VANA)，用于供给低于选择电压一个预定值的电压，使得从第二电源的电压始终加到选择电压供给电路的一个输出点(VG1)，以及在短于从选择时间开始的选择周期过程中，叠加第一电源的电压，由此将步进式栅脉冲(GPn, GPn + 1, GPn + 2, ...)加到预定选择的栅线上(Xn, Xn + 1, Xn + 2...)



1. 一种有源矩阵型液晶显示设备, 包括:
象素电极, 以矩阵排列并分别由象素晶体管驱动;
多条栅线, 以一个列一个列的方式连接到象素晶体管的栅电极;
多条源线, 以一个行一个行的方式连接到象素晶体管的源电极;
一个栅驱动器, 在一个选择周期接着一个选择周期的过程中, 顺次地将一条栅线接着一条栅线地连接到一个选择电压供给电路的输出点; 以及

一个源驱动器, 将一个图像信号供给源线,
其中选择电压供给电路含有一个第一电源, 用于供给一个预定的选择电压, 以及一个第二电源, 用于供给一个低于预定选择电压的电压, 选择电压供给电路的输出点总是被供给来自第二电源的电压, 提供一个开关, 这样操作使得在开始于每个选择周期的起始并持续小于该选择周期的时间间隔内, 选择电压供给电路的输出点被供给来自第一电源的电压。

2. 根据权利要求1的有源矩阵型液晶显示设备, 其中第二电源通过一个二极管连接到选择电压供给电路的输出点。

3. 根据权利要求1的有源矩阵型液晶显示设备, 其中第一电源通过开关连接到选择电压供给电路的输出点。

4. 根据权利要求1-3中任一个的有源矩阵型液晶显示设备, 其中象素晶体管由无定形硅形成。

5. 根据权利要求1-3中任一个的有源矩阵型液晶显示设备, 其中选择电压供给电路与栅驱动器分立地提供。

6. 根据权利要求1-3中任一个的有源矩阵型液晶显示设备, 其中选择电压供给电路在栅驱动器外与一个低电平栅电压源一起布置。

7. 根据权利要求1-3中任一个的有源矩阵型液晶显示设备, 其中对于开关, 提供多个开关, 每个栅线一个, 它们互相平行。

有源矩阵型液晶显示设备

技术领域

本发明涉及一个有源矩阵液晶显示设备，例如一个液晶面板，以及尤其涉及一个有源矩阵型液晶显示设备，提供有连接到一个液晶象素上的一个象素晶体管的栅脉冲供电线。

背景技术

首先，将根据图 5 简要描述一个传统有源矩阵型液晶显示设备的典型配置，这是一个等效电路图，示出了相应于一个象素的一部分。一个有源矩阵型液晶显示设备含有一个液晶面板（未示出），具有以矩阵排列的液晶象素（例如包括 A 列和 B 行（其中 A 和 B 是自然数）），每个液晶象素位于液晶面板上一个栅线 PX_n （其中 n 是一个小于或者等于 A 的自然数）和一个信号线（源线） Y_m （其中 m 是一个小于或者等于 B 的自然数）的交点。这个液晶象素通过一个液晶电容 C_{LC} 等效表示。通常，一个辅助电容 C_s 液晶电容 C_{LC} 平行连接。液晶电容 C_{LC} 的一端连接到一个象素晶体管用于驱动象素，液晶电容 C_{LC} 的另一端连接到一个公共电极，以接收一个预定的参考电压 V_{com} 。

象素晶体管 Tr 作为一个绝缘栅场效应型的 N 沟道 TFT（薄膜晶体管）而构建，它的漏电极 D 连接到信号线 Y_m 以接收图象信号 V_{sig} ，它的源电极 S 连接到液晶电容 C_{LC} 的一端，即连接到象素电极。象素晶体管 Tr 的栅电极 G 连接到栅线 PX_n 以接收一个有预定栅电压 V_{gate} 的栅脉冲。在液晶电容 C_{LC} 和栅电极 G 之间形成了一个耦合电容 C_{GS} 。该耦合电容是位于象素电极和栅线 PX_n 之间的浮动电容和象素晶体管 Tr 内的源区和栅区之间的寄生电容之和，后者，即寄生电容是主要的，从一个象素晶体管 Tr 到另一个之间的变化非常大。

现在，根据图 6 将描述图 5 所示在单一象素内部的相关点上观察

到的电压波形。在图 6 中，时间的流逝作为横轴，以及关于相应于该单一象素的象素晶体管 T_r ，在它的栅电极 G 的电压波形（由图 6 中的实线 200 表示）和源电极 S 的电压波形（由图 6 中的实线 201 表示）相对于参考电压 V_{com} 画出图形。

首先，在象素选择周期内，当一个由电压 V_{gate} 的栅脉冲施加到栅电极 G 上，象素晶体管 T_r 开启。在这一点，从信号线 Y_m 供给的图象信号 V_{sig} 通过象素晶体管 T_r 写到液晶象素中，结果在源电极 S 的电势变得和 V_{sig} 相等，获得所谓的取样。然后，在象素的非选择周期内，停止施加栅脉冲，相反，施加一个低电平电压，导致象素晶体管 T_r 关闭。然而，写入的图像信号由液晶电容 C_{LC} 所保持。

这里，低电平栅电压是一个低于电压 V_{gate} 的电压，使得当施加到象素晶体管 T_r 的栅电极 G 时，它导致它关闭。对于一个给定的象素，从象素选择周期开始的一段时间经过其非选择周期直到选择周期又开始的周期称作一个场。

从选择周期到非选择周期转换时，一个方波的栅脉冲突然从一个高电平降到一个低电平。这导致存储在液晶电容 C_{LC} 中的电荷通过上述耦合电容 C_{GS} 瞬时释放。这在写入到液晶象素的图象信号 V_{sig} 中产生一个电压漂移 ΔV_1 。即，源电极 S 的电压降低了 ΔV_1 。既然在液晶显示设备中耦合电容 C_{GS} 从一个象素到另一个象素发生变化，电压漂移 ΔV_1 也相应地变化。这样电压降低 ΔV_1 最终产生了液晶面板上显示的屏幕中的一个周期性变化，产生了所谓闪烁和残像，这会明显地降低显示质量。

顺便提及，在一个液晶象素中，一个图象信号在选择周期内写入，以及在它的随后的非选择周期内，写入图象信号得到保持。这构成了一个场。在一个场内，一个液晶象素的透射率由在其周期内施加到液晶上的有效电压决定。相应地，那里的象素晶体管 T_r 需要设计成允许在选择周期中完成写入操作所需的开态电流通过。此外，为了获得一个足够高的有效电压以使液晶象素在一个场阶段一直亮着，象素晶体管 T_r 需要设计成允许在非选择周期内（或者保持阶段）尽量小的

漏电流。有效电压的变化更易于受非选择周期的影响，该阶段比选择周期持续时间更长。这样，液晶电容 C_{LC} 放电之后，象素晶体管关闭，极大地影响了施加到液晶上的有效电压，上述的电压漂移 $\Delta V1$ 发生，降低了液晶版的显示质量。

一个减少绝对电压和电压漂移 $\Delta V1$ 传统方法是给辅助电容 C_S 一个相对高的电容，它和液晶电容 C_{LC} 平行连接。目的是允许辅助电容 C_S 提前存储足够的电荷以补充耦合电容 C_{GS} 释放的电荷。这种方法有一个缺点：辅助电容 C_S 在液晶象素区形成，因此增加它的尺寸，导致牺牲了象素孔径比，导致了显示对比度不足。

一个传统的有源矩阵型液晶显示设备中电压漂移问题解决方法的例子公开于日本专利申请公开 No.H6-3647(在下文中指为“专利发表 1”)。图 7 示出了关于象素晶体管 Tr ，它的栅电极 G 的电压波形（由图 7 的实线 300 表示）和源电极 S （由图 7 的实线 301 表示）相对于参考电压 V_{com} 画出图形，如采用在专利发表 1 公开中的技术时所观察到的。

根据公开在专利发表 1 中的技术，如图 7 所示，直接地从选择周期向非选择周期转换之前，施加到栅电极 G 的电平首先降低到一个低于第一高电平栅电压 V_{gate1} 的第二高电平栅电压 V_{gate2} ，然后进一步降低到一个低电平栅电压以产生一个栅脉冲 PGP 。用这种方式，在图象信号 V_{sig} 写入中可以降低电压漂移（图 7 中的 $\Delta V2$ ）。

栅脉冲 PGP 的电压电平从第一高电平栅电压 V_{gate1} 降到第二高电平栅电压 V_{gate2} 的时限是完成写操作，使得在选择阶段不影响写操作到液晶象素。特别地，电压作为栅脉冲 PGP 供给栅电极 G ，首先从第一高电平栅电压 V_{gate1} 降到第二高电平栅电压 V_{gate2} ，并且然后当转换到非选择阶段后，进一步降低到低电平栅电压。这在从选择阶段转换到非选择阶段的时间点上降低了栅线 PX_n 和源电极 S 之间的电势差，这样允许有效地降低电压漂移（图 7 中的 $\Delta V2$ ）（即，电压漂移 $\Delta V2$ 可以小于电压漂移 $\Delta V1$ ）。

现在，将参考图 8 描述在专利发表 1 中采用的，用于驱动一个有

源矩阵型液晶显示设备的一个驱动电路的实例。图 8 中，有源矩阵型液晶显示设备含有一个显示选择，包括以一个矩阵排列的液晶象素 LP 和分别驱动那些液晶象素 LP 的象素晶体管 Tr。图 8 中的这些元件也可以在图 5 中找到，以相同的参考符号来标识，并且将不重复对它们的解释。图 8 中，仅仅示出了相应于一行的液晶象素。

象素晶体管 Tr 的栅电极 G 通过栅线 PX1, PX2, PX3, PX4,... 分别连接到一个垂直扫描电路 101。通过这些线，一条接一条顺序地施加上栅脉冲 PGP1, PGP2, PGP3, PGP4, ..., 到分别的象素晶体管 Tr，使得在一个时间选择它们中的一个。象素晶体管 Tr 的漏电极 D 通过一个信号线 Ym 连接到一个水平驱动电路 102，使得通过当前选择的象素晶体管 Tr 写入一个图像信号 Vsig 到相应的液晶象素 LP。

垂直扫描电路 101 是作为一个移位寄存器 103 而构建。该移位寄存器 103 含有以多级连接的 D 触发器 104，每个 D 触发器 104 包括一对反相器 105 和 106，输出端连接在一起。每个反相器通过一个 P 沟道驱动晶体管 107 连接到一对串联的分压电阻器 R101 和 R102 之间的中点，并通过一个 N 沟道驱动晶体管 108 连接到地。该对驱动晶体管 107 和 108 通过响应于移位时钟脉冲 VCK1 和 VCK2 以及这些脉冲的反转型式而导电，从而驱动反相器 105 和 106。

这对输出端连接起来的反相器 105 和 106 连接到第三反相器 109 的输入端，以及每一级的 D 触发器的输出脉冲出现在第三反相器 109 的输出端。输出脉冲用作下一级 D 触发器的输入。当一个开始信号 VST 供给 D 触发器时，移位寄存器 103 从一级连续到另一级输出，输出脉冲互相异相半个周期。每一级的输出脉冲和前一级的输出脉冲受 NAND 门单元 110 执行的逻辑操作的指挥，然后由一个反相器 111 反转。这样得到了栅脉冲 PGP1, PGP2, PGP3, PGP4。

串联的分压电阻器 R101 和 R102 在一端连接到一个源电压 VVDD，另一端通过一个开关晶体管 114 连接到地。一个控制电压 VCKX 周期地加到开关晶体管 114 的栅电极。当开关晶体管 114 关闭时，源电压 VVDD 供给如同给移位寄存器 103，使得栅脉冲 PGPn (其

中 n 是自然数) 的电压都等于源电压。作为对比, 当开关晶体管 114 开启时, 通过电阻器 R101 和 R102 电阻比的因子分压的到一个电压, 供给移位寄存器 103, 使得栅脉冲 PGP n 的电压由此变得较低。

在该实例中, 加到开关晶体管 114 的栅电极的控制电压 VCKX 根据水平同步信号显示出脉冲状电平漂移。在该实例中, 水平周期设置为 63.5 μ s, 该周期相应于一个栅线的选择周期。在每个水平周期的恰好结束阶段, 控制电压 VCKX 转向一个高电平并保持于此一个周期 6 - 8 μ s。设置该周期使得不影响选择周期过程中图像信号的写操作。特别地, 是在完成将图像信号写入选择的栅线上的所有象素, 即一个接一个象素地进行后, 控制电压 VCKX 才转到高电平。当控制电压 VCKX 转到高电平时, 开关晶体管 114 开启, 结果是供给移位寄存器 103 的电源电压电平降低, 例如从设置为等于第一高电平栅电压 13.5V 的源电压 VVDD 电平, 降到设置为约 8.5V 的第二高电平栅电压。这里电压降低亮可以通过近似设置这对分压电阻器 R101 和 R102 的电阻比来近似设置。

为响应这种电源电压的变化, 例如第 n 个 (其中 n 为自然数) 栅脉冲 PGP n 在一个水平周期内步进式地改变电平从 13.5V 到 8.5V。在下一个水平周期内, 生成相应于第 ($N + 1$) 条栅线的一个栅脉冲 PGP $n+1$, 并且该栅脉冲同样步进式地改变它的电平。通过类似这些的操作, 垂直扫描电路在立即使施加的电压电平作为每个栅脉冲 PGP n 降低之前, 首先降低栅脉冲 PGP n 的电压电平, 然后使它进一步下落。这样, 写入象素中的图像信号 Vsig 的电压漂移可以降低。

如上面所描述的, 随着上面提到的专利发表 1 中公开的技术, 通过使栅脉冲 PGP n 步进式降低, 有效降低图像信号 Vsig 中的电压漂移 ΔV_2 是可能。

然而, 在上面描述的公开于专利发表 1 的实例中, 栅脉冲 PGP n 的步进式降低是通过改变源电压 VVDD 和电压 $VVDD \times R102 / (R101 + R102)$ 而产生, 供给移位寄存器 103 的电源电压作为一个门驱动器。结果, 包括移位寄存器 103 的电路整体含有一个复杂的, 大规模电路

配置，并需要大量的工作电流。这样驱动器占有很大的面积。

此外，使用电阻器 R101 和 R102 分流源电压 VVDD 得到的一个电压用作移位寄存器 103 的电源电压，并且这种分路电压显示了高的电流依赖性。这趋向于使到移位寄存器 103 的电源电压以及到栅脉冲 PGPn 的电压不稳定。

此外，每当电源电压到逻辑单元例如移位寄存器 103 开关是通过开关晶体管 114 的开和关时，在栅脉冲 PGPn 的电压中会出现一个浪涌电压，降低了显示质量。另外，由于逻辑单元例如移位寄存器 103 通常在一个 5V 或更低的电源电压下工作，在该实例中它们工作于非常高的电压，例如 13.5V 到 8.5V，这导致了非常高的功耗。

发明内容

考虑到上面描述的传统遇到的问题，本发明的一个目标是提供一个有源矩阵型液晶显示设备，以低功耗工作，含有一个简单的电路配置，获得了开关而不产生浪涌电压，产生稳定的步进式移位的栅脉冲，这样提供了好的显示质量。

为获得上面的目标，根据本发明，提供了一个有源矩阵型液晶显示设备：象素电极以一个矩阵排列并分别由象素晶体管驱动；多条栅线以列和列的方式连接到象素晶体管的栅电极；多条源线以行和行的方式连接到象素晶体管的源电极；一个栅驱动器，在一个连一个的选择周期内，一条栅线连一个地连接到一个选择电压供给电路的输出点；以及一个源驱动器，将一个图像信号供给源线。这里，选择电压供给电路含有一个第一电源，用于供给一个预定的选择电压，以及一个第二电源，用于供给一个低于预定选择电压的电压。此外，选择电压供给电路的输出点总是使用第二电源的电压供给。进一步，提供一个开关，以这样的操作，使得在开始于每个选择周期的起始并持续小于该选择周期的时间间隔内，选择电压供给电路的输出点由第一电源的电压供给。

使用这种配置，在每个栅线的选择周期内施加一个步进式栅脉冲

电压是可能的。这使得解决一个传统源矩阵型液晶显示设备中电压漂移（图6中的 $\Delta V1$ ）问题成为可能。另外，既然低于预定选择电压的第二电压总是供给选择电压供给电路，即使供给栅线的电压随错误的计时而开关，也不会出现浪涌电压，电压也不会不能够加上。

此外，既然第一和第二电源互相独立提供，对选择电压供给电路的输出点供给稳定的电压，结果是可能以稳定电压供给步进式栅脉冲。

根据本发明，在上面描述的配置中，第二电源可以通过一个二极管连接到选择电压供给电路的输出点。使用这种配置，当从高于第二电源电压的第一电源电压开始加电压时，选择电压供给电路的输出电压立即转换到从第一电源供给的电压。这样以一个简单电路配置和低功耗来供给步进式栅脉冲是可能的。

根据本发明，在上面描述的配置中，第一电源可以通过开关连接到选择电压供给电路的输出点。使用这种配置，以一个简单电路配置和低功耗来供给步进式栅脉冲是可能的。

根据本发明，在上面描述的配置中，象素晶体管可以由无定形硅形成。使用这种配置，既然已经解决了由于电压漂移（图6中的 $\Delta V1$ ）而导致的图象质量下降的传统遇到的问题，甚至使用无定形硅代替导致液晶显示面板具有低图像质量的低温多晶硅，使得不但弥补图像质量上的这种损失，而且降低制造工艺中包括的步骤数目都是可能的。这使得偏移地制造大屏幕液晶显示面板是可能的。

根据本发明，在上面描述的配置中，选择电压供给电路可以与栅驱动器分立提供。使用这种配置，即使当大电流流过选择电压供给电路时，导致耗散大量的热，这很容易冷却。

根据本发明，在上面描述的配置中，选择电压供给电路可以沿着在栅驱动器外面的一个低电平栅电压源排列。使用这种配置，即使当大电流流过选择电压供给电路时，导致耗散大量的热，这很容易冷却。

根据本发明，在上面描述的配置中，对于开关，提供多个开关，每个栅线一个开关，互相并列。使用这种配置，对于开关，多个小开关以分布方式互相并列排列是可能的。这有助于降低总功耗，以及可

能将开关集成进栅驱动器中。

附图说明

图 1 是示出本发明第一实施例，有源矩阵型液晶显示设备的驱动电路图。

图 2 是示出图 1 中在相关点观察的波形图。

图 3 是示出图 1 所示的选择电压供给电路的电路配置实例图。

图 4 是示出本发明第二实施例，有源矩阵型液晶显示设备的驱动电路图。

图 5 示意地示出了在一个传统有源矩阵型液晶显示设备的一个典型配置中，相应于一个象素的部分的等效电路图。

图 6 示出了在一个传统有源矩阵型液晶显示设备的一个象素中，在相关点观察的电压波形图。

图 7 示出解决一个传统有源矩阵型液晶显示设备中遇到的电压漂移问题的一个方法图。

图 8 示出实现图 7 所示方法的驱动电路实例图。

具体实施方式

(第一实施例)

以下，参考图 1-3，将详细描述本发明第一实施例。图 1 是示出了本发明第一实施例，有源矩阵型液晶显示设备的驱动电路 1 的框图，图 2 是示出图 1 中在相关点观察的波形图，以及图 3 示出了图 1 所示的选择电压供给电路的电路配置实例图。

该实施例的有源矩阵型液晶显示设备，以及也是后面第二实施例描述的有源矩阵型液晶显示设备，含有一个液晶面板，它含有以一个矩阵（例如包括 A 列和 B 行（其中 A 和 B 是自然数））排列的液晶象素，每个象素位于一个栅线 PX_n （其中 n 是一个小于或者等于 A 的自然数）和一个信号线（源线） Y_m （其中 m 是一个小于或者等于 B 的自然数）的交点，如参考图 5 前面传统实例所描述的。

分别驱动液晶象素的象素晶体管和连接那些象素晶体管漏电极的信号线也都与前面参考图 5 描述的传统实例使用的相同, 因此在此省略掉。栅线 X_n 也与图 5 中它们的配对物 PX_n 相同, 这里除了它们连接象素晶体管的栅电极以外, 这些晶体管是在该实施例的有源矩阵型液晶显示设备的驱动电路 1 中提供的。

首先, 参考图 1, 将详细描述本发明第一实施例的有源矩阵型液晶显示设备的驱动电路。有源矩阵型液晶显示设备的驱动电路 1 包括: 一个定时电路 14, 接收从一个为示出的 CPU (中央处理单元) 的时钟脉冲 12 (占空因子 50%); 以及构建为一个移位寄存器的一个栅驱动器 16。它进一步包括: 一个选择电压供给电路 18, 接收定时电路 14 的输出; 栅线 $X_n, X_{n+1}, X_{n+2} \dots$ (其中 n 为自然数), 分别连接到象素晶体管(未示出)的栅电极; 栅脉冲控制开关 $24_n, 24_{n+1}, 24_{n+2} \dots$, 分别连接到栅线 $X_n, X_{n+1}, X_{n+2} \dots$; 以及一个低电平栅电压源 V_{GL} 。

选择电压供给电路 18 包括: 一个第一电源 V_{GH0} , 供给一个第一高电平栅电压 V_{gate1} ; 一个第二电源 V_{AVA} , 供给一个第二高电平栅电压 V_{gate2} , 低于第一高电平栅电压 V_{gate1} ; 一个二极管 22, 其正极连接到第二电源 V_{AVA} 的输出, 其负极连接到选择电压供给电路 18 的输出点 V_{G1} ; 一个开关 20, 响应于定时电路 14 的输出而开启和关闭第一电源 V_{GH0} 和二极管负极之间的连接。选择电压供给电路 18 的输出点 V_{G1} 还连接到每个栅脉冲控制开关 $24_n, 24_{n+1}, 24_{n+2} \dots$ 的一端。

栅驱动器 16 供给控制信号单独地给栅脉冲控制开关 $24_n, 24_{n+1}, 24_{n+2} \dots$, 使得根据那些控制信号, 选择电压供给电路 18 的输出电压或者低电平栅电压源 V_{GL} 地输出电压加到例如栅线 X_n 。对每个其它的栅线 (即栅线 X_{n+1}, X_{n+2}, \dots) 执行同样的控制。

当第一高电平栅电压 V_{gate1} 或第二高电平栅电压 V_{gate2} 施加到一个给定的象素晶体管的栅电极, 该象素晶体管开启。作为对比, 当从低电平栅电压源 V_{GL} 输出的电压加到一个给定的象素晶体管的栅电极, 该象素晶体管关闭。

定时电路 14 响应于从 CPU 的一个时钟脉冲 12 的上升沿开始计数，并在迟于那个时钟脉冲的下降沿但是早于下一个时钟脉冲的上升沿停止计数。换句话说，在定时电路 14 开始一圈的计数后直到它结束，消逝的时间长度比时钟脉冲 12 的一半时间周期要长但是比时钟脉冲 12 的一个时间周期要短。

根据这个定时电路 14 的输出，选择电压供给电路 18 的开关 20 被控制，使得在选择电压供给电路 18 的输出点 VG1 的电压在第一高电平栅电压 V_{gate1} 和低于 V_{gate1} 的第二高电平栅电压 V_{gate2} 之间转换。

更一般而言，开关 20 由定时电路 14 的输出以一种方式控制，使得当定时电路 14 计数时，在选择电压供给电路 18 的输出点 VG1 出现的电压是第一高电平栅电压 V_{gate1} ，以及当定时电路 14 不计数时，在选择电压供给电路 18 的输出点 VG1 出现的电压是第二高电平栅电压 V_{gate2} 。

然后，参考图 2，将描述图 1 中在相关点观察的波形。在图 2 中示出了从上面的电压波形，它在选择电压供给电路 18 的输出点 VG1，时钟脉冲 12，加在栅线 X_n 的电压（栅脉冲 GP_n ），加在栅线 X_{n+1} 的电压（栅脉冲 GP_{n+1} ），和加在栅线 X_{n+2} 的电压（栅脉冲 GP_{n+2} ）。

如图 2 所示，每当时钟脉冲 12 上升时（在时间点 t_0 ， t_2 ， t_4 ，和 t_6 ），定时电路 14 开始计数，导致第一高电平栅电压 V_{gate1} 出现作为在选择电压供给电路 18 的输出点 VG1 的电压。上升到一个高电平后，钟脉冲 12 首先降到一个低电平，然后在下一个脉冲上升前，定时电路 14 完成并停止计数（在时间点 t_1 ， t_3 ，和 t_5 ）。如上面描述的。这样，当定时电路 14 完成计数之后直到它开始计数下一个时间（在时间点 t_2 ， t_4 ，和 t_6 ），第二高电平栅电压 V_{gate2} 出现作为在选择电压供给电路 18 的输出点 VG1 的电压。

时间点 t_0 和 t_2 之间， t_2 和 t_4 之间，以及 t_4 和 t_6 之间的周期，分别是一个由加到栅线 X_n 上的电压驱动的元素的选择周期（该周期这样可以成称为栅线 X_n 的选择周期），一个由加到栅线 X_{n+1} 上的

电压驱动的象素的选择周期（该周期这样可以成称为栅线 X_{n+1} 的选择周期），和一个由加到栅线 X_{n+2} 上的电压驱动的象素的选择周期（该周期这样可以成称为栅线 X_{n+2} 的选择周期）。

回至图 1，从 CPU 的时钟脉冲 12 还供给构建作为一个移位寄存器的栅驱动器 16。这样，栅驱动器 16 这样工作，使得在一个场的周期内（见图 6），与从 CPU 的钟脉冲 12 的一个接一个上升沿同步，栅线 $X_n, X_{n+1}, X_{n+2} \dots$ 一个接一个地，以线与线的形式分别由栅脉冲控制开关 $24_n, 24_{n+1}, 24_{n+2} \dots$ 选择。这样，在一个给定的栅线选择周期内（在图 1 中 X_n 被选择），该栅线连接到选择电压供给电路 18 的输出点 VG_1 ，其它所有栅线（图 1 中的 X_{n+1}, X_{n+2} 等）连接到低电平栅电压源 VGL 。

因此，如图 2 所示，加到无论哪一个栅线 X_n 的栅脉冲 GP_n 在一个周期内已经到达了它的选择周期，首先从是一个低电平电压源的低电平栅电压源 VGL ，急剧地上升到第一高电平栅电压 V_{gate1} （在时间点 t_0 ），然后，此后的一个预定周期内，降到第二高电平栅电压 V_{gate2} （在时间点 t_1 ），然后，在该选择的周期末端，剧烈地下降到低电平栅电压源 VGL 供给的电压（在在时间点 t_2 ），然后保持在该电压直到在下一个场内相同的栅线到达它的选择周期。随后，在剩下的栅线 $X_{n+1}, X_{n+2} \dots$ 一个接一个的选择周期内，分别在那里加上类似 GP_n 的步进式栅脉冲 $GP_{n+1}, GP_{n+2}, \dots$ 。

在该实施例中，例如一个选择周期的长度（时间点 t_0 到 t_2 之间的周期）设置为 $13.5\mu s$ ，时间点 t_0 和 t_1 之间，时间点 t_2 和 t_3 之间，以及时间点 t_4 和 t_5 之间的周期都设为 $11\mu s$ ，以及时间点 t_1 和 t_2 之间，时间点 t_3 和 t_4 之间，以及时间点 t_5 和 t_6 之间的周期都设为 $2.5\mu s$ 。此外，例如从第一电源 VGH_0 供给的第一高电平栅电压 V_{gate1} 设置为 $25V$ ，从第二电源 $VANA$ 供给的第二高电平栅电压 V_{gate2} 设置为 $13V$ 。不用说，上面特别提到的值对相关周期（ $13.5\mu s$ 等）和电压（ $25V$ 等）无论如何也不会限制本发明。

然后，参考图 3，将描述图 1 所示的选择电压供给电路 18 的一个

电路配置实例。这里，也可以在图 1 中找到的这些元件以相同的参考数目和符号标识，并且不再重复它们的解释。

第一电源 VGH0 的输出通过一个电阻器 R1 连接到一个 PNP 型晶体管 20a 的发射极，晶体管 20a 的集电极通过一个电阻器 R5 连接到一个 NPN 型晶体管 Tr_b 的集电极。晶体管 20a 的发射极通过电阻器 R2, R3, 和 R4 连接到型晶体管 Tr_b 的基极，R2 和 R3 之间的结点连接到晶体管 20a 的基极，R3 和 R4 之间的结点连接到 NPN 型晶体管 Tr_a 的集电极。晶体管 Tr_b 的基极通过一个电阻器 R7 接地，晶体管 Tr_a 和 Tr_b 的发射极都接地。

晶体管 Tr_a 的基极通过一个电阻器 R8 接地，并连接到定时电路 14 的输出（图中的 TO）。

第二电源 VANA 的输出通过二极管 22 连接到晶体管 20a 的集电极，晶体管 20a 的集电极通过一个电阻器 R6 连接到选择电压供给电路 18 的输出点 VG1。

晶体管 Tr_a 和 Tr_b 一起构成一个电平移动电路 26，当那些晶体管开关时，移动选择电压供给电路 18 的输出点 VG1 的电压。定时电路 14 包括一个定时单元 14A 用于计数时间，并接收一个电源 VDD0 和时钟脉冲 12。晶体管 20a 就体现了图 1 所示的开关 20。

将通过上面描述的互连理解，供给第二高电平栅电压 Vgate2 的第二电源 VANA，通过二极管 22 连接到选择电压供给电路 18 的输出点 VG1，供给第一高电平栅电压 Vgate1 的第一电源 VGH0 通过开关 20 连接到定时电路 14 的输出通过电平移动电路 26 连接的地方，也连接到输出点 VG1。即，既然第二电源 VANA 总是通过二极管 22 连接到选择电压供给电路 18 的输出点 VG1，在输出点 VG1 出现的作为电压输出的是，当晶体管 20a 关闭时，是从第二电源 VANA 供给的电压，即第二高电平栅电压 Vgate2，以及，当晶体管 20a 开启时，是从第一电源 VGH0 供给的电压，即第一高电平栅电压 Vgate1。

电阻器的电阻设置使得当定时电路 14 计数时，定时电路 14 输出一个高电平电压，使晶体管 Tr_a 开启以及晶体管 Tr_b 关闭，另外沿

电阻器 Ra 的压降使晶体管 20a 开启。此外，电阻器的电阻设置使得当定时电路 14 不计数时，定时电路 14 输出一个低电平电压，使晶体管 Tr_a 关闭以及晶体管 Tr_b 开启，另外由于沿电阻器 Ra 的压降使得晶体管 20a 不开启。

因此，当定时电路 14 计数时，晶体管 20a 开启，因此在选择电压供给电路 18 的输出点 VG1 的电压是第一高电平栅电压 Vgate1；而当定时电路 14 不计数时，晶体管 20a 关闭，因此在选择电压供给电路 18 的输出点 VG1 的电压是第二高电平栅电压 Vgate2。

如上面所描述的，PNP 型晶体管 20a 仅仅是体现图 1 所示开关 20 的一个实例。不用说，本发明并不局限于采用 PNP 型晶体管 20a 作为开关 20 来实现；相反，可以采用一个 NPN 型晶体管，继电器等作为开关 20，修改电路以获得如图 3 所示配置获得的同样效果。

如上面所描述的，在该实施例中，在每个栅线选择周期内施加一个步进式栅脉冲电压是可能的。这样，就可能解决在传统有源矩阵型液晶显示设备中电压漂移（图 6 中的 $\Delta V1$ ）不可避免的问题。此外，相应于第二高电平栅电压 Vgate2 的电压总是从第二电源 VANA 通过二极管 22 供给选择电压供给电路 18 的输出点 VG1，而且，当定时电路 14 计数时，晶体管 20a 保持开启，使得相应于第一高电平栅电压 Vgate1 的一个电压从第一电源 VGH0 供给选择电压供给电路 18 的输出点 VG1。这样，可以转换到高电平栅电压而没有损失并不导致一个浪涌电压。

此外，逻辑电路例如定时电路 14 和栅驱动器 16 可以在一个 5V 或更低电压下工作。相比于前面提到的专利发表 1 公开的配置，这有助于大大降低功耗。

该实施例的配置还可以另外描述如下：“先提供了一个第一电源 VGH0 用于产生一个相应于第一高电平栅电压 Vgate1 的电压，以及一个第二电源 VANA 用于产生一个相应于第二高电平栅电压 Vgate2 的电压，它是一个预定的低于第一高电平栅电压 Vgate1 的电压；当从第二电源 VANA 的第二高电平栅电压 Vgate2 总是通过二极管 22 供给，

第一高电平栅电压 V_{gate1} 是开和关，使得叠加在第二高电平栅电压 V_{gate2} 上。

在上面描述的第一实施例中，一个开关 20 用于选择电压供给电路 18 中。在这种配置下，一个大电流流经开关 20，因此，考虑到那里的热耗散，选择电压供给电路 18 优选与栅驱动器 16 分立提供。这使得很容易冷却选择电压供给电路 18，甚至当一个大电流流经那里导致它耗散大量的热。类似的原因，低电平栅电压源 V_{GL} 可以与栅驱动器 16 分立提供。

在上面的描述中，“分立地提供”意思是，当栅驱动器 16 和其它元件集成进 IC（集成电路）时，栅驱动器 16 装配进分立 IC 以与选择电压供给电路 18 和/或低电平栅电压源 V_{GL} 分开。即使在栅驱动器 16 与选择电压供给电路 18 和/或低电平栅电压源 V_{GL} 装配进相同单 IC 中，如果使从栅驱动器 16 到选择电压供给电路 18 和/或低电平栅电压源 V_{GL} 的物理距离足够长，以允许上面描述的容易冷却，这样做可以理解为等效于上面描述的“分立地提供”的意思。表达“选择电压供给电路 18 或低电平栅电压源 V_{GL} 与栅驱动器 16 分立地提供”与表达“选择电压供给电路 18 或低电平栅电压源 V_{GL} 安排在栅驱动器 16 的外面”是可互换的。

（第二实施例）

作为本发明的第二实施例，一个修改实例，其中上面描述的热耗散问题已经通过允许一个选择电压供给电路（特别地，后面描述的选择电压供给电路 58）构建进如图 4 所示的栅驱动器 16 中。图 4 是示出本发明第二实施例，有源矩阵型液晶显示设备的驱动电路图。这里，也可以在图 1 中找到的这些元件以相同的参考数目和符号标识，并且不再重复它们的解释。

图 4 所示的配置在以下方面不同于图 1 所示的配置。代替定时电路 14，使用一个定时电路 54，它含有一个相应于电平移动电路 26 构建进定时电路 14 中的电路。沿着栅驱动器 16，多个 NPN 型开关晶体管 $Trn, Trn+1, Trn+2...$ 以分布形式互相平行排列，一个用于一个栅

线。这些晶体管 Tr_n , Tr_{n+1} , Tr_{n+2} ...的基极一起连接到定时电路 54 中提供的电平移动电路的输出；那些晶体管的集电极一起连接到第一电源 VGH_0 ；以及些晶体管的发射极连接到选择电压供给电路 58 的输出点 VG_2 之间结点，它通过二极管 22 分别连接到第二电源 $VANA$ ，以及栅脉冲控制开关 24_n , 24_{n+1} , 24_{n+2} ...的一端。

选择电压供给电路 58 与图 1 所示的选择电压供给电路 18 相同，除了图 1 中使用的开关 20 由上面提到的开关晶体管 Tr_n , Tr_{n+1} , Tr_{n+2} ...代替。并且选择电压供给电路 58 的输出点 VG_2 相应于选择电压供给电路 18 的输出点 VG_1 。

定时电路 54 的电平移动电路的输出本身用作定时电路 54 的输出，并且定时电路 54 与定时电路 14 相同，除了本身含有构建的电平移动电路。因此，类似定时电路 14，定时电路 54 响应于从 CPU 的一个时钟脉冲 12 的上升沿开始计数，并在迟于那个时钟脉冲的下降沿但是早于下一个时钟脉冲的上升沿停止计数。

根据这个定时电路 54 的输出，开关晶体管被 Tr_n , Tr_{n+1} , Tr_{n+2} ...控制，以这种方式使得在选择电压供给电路 58 的输出点 VG_2 的电压在第一高电平栅电压 V_{gate1} 和低于 V_{gate1} 的第二高电平栅电压 V_{gate2} 之间转换。

特别地，如同使用定时电路 14，开关晶体管被 Tr_n , Tr_{n+1} , Tr_{n+2} ...由定时电路 54 的输出以一种方式控制，使得当定时电路 54 计数时，在选择电压供给电路 58 的输出点 VG_1 出现的电压是第一高电平栅电压 V_{gate1} ，以及当定时电路 54 不计数时，在选择电压供给电路 58 的输出点 VG_1 出现的电压是第二高电平栅电压 V_{gate2} 。

在该第二实施例中，从第二电源 $VANA$ 相应于第二高电平栅电压 V_{gate2} 的电压总是加到选择电压供给电路 58 的输出点 VG_1 ，并且当定时电路 54 计数时，多于一个的开关晶体管被 Tr_n , Tr_{n+1} , Tr_{n+2} ...通过定时电路 54 中提供的电平移动电路的输出而开启，使得从第一电源 VGH_0 的第一高电平栅电压 V_{gate1} 加到选择电压供给电路 58 的输出点 VG_2 。

这里，既然开关晶体管 $Trn, Trn+1, Trn+2\dots$ 互相平行排列，流经它们每一个的电流量，因此是由它们每一个耗散的热量随着它们数目反比地降低。这使得可能与栅驱动器 16 集成地构建选择电压供给电路 58。不用说，在整个选择电压供给电路 58 中，仅仅开关晶体管 $Trn, Trn+1, Trn+2\dots$ 可以与栅驱动器 16 集成地构建。自然，第二实施例与那些联系第一实施例所描述的包括高电平电压无损交换，获得了同样效果。

在图 4 中，提供了与栅线 $Xn, Xn+1, Xn+2 \dots$ 一样多的开关晶体管 $Trn, Trn+1, Trn+2\dots$ 。这种确切配置不需要采用；提供任何数目的开关晶体管 $Trn, Trn+1, Trn+2\dots$ 是可能的，假设当它们与栅驱动器 16 集成地排列时，它们耗散的热效应可以忽略。

在上面的描述中，“集成地构建”和“集成地排列”，与上面使用的“分立的提供”相反，意思是当栅驱动器 16 和其它元件集成进 IC（集成电路）时，将栅驱动器 16 装配进相同单 IC 中。即使在栅驱动器 16 和选择电压供给电路 18 装配进物理上分立的 IC 中的情况下，如果这些 IC 基本上构建在一个单一部分中，如模塑在一起，这样做可以理解为等效于上面描述的“集成地构建”和“集成地排列”的意思。

在上面描述的第一和第二实施例中，优选象素晶体管构建为 TFT，优选这些 TFT 由无定形硅形成。在两个实施例中，已经解决了由于电压漂移（图 6 中的 $\Delta V1$ ）而导致的图象质量下降的传统遇到的问题。因此，甚至当使用无定形硅代替导致液晶显示面板具有低图像质量的低温多晶硅，使得不但弥补图像质量上的这种损失，而且降低制造工艺中包括的步骤数目都是可能的。这使得偏移地制造大屏幕液晶显示面板是可能的。

工业适用性

如上面所描述的，根据本发明，可能实现一个有源矩阵型液晶显示设备，以低功耗工作，含有一个简单的电路配置，获得了开关而不产生浪涌电压，产生稳定的步进式移位栅脉冲，这样提供了好的显示质量。

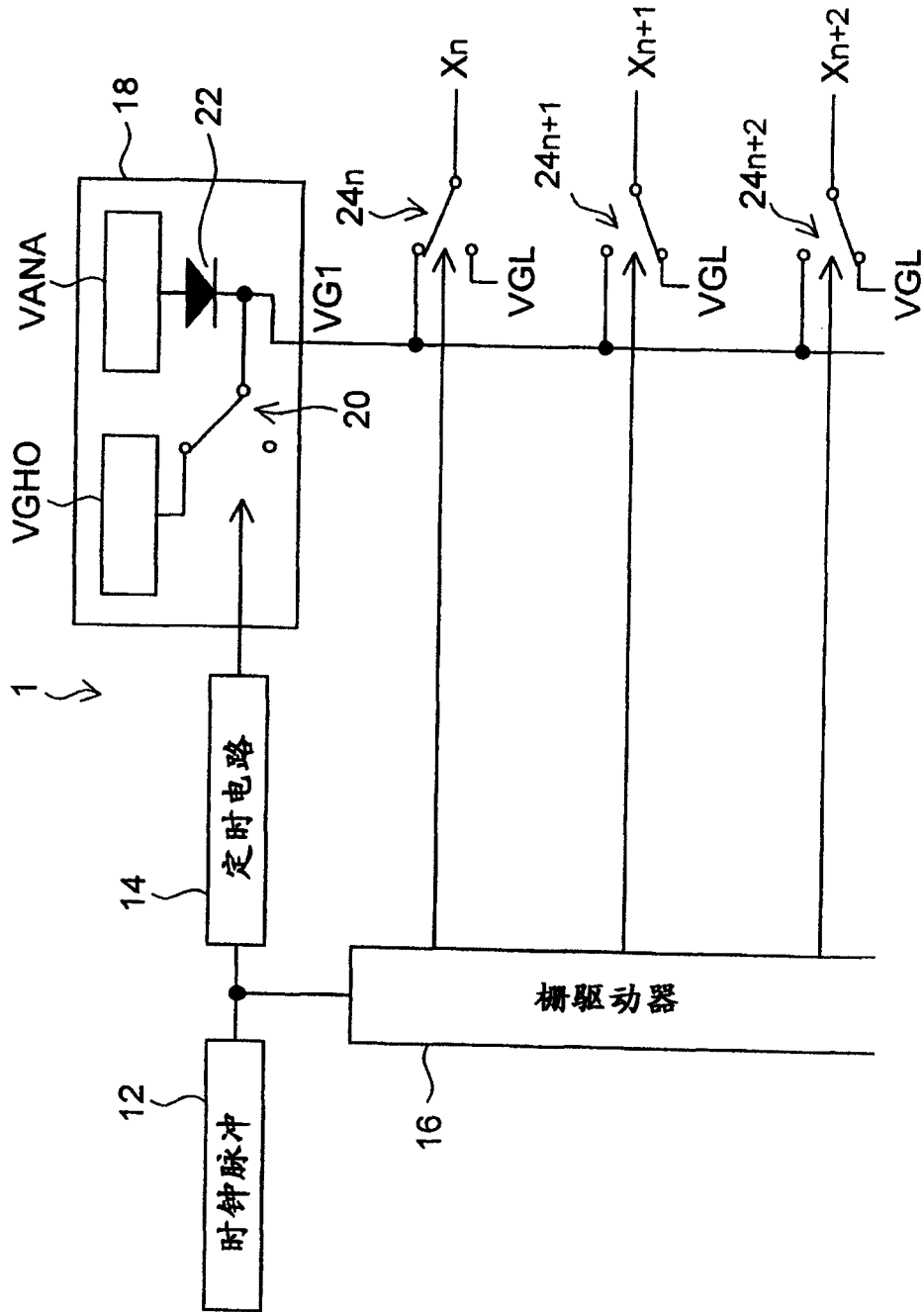


图1

图 2

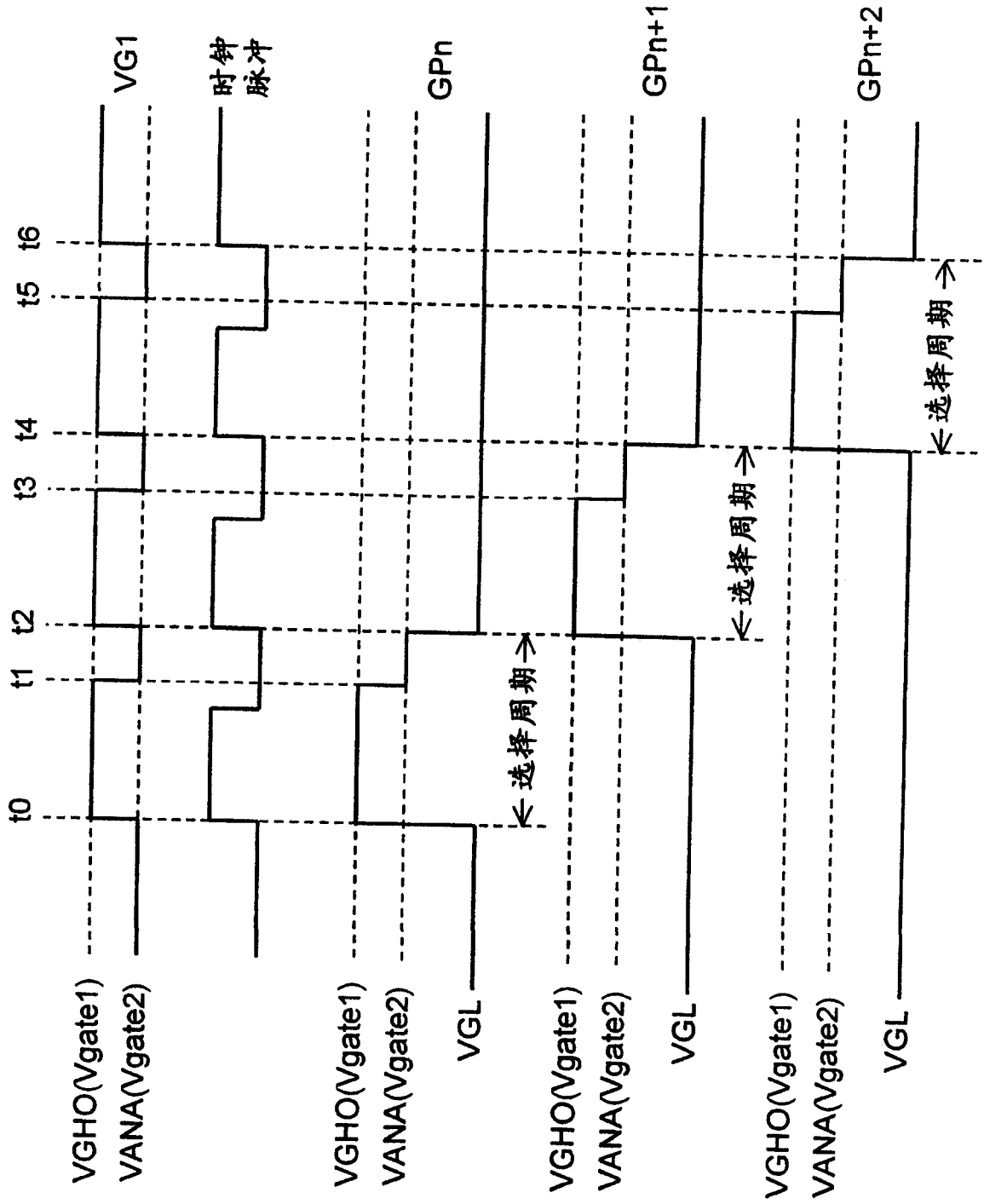
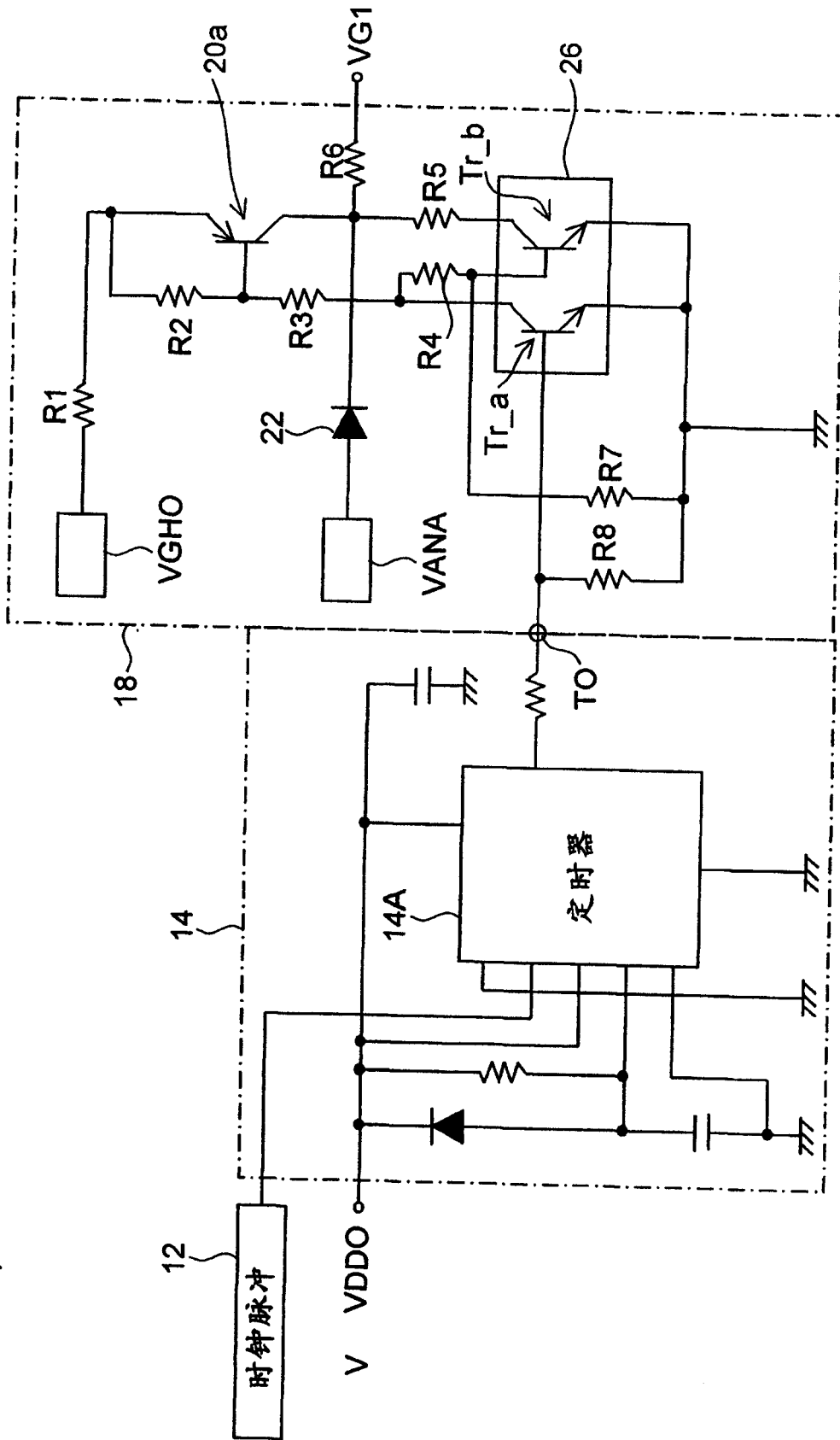


图3



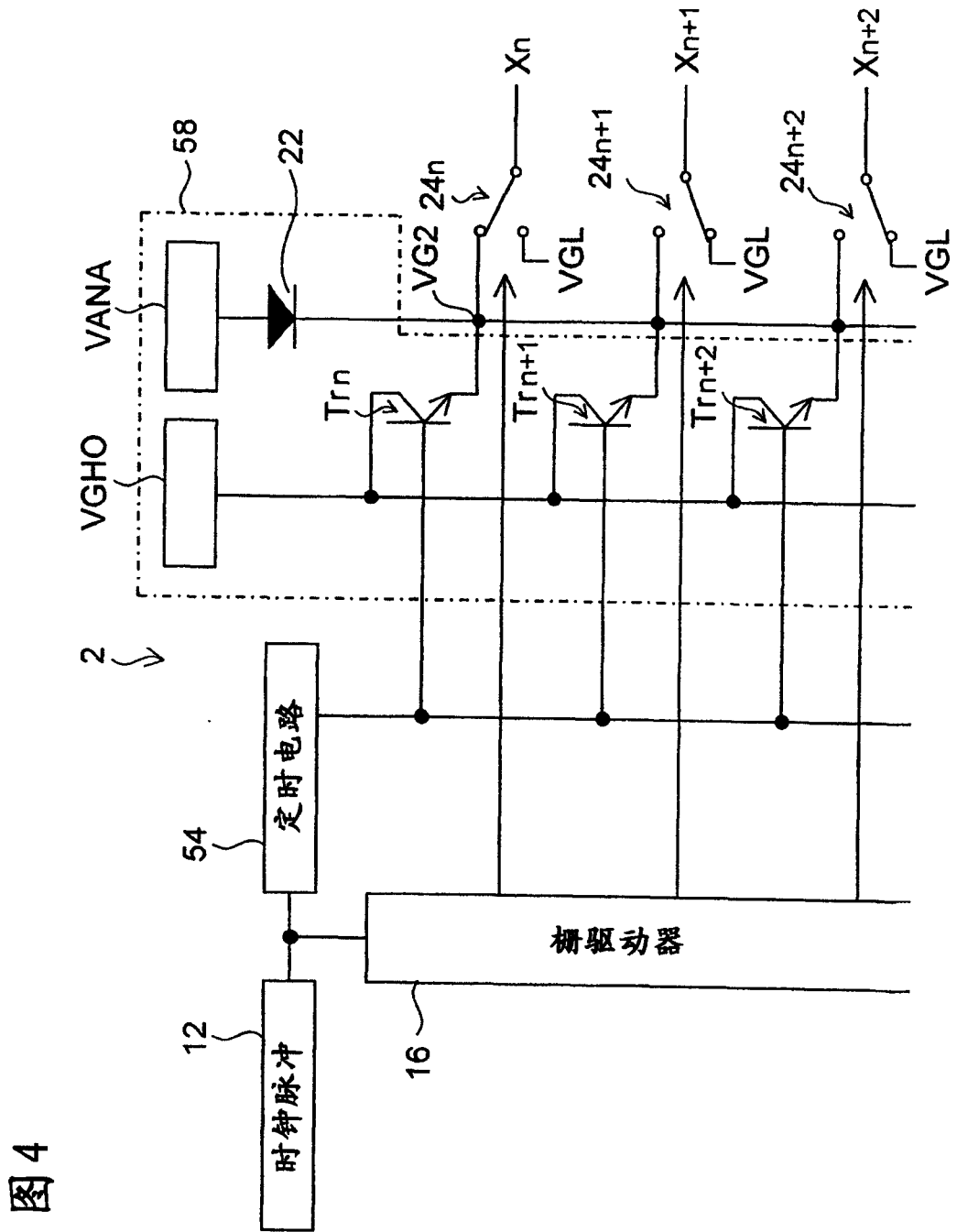


图4

图5

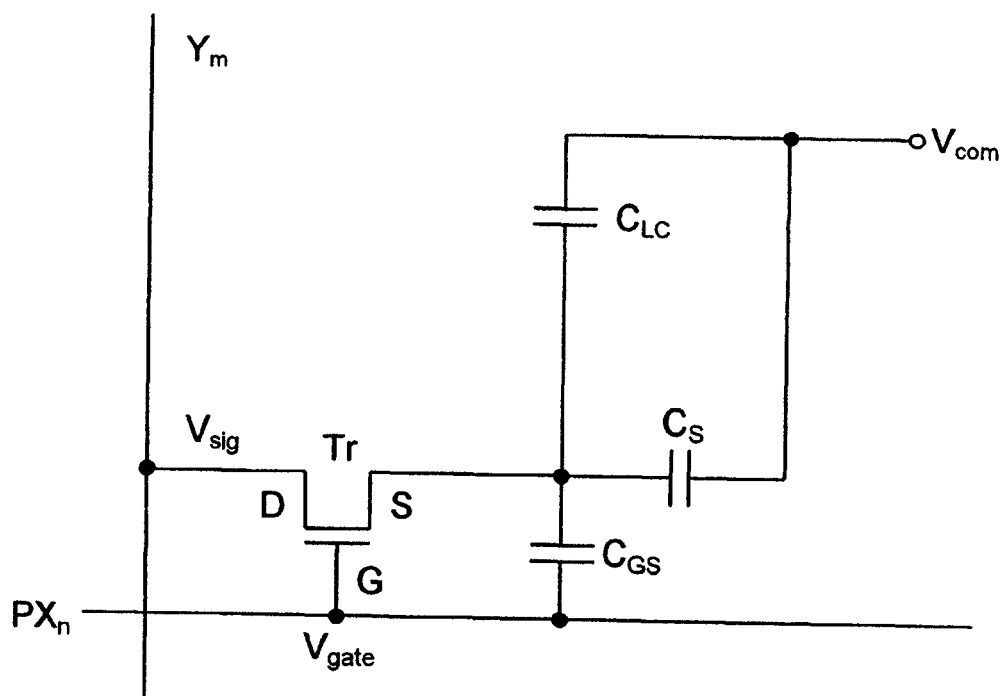


图6

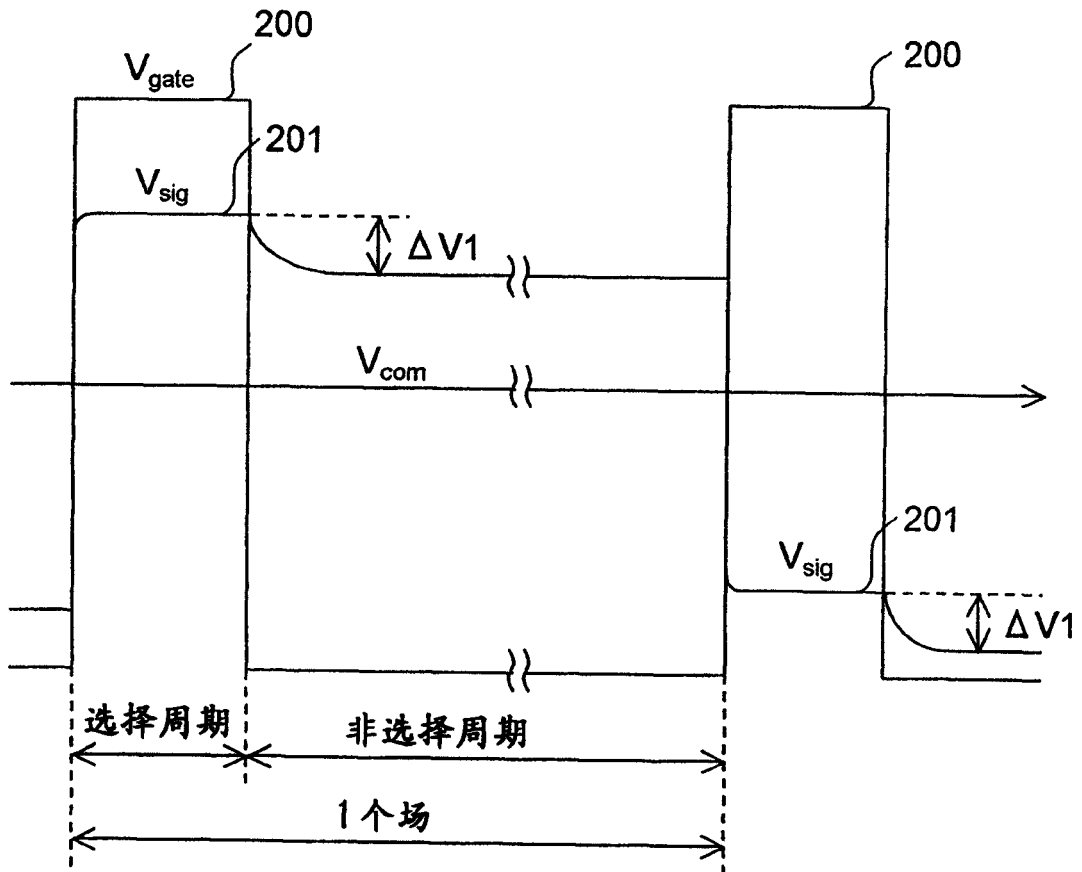


图7

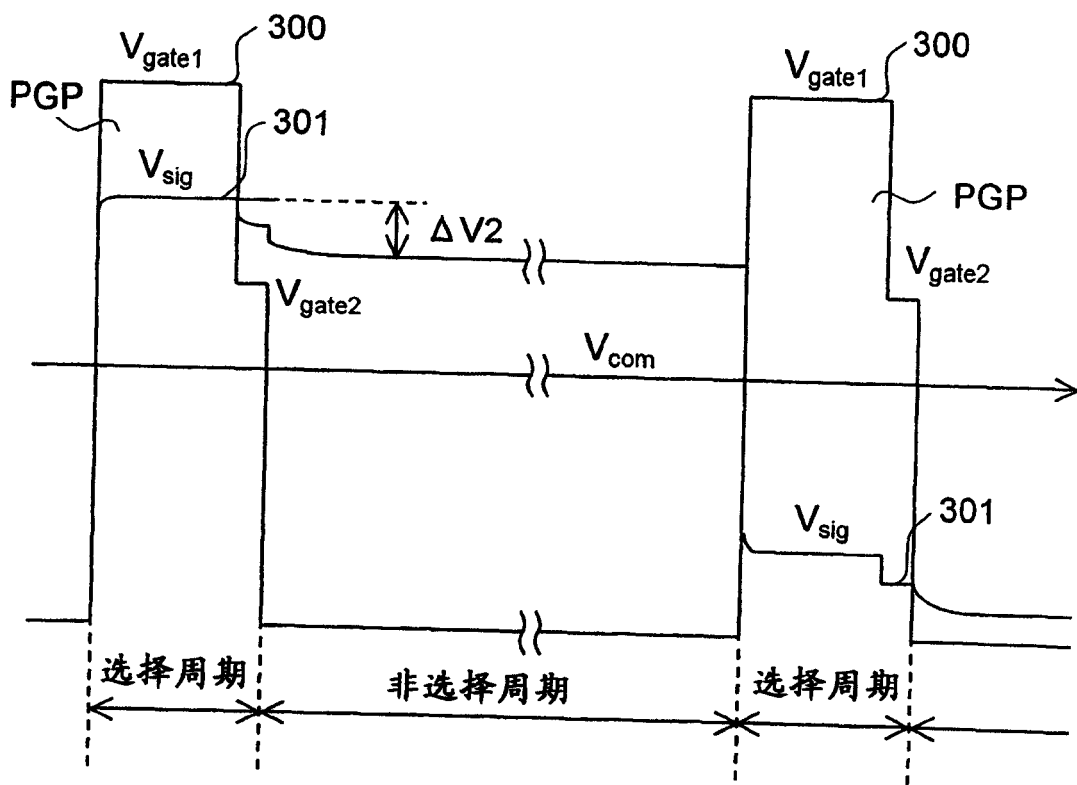
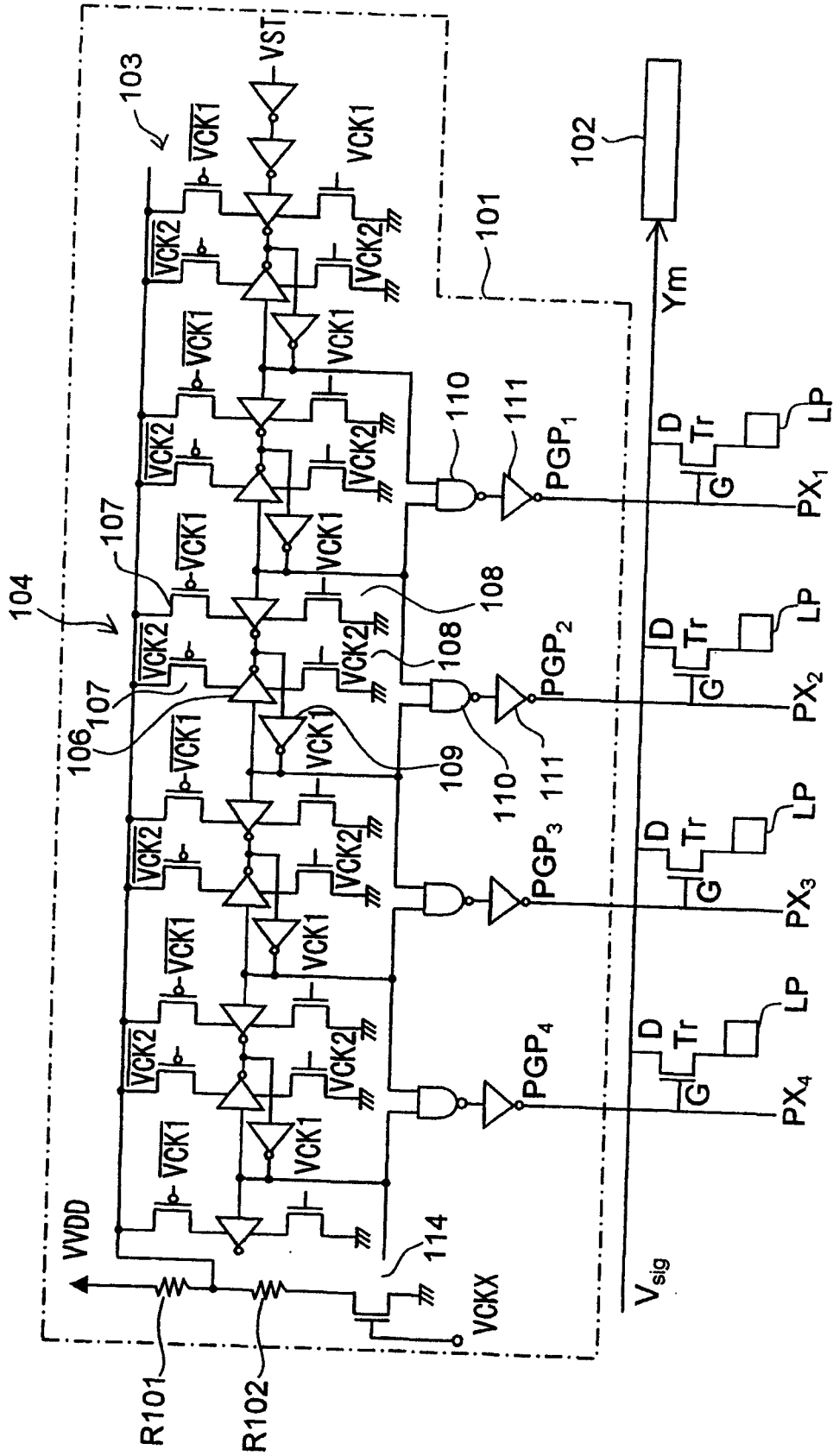


图 8



专利名称(译)	有源矩阵型液晶显示设备		
公开(公告)号	CN1692398A	公开(公告)日	2005-11-02
申请号	CN200380100644.8	申请日	2003-12-25
[标]申请(专利权)人(译)	三洋电机株式会社 鸟取三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社 鸟取三洋电机株式会社		
当前申请(专利权)人(译)	三洋电机株式会社 鸟取三洋电机株式会社		
[标]发明人	小林靖弘 莲佛启一 平贺悟		
发明人	小林靖弘 莲佛启一 平贺悟		
IPC分类号	G02F1/1368 G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3677 G09G2330/021 H03K17/74 G09G2310/06 G09G2320/0219 H03K17/6257 G09G3/3696 H03K17/164 H03K17/603 H03K17/76		
代理人(译)	秦晨		
优先权	2002378777 2002-12-27 JP		
其他公开文献	CN100468133C		
外部链接	Espacenet SIPO		

摘要(译)

一种有源矩阵型液晶显示设备，适合于降低功耗并排除开关损耗，使得在选择过程中，当步进式改变加在一个栅线上的栅脉冲时不导致浪涌电压。该设备包括，对于选择电源电压电路(18)，一个第一电源(VGH0)，用于供给一个预定的选择电压，以及一个第二电源(VANA)，用于供给低于选择电压一个预定值的电压，使得从第二电源的电压始终加到选择电压供给电路的一个输出点(VG1)，以及在短于从选择时间开始的选择周期过程中，叠加第一电源的电压，由此将步进式栅脉冲(GPn, GPn+1, GPn+2, ...)加到预定选择的栅线上(Xn, Xn+1, Xn+2...)

