



[12] 发明专利申请公开说明书

[21] 申请号 200510066952.4

[43] 公开日 2005 年 11 月 2 日

[11] 公开号 CN 1691127A

[22] 申请日 2005.4.22

[21] 申请号 200510066952.4

[30] 优先权

[32] 2004.4.23 [33] JP [31] 2004-128637

[32] 2004.4.23 [33] JP [31] 2004-128638

[71] 申请人 三洋电机株式会社

地址 日本国大阪府

[72] 发明人 江原正己 佐佐木彻

[74] 专利代理机构 中科专利商标代理有限责任公司

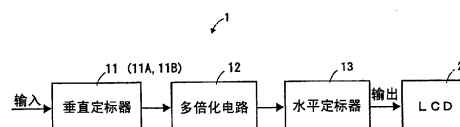
代理人 李香兰

权利要求书 2 页 说明书 9 页 附图 13 页

[54] 发明名称 图像信号处理电路、图像显示装置
和显示器驱动装置

[57] 摘要

本发明提供一种在尺度转换中，可以减小电路规模且可减少垂直分辨率的劣化的图像信号处理电路。垂直定标器具有增加输入图像信号的扫描线数的功能。其增加率是 1.0 左右。在单位输出行数为 M、单位输入行数为 N、增加率为 α 的情况下，满足 $0 < \alpha < 2$ 的条件。即， α 是 1.0 左右。多倍化电路对输入的图像信号以三倍时钟进行读出。另外，多倍化电路构成为不选择通过地址超越而读出的图像信号。水平定标器使水平方向的点数对应于液晶面板的水平像素数来进行内插。



1. 一种图像信号处理电路，其中尺度转换图像信号，其特征在于，包
5 括：

垂直定标器，其将相对于所述图像信号的垂直方向的行数增加率 α 设定为 $0 < \alpha < 2$ ；和

读出电路，其在一个水平期间中一次或多次读出经所述垂直定标器得到的图像信号的同一行。

10 2. 一种图像信号处理电路，其中尺度转换图像信号，其特征在于，包括：

读出电路，其在一水平期间中一次或多次读出所述图像信号的同
一行；和

15 垂直定标器，其将相对于经所述读出电路得到的图像信号的垂直方向的
行数增加率 α 设定为 $0 < \alpha < 2$ 。

3. 根据权利要求1所述的图像信号处理电路，其特征在于：具有水平
定标器，其转换相对于所述图像信号的水平方向的点数。

4. 根据权利要求2所述的图像信号处理电路，其特征在于：具有水平
定标器，其转换相对于所述图像信号的水平方向的点数。

20 5. 根据权利要求1所述的图像信号处理电路，其特征在于：从约0.66
到约1.58的范围中选择垂直定标器的垂直方向的行数增加率。

6. 根据权利要求2所述的图像信号处理电路，其特征在于：从约0.66
到约1.58的范围中选择垂直定标器的垂直方向的行数增加率。

25 7. 根据权利要求3所述的图像信号处理电路，其特征在于：从约0.66
到约1.58的范围中选择垂直定标器的垂直方向的行数增加率。

8. 一种图像显示装置，其特征在于：包括权利要求1所述的图像信号
处理电路，构成为将来自该图像信号处理电路的输出图像信号供给到液晶
面板等保持型显示面板。

30 9. 一种图像显示装置，其特征在于：包括权利要求2所述的图像信号
处理电路，构成为将来自该图像信号处理电路的输出图像信号供给到液晶

面板等保持型显示面板。

10. 一种图像显示装置，其特征在于：包括权利要求3所述的图像信号处理电路，构成为将来自该图像信号处理电路的输出图像信号供给到液晶面板等保持型显示面板。

5 11. 一种图像显示装置，其特征在于：包括权利要求4所述的图像信号处理电路，构成为将来自该图像信号处理电路的输出图像信号供给到液晶面板等保持型显示面板。

12. 一种显示器驱动装置，其中尺度转换图像信号后驱动显示器，其特征在于，包括：

10 垂直定标器，其将相对于所述图像信号的垂直方向的行数增加率 α 设定为 $0 < \alpha < 2$ ；和

定时控制器，其将经所述垂直定标器得到的图像信号的同一行连续或同时写入显示器的一行或多行。

13. 根据权利要求12所述的显示器驱动装置，其特征在于：具有水平
15 定标器，其使相对于所述图像信号的水平方向的点数对应于所述显示器的水平像素数来进行转换。

14. 根据权利要求12所述的显示器驱动装置，其特征在于：从约0.66到约1.58的范围中选择垂直定标器的垂直方向的行数增加率。

15. 根据权利要求13所述的显示器驱动装置，其特征在于：从约0.66
20 到约1.58的范围中选择垂直定标器的垂直方向的行数增加率。

16. 根据权利要求12所述的显示器驱动装置，其特征在于：所述显示器是液晶面板等保持型显示面板。

17. 根据权利要求13所述的显示器驱动装置，其特征在于：所述显示器是液晶面板等保持型显示面板。

25 18. 根据权利要求14所述的显示器驱动装置，其特征在于：所述显示器是液晶面板等保持型显示面板。

19. 根据权利要求15所述的显示器驱动装置，其特征在于：所述显示器是液晶面板等保持型显示面板。

图像信号处理电路、图像显示装置和显示器驱动装置

5

技术领域

本发明涉及用于尺度转换图像信号后驱动显示器等的图像信号处理电路、图像显示装置和显示器驱动装置。

10 背景技术

例如，对于液晶面板的像素数，存在 VGA、XGA、WXGA 等标准。VGA 面板的分辨率是垂直 480 行/水平 640 点，XGA 中是垂直 768 行/水平 1024 点。另一方面，图像信号有 NTSC 和 PAL 等。NTSC 的情况下，分辨率是垂直 240 行/水平 720 点。因此，在由所述图像信号来驱动液晶面板的情况下，需要将其水平像素数和垂直像素数转换（尺度转换）为符合
15 液晶面板的分辨率。

作为尺度转换方法，有将 480 行的隔行信号暂时上变换为 480P（逐行）后，使用垂直方向的定标器（scaler）使扫描线数目增加到面板的分辨率的方法（参照特开平 5-252486 号公报）。对于水平方向，使用通常的内插
20 滤波器，而使水平像素数增加到规定的面板水平分辨率。

在现有的尺度转换方法中，为了将 480 行的隔行信号上变换为 480P 的信号，使用了运动自适应型依次扫描转换，但是该转换需要大容量的存储器和复杂的信号处理电路。另外，在该转换中，由于在运动部分中，进行平均上一扫描线信息和下一扫描线信息的依次扫描，所以在静止图像中
25 得到了良好的图像质量，但在运动部分中，成为垂直分辨率下降到一半的图像，图像质量大大劣化。

另一方面，作为用小的电路规模来进行尺度转换的方法，有使用垂直方向的内插滤波器，对 1 半帧 240 行的图像信号，将其扫描线数目增加到液晶面板的行数的方法。但是，在该方法中，由于垂直方向增加率大，所
30 以垂直分辨率产生了大的劣化。

发明内容

本发明鉴于上述问题，其目的是提供一种可以减小电路规模且可以减少垂直分辨率的劣化的图像信号处理电路、图像显示装置和显示驱动装置。

本发明的图像信号处理电路为了解决上述问题，是一种尺度转换图像信号的图像信号处理电路，其特征在于，包括：垂直定标器，其将相对于所述图像信号的垂直方向的行数增加率 α 设定为 $0 < \alpha < 2$ ；读出电路，其在一个水平期间中一次或多次读出经所述垂直定标器得到的图像信号的同一行。

本发明的图像信号处理电路，其中尺度转换图像信号，其特征在于，包括：读出电路，其在一水平期间中一次或多次读出所述图像信号的同一行；垂直定标器，其将相对于经所述读出电路得到的图像信号的垂直方向的行数增加率 α 设定为 $0 < \alpha < 2$ 。

在这样构成的图像信号处理电路中，也可具有水平定标器，其转换相对于所述图像信号的水平方向的点数。另外，也可从约 0.66 到约 1.58 的范围中选择垂直定标器的垂直方向的行数增加率。

另外，本发明的图像显示装置，其特征在于：包括上述之一的图像信号处理电路，构成为将来自该图像信号处理电路的输出图像信号供给到液晶面板等保持型显示面板。

本发明的显示器驱动装置为了解决上述问题，是一种尺度转换图像信号后驱动显示器的显示器驱动装置，其特征在于，包括：垂直定标器，其将相对于所述图像信号的垂直方向的行数增加率 α 设定为 $0 < \alpha < 2$ ；定时控制器，其将经所述垂直定标器得到的图像信号的同一行连续或同时写入显示器的一行或多行中。

在上述结构的显示其驱动装置中，也可具有水平定标器，其使相对于所述图像信号的水平方向的点数对应于所述显示器的水平像素数来进行转换。另外，也可从约 0.66 到约 1.58 的范围中选择垂直定标器的垂直方向的行数增加率。另外，所述显示器是液晶面板等保持型显示面板。

根据本发明，在尺度转换中，实现了可减小电路规模且可减轻垂直分

分辨率的劣化的效果。

附图说明

图 1 是表示本发明的实施方式的图像显示装置和图像信号处理电路的
5 框图；

图 2 是表示垂直定标器的一例的说明图；

图 3 是表示图 2 的垂直定标器的输入和输出的关系的说明图；

图 4 是表示垂直定标器的另一例的说明图；

图 5 是表示图 4 的垂直定标器的输入和输出的关系的说明图；

10 图 6 是表示多倍化电路的电路图；

图 7 是表示多倍化电路的动作的时间图；

图 8 是表示各种图像显示面板的分辨率、各种图像信号的形式、输入
图像的有效扫描线数、显示率、面板的显示行数、多倍化电路的放大率 K
和增加率 α 的关系的说明图；

15 图 9 是表示本发明的实施方式的显示其驱动装置的框图；

图 10 是表示垂直定标器的一例的说明图；

图 11 是表示图 10 的垂直定标器的输入和输出的关系的说明图；

图 12 是表示垂直定标器的另一例的说明图；

图 13 是表示图 12 的垂直定标器的输入和输出的关系的说明图；

20 图 14 是表示液晶模块的电路图；

图 15 是表示液晶模块的动作的时间图。

具体实施方式

（第一实施方式）

25 下面，根据图 1 到图 8 说明本发明的第一实施方式。

图 1 是表示图像显示装置的框图。该图像显示装置由图像信号处理电
路 1 和液晶面板(LCD)2 构成。图像信号处理电路 1 由垂直定标器 11(11A、
11B)、多倍化电路 12 和水平定标器 13 构成。输入图像信号是数字化后
的图像信号（亮度/色差信号、RGB 信号等），并输入到垂直定标器 11 中。
30 垂直定标器 11 具有增加输入图像信号的扫描线数的功能。但是，其增加

率是 1.0 左右。例如，在来自垂直定标器 11 的单位输出行数是 M 、向垂直定标器 11 的单位输入行数为 N 、增加率为 α 时，满足 $0 < \alpha < 2$ ($\alpha = M/N$) 的条件。即， α 为 1.0 左右。另外，在该实施方式中， $\alpha \neq 1$ 。

作为垂直定标器 11，采用图 2 所示的垂直定标器 11A 或图 4 所示的垂直定标器 11B。当然，也可不限于此。垂直定标器 11A 构成为包括一个行存储器 11a。图 3 表示所述行存储器 11a 的动作时间图。在这里，横轴是时间，纵轴是行存储器 11a 的地址值。实线表示写入地址，虚线表示读取地址。输入和输出的 a 、 b 、 c ... 分别表示一行图像信号。在该例中，表示了 $M=6$ 、 $N=5$ 的例子， $\alpha=1.2$ 。

图 3 中，若观察行存储器 11a 的输出，则两次读出一行图像 (a)，一次读出其他的一行图像 ($b \sim e$)。结果，将 5 条扫描线增加为 6 条。

图 4 所示的垂直定标器 11B 具有可避免两次输出一行图像 (a) 的电路结构。垂直定标器 11B 构成为包括第一行存储器 11b、第二行存储器 11c、第一乘法器 11d、第二乘法器 11e 和加法器 11f。第一行存储器 11b 与前述的行存储器 11a 同样动作。将第一行存储器 11b 的输出输入到第一乘法器 11d 和第二行存储器 11c 中。第二行存储器 11c 使输入数据延迟读出系统的一个水平期间后输出。通过第一行存储器 11b 和第二行存储器 11c，构成垂直方向的内插滤波器。

将由第二行存储器 11c 延迟后的数据输入到第二乘法器 11e 中。第一乘法器 11d 将来自第一行存储器 11b 的输入数据 m 倍后输出，第二乘法器 11e 将来自第二行存储器 11c 的输入数据 n 倍后输出。加法器 11f 输入 m 倍输出数据和 n 倍输出数据后输出相加了这些数据的值。

图 5 是垂直定标器 11B 的动作时间图。横轴是时间，纵轴是行存储器的地址值。实线表示写入地址，虚线表示读取地址。从图 5 可以看出，若为垂直定标器 11B，则不会连续两次输出同一图像信号。作为乘法器 11d、11e 的相乘系数 (m) (n)，选择例如线性内插两条扫描线信号的常数。例如，可以采用 $m=0.5$ 、 $n=0.5$ 。

为了构成特性更好的内插滤波器，也可在第二行存储器 11c 的后级进一步从属连接行存储器。

图 6 是表示多倍化电路 12 的框图。该多倍化电路 12 构成为包括第三

行存储器 12a、第四行存储器 12b 和选择电路 12c。第三行存储器 12a 和第四行存储器 12b 以输入系统的时钟（对应于第一行存储器 11b 和第二行存储器 11c 的写入时钟）以一行为间隔交替进行来自垂直定标器 11 的图像信号的写入。并且，以该写入时钟的整数倍的时钟（例如 1 倍、2 倍、3 倍等）进行读出。

图 7 是表示多倍化电路 12 的处理的时间图。在该例中，以三倍时钟进行读出。在以三倍速度进行读出的情况下，其比值是 3/1，为 $3-1=2$ ，产生了地址超越。因此，并行配置第三行存储器 12a 和第四行存储器 12b。所述选择电路 12c 选择从第三行存储器 12a 三次读出的同一图像信号后输出。之后，切换到第四行存储器 12b 侧，选择从第四行存储器 12b 三次读出的同一图像信号后输出。并且，再次切换到第三行存储器 12a 侧，重复同样的切换处理。即，多倍化电路 12 构成为以三倍的时钟进行读出，同时，不选择因地址超越而读出的图像信号。

水平定标器 13 从多倍化电路 12 输入图像信号，并将该图像信号的水平点数转换为液晶面板 2 的水平点数。例如，在液晶面板 2 是 XGA 面板的情况下，将输入信号（720 点）转换为 XGA 面板的水平分辨率（1024 点）。该转换也可使用一维的内插滤波器。

如上面所说明的，上述系统的最末级的总输出图像扫描线数 M' 可以表现为 $M'=N'\times\alpha\times K=N'\times(M/N)\times K$ 。这里， N' 是总输入图像扫描数， K 是多倍化电路 12 的倍化数（放大率），具有 $K=1、2、3、\dots$ 的值（自然数）。

假定将 1 半帧 240 行的 NTSC 信号显示为 VGA 面板的情况，设 $\alpha=20/19=1.05263$ ，若 $K=2$ ，则总输出图像扫描数 M' 为 $M'=240\times\alpha\times K=240\times 1.0526\times 2=505$ 行。

由于 VGA 面板的垂直分辨率是 480 行，所以剩余的 25 行（ $505-480=25$ ）不显示在面板上，为显示了 95% 的状态。通常，在 CRT 电视中也相同，但是若 100% 显示输入图像信号，则在如 VTR 再现时那样，显示了同步不稳定、不完全基于 NTSC（PAL）标准的信号时，存在显示了噪声的情况，通常需要显示 100% 以下的区域。

另外，若假定为在 XGA 面板（垂直分辨率=768）上的显示， $\alpha=9/8$

$=1.125$, $K=3$, 则为总扫描线数 $M'=\alpha \times 3 \times 240=1.125 \times 3 \times 240=810$,
显示率 $=768/810=0.948$ 。

图 8 是表示各种图像显示面板的分辨率、各种图像信号的形式、输入
图像的有效扫描线数、显示率、面板的显示行数、多倍化电路的放大率 K
5 和增加率 α 的关系的说明图。增加率 α 可以从约 0.66 到约 1.58 的范围中选择。但是, NTSC 的扫描线数是 525 行, PAL 的扫描线数是 625 行。在
NTSC 的情况下, 如 $(525/2) \times (22/21)=275$ 那样, 为整数 (分子是 M ,
分母是 N)。另外, 在 PAL 的情况下, 若为 $(625/2) \times (\text{偶数}/5 \text{ 或 } 25 \text{ 或 } 125 \text{ 或 } 625)$, 为整数。通过成为整数, 电路制作容易。在所述的图 8 中,
10 在增加率 α 取接近于 0.87719 的值的条件下, 若分母 $=5$ 、分子 $=4$, 则 $\alpha=0.8$, 另外, 若分母 $=25$ 、分子 $=22$, 则 $\alpha=0.88$, 都可以。另外, 若分母
 $=25$ 、分子 $=24$, 也可以在 $\alpha=0.96$ 下将显示率设为 0.86。而且, 显示率
在各公司的显示面板中不恒定, 大致是 0.9 到 0.95 的范围。

如上面所说明的, 由于使用增加率 α 为 $0<\alpha<2$ (即, α 是 1.0 左右) 的
15 垂直定标器 11, 所以可以减小画质的劣化, 且可以减小电路规模。进一步,
通过组合到该垂直定标器 11 中来使用多倍化电路 12, 从而可以实现最终
需要的垂直尺度处理, 且可以极大减小该电路规模。

另外, 在上面说明的例子中, 在垂直定标器 11 的后级上设置了多倍
化电路 12, 但是并不限于此, 垂直定标器 11 和多倍化电路 12 的配置关系
20 也可相反。另外, 在上面的说明中, 表示了驱动液晶面板的例子, 但是并
不限于此。本发明的图像显示装置在用于液晶面板等所谓的保持型显示元
件的驱动的情况下尤其实现了图像质量的提高。

(第二实施方式)

25 下面, 根据图 9 到图 15 说明本发明的实施方式。

图 9 是表示了驱动液晶面板 115 的显示器驱动装置 101 的框图。所输
入的图像信号是数字化后的图像信号 (亮度/色差信号、RGB 信号等)。
将图像信号输入到驱动装置 1 的垂直定标器 111 (111A、111B) 中。垂直
定标器 111 具有增加输入图像信号的扫描线数的功能。其中, 其增加率是
30 1.0 左右。例如, 在来自垂直定标器 111 的单位输出行数是 M 、向垂直定

标器 111 的单位输入行数为 N 、增加率为 α 时, 满足 $\alpha = M/N$ 、 $0 < \alpha < 2$ 的条件。即, α 为 1.0 左右。另外, 在该实施方式中, $\alpha \neq 1$ 。

作为垂直定标器 111 采用图 10 所示的垂直定标器 111A 或图 12 所示的垂直定标器 111B。当然, 也可不限于此。垂直定标器 111A 构成为包括
5 一个行存储器 111a。图 11 表示所述行存储器 111a 的动作时间图。在这里, 横轴是时间, 纵轴是行存储器 111a 的地址值。实线表示写入地址, 虚线表示读取地址。输入和输出的 a、b、c... 分别表示一行图像信号。在该例中, 表示了 $M=6$ 、 $N=5$ 的例子, $\alpha=1.2$ 。

在图 11 中, 若观察行存储器 111a 的输出, 则两次读出一行图像 (a),
10 一次读出其他的一行图像 (b~e)。结果, 将 5 条扫描线增加为 6 条。

图 12 所示的垂直定标器 111B 具有可避免两次输出一行图像 (a) 的电路结构。垂直定标器 111B 构成为包括第一行存储器 111b、第二行存储器 111c、第一乘法器 111d、第二乘法器 111e 和加法器 111f。第一行存储器 111b 与前述的行存储器 111a 同样动作。将第一行存储器 111b 的输出
15 输入到第一乘法器 111d 和第二行存储器 111c 中。第二行存储器 111c 使输入数据延迟读出系统的一个水平期间后输出。通过第一行存储器 111b 和第二行存储器 111c, 构成垂直方向的内插滤波器。

将由第二行存储器 111c 延迟后的数据输入到第二乘法器 111e 中。第一乘法器 111d 将来自第一行存储器 111b 的输入数据 m 倍后输出, 第二乘法器 111e 将来自第二行存储器 111c 的输入数据 n 倍后输出。加法器 111f
20 输入 m 倍输出数据和 n 倍输出数据后输出相加了这些数据的值。

图 13 是垂直定标器 111B 的动作时间图。横轴是时间, 纵轴是行存储器的地址值。实线表示写入地址, 虚线表示读取地址。从图 13 可以看出, 若为垂直定标器 111B, 则不会连续两次输出同一图像信号。作为乘法器
25 111d、111e 的相乘系数 (m) (n), 选择例如线性内插两条扫描线信号的常数。例如, 可以采用 $m=0.5$ 、 $n=0.5$ 。

为了构成特性更好的内插滤波器, 也可在第二行存储器 11c 的后级进一步从属连接行存储器。

水平定标器 112 将从垂直定标器 111 输入的图像信号的水平点数转换为液晶面板 115 的水平点数。例如, 在液晶面板 115 是 XGA 面板的情况
30

下，将输入信号（720 点）转换为 XGA 面板的水平分辨率（1024 点）。该转换也可使用一维的内插滤波器。

图 14 是表示液晶模块 113 的多行同时写入定时控制器（下面，仅称作控制器）114 和液晶面板 115 的电路图。图 15 是表示所述控制器 114 5 的动作的时间图。

使用两图来说明多行同时写入的动作。输入信号通常是 RGB 各 8 比特的数字信号。首先，说明通常的图像显示方法。在使能信号 EN 为高（1）时，输入信号依次通过移位寄存器来移位。并且，在一行图像信号的移位结束的时刻，通过从定时生成电路 114a 输出的锁存脉冲将各数据取入到 10 锁存电路内。这时，若由栅极驱动器行选择脉冲生成电路 114b 选择的行号为 0，则将 D/A 转换后的图像信号写入到行 0 中。同样，将行选择依次移位为 1、2、3，而在面板上显示图像。在这里，移位寄存器和 D/A 转换器的个数与面板的水平分辨率一致，在 XGA 面板的情况下是 1024 个。另外，垂直行的数目是 768 行。多行同时写入如图 15 所示，在 D/A 转换器 15 输出为图像 A 时，选择行 0 和行 1，而将图像 A 写入到行 0 和行 1 中。同样，在 D/A 转换器输出为图像 B 时，选择行 2 和 3，将图像 B 写入到行 2 和行 3 中。该例子虽然是两行同时写入，但即使是三行同时写入或四行同时写入也为同样的原理。

如上面所说明的，上述系统中最末级的总输出图像扫描线数 M' 可以 20 表现为 $M' = N' \times \alpha \times K = N' \times (M/N) \times K$ 。这里， N' 是总输入图像扫描数， K 是控制器 114 进行的同时写入数，具有 $K=1、2、3、\dots$ 的值（自然数）。

假定将 1 半帧 240 行的 NTSC 信号显示为 VGA 面板的情况，设 $\alpha = 20/19 = 1.05263$ ，若 $K=2$ ，总输出图像扫描数 M' 为 $M' = 240 \times \alpha \times K = 240$ 25 $\times 1.0526 \times 2 = 505$ 行。

由于 VGA 面板的垂直分辨率是 480 行，所以剩余的 25 行（ $505 - 480 = 25$ ）不显示在面板上，为显示了 95% 的状态。通常，在 CRT 电视中也相同，但是若 100% 显示输入图像信号，则如 VTR 再现时那样，在显示同步不稳定、不完全基于 NTSC（PAL）标准的信号时，存在显示了噪声的 30 情况，通常需要显示 100% 以下的区域。

另外，若假定为在 XGA 面板（垂直分辨率=768）上的显示， $\alpha=9/8=1.125$ ， $K=3$ ，则为总扫描线数 $M'=\alpha\times 3\times 240=1.125\times 3\times 240=810$ ，显示率 $=768/810=0.948$ 。

实施方式 1 所示的图 8 在该实施方式中也可适用。

- 5 如上所说明的，由于使用增加率 α 为 $0<\alpha<2$ （即， α 是 1.0 左右）的垂直定标器 111，所以可以减小画质的劣化，且可以减小电路规模。进一步，通过组合到该垂直定标器 111 中来使用多行同时写入控制器 114，从而可以实现最终需要的垂直尺度处理，且可以极大减小该电路规模。

- 10 另外，在上面的说明中，表示了驱动液晶面板的例子，但是并不限于此。本发明的显示器驱动装置在用于液晶面板等所谓的保持型显示元件的驱动的情况下，尤其实现了图像质量的提高。

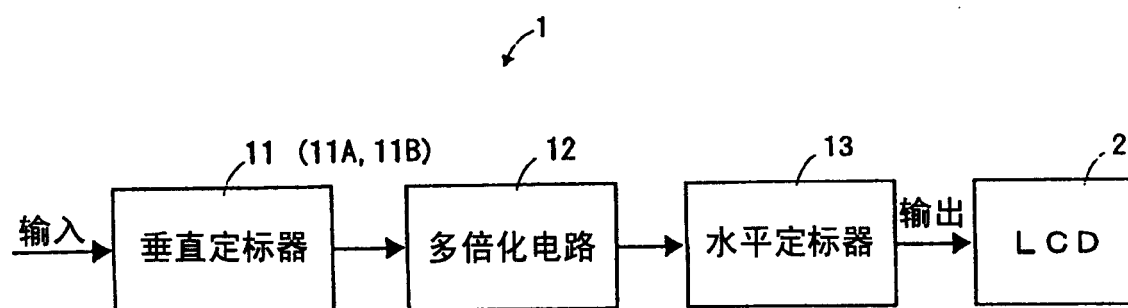


图 1

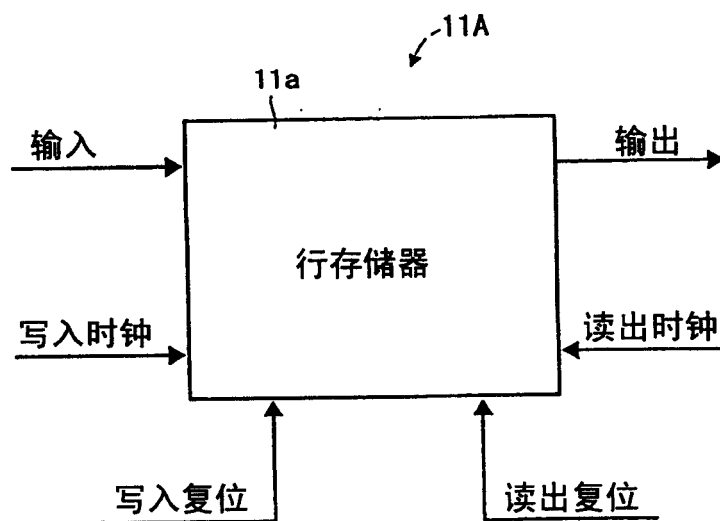


图 2

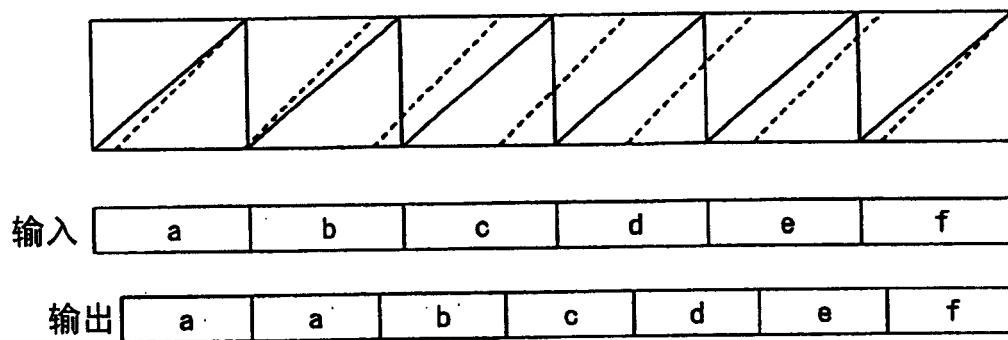


图 3

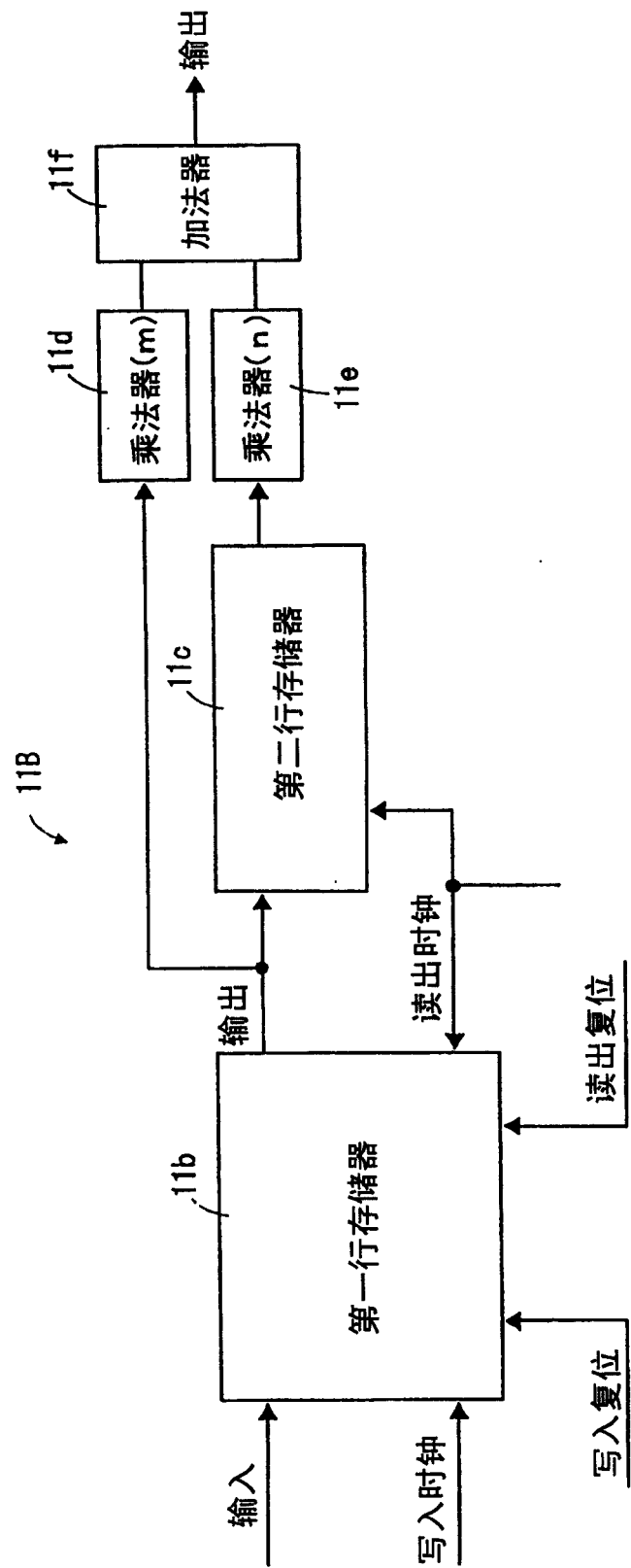


图 4

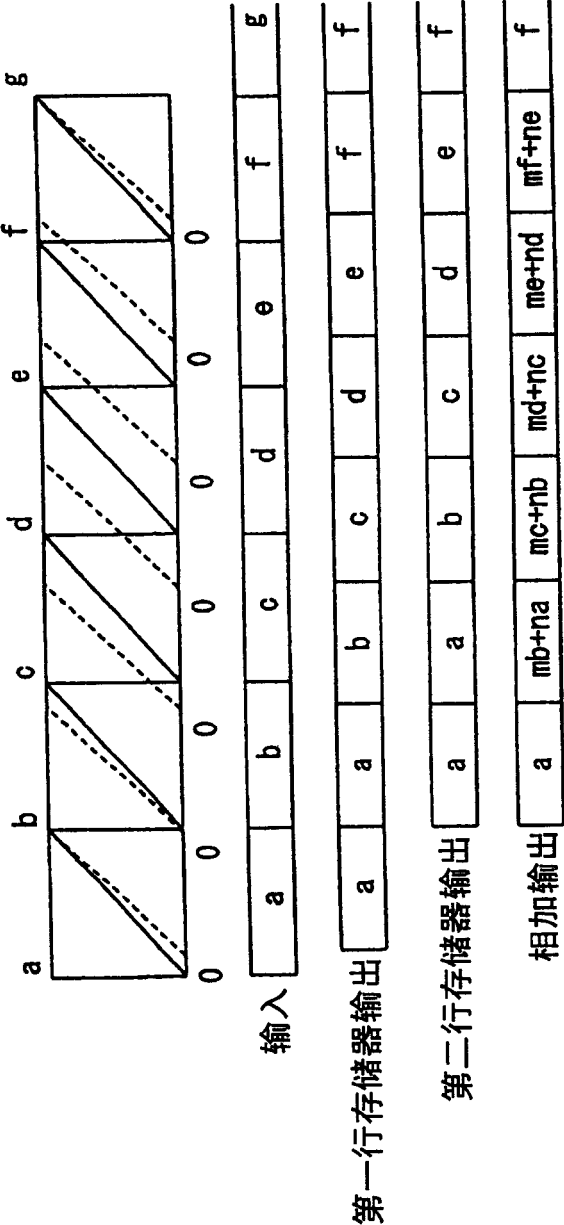


图 5

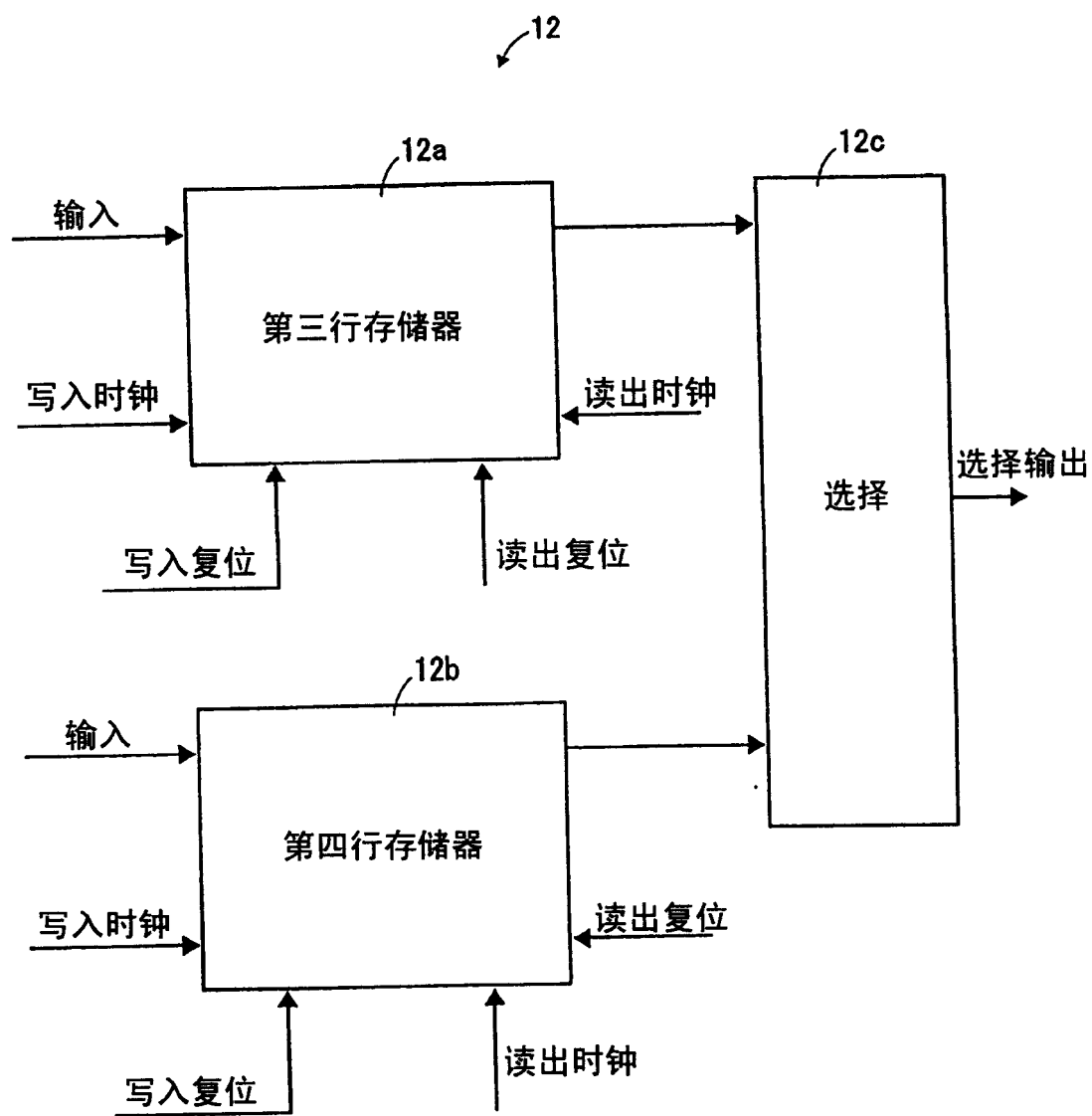


图 6

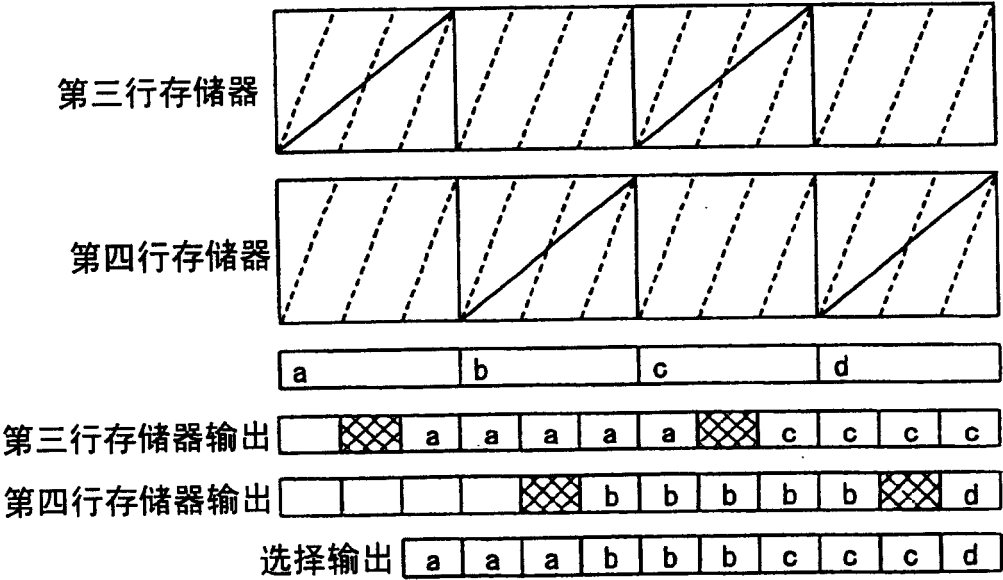


图 7

Panel	input video	输入图像有效扫描线数	显示率	面板显示行数	多倍化放大率 K	α
VGA	NTSC NORMAL 压缩 压缩	240	0.95	480	2	1.05263
		240	0.95	360	2	0.78947
		240	0.95	360	1	1.57895
VGA	PAL NORMAL 压缩 压缩	288	0.95	480	2	0.87719
		288	0.95	360	2	0.65789
		288	0.95	360	1	1.31579
XGA 720Line	NTSC NORMAL 压缩 letterbox(16:9)	240	0.95	720	3	1.05263
		240	0.95	720	3	1.05263
		180	1.00	720	3	1.33333
XGA 720Line	PAL NORMAL 压缩 letterbox(16:9) letterbox(14:9)	288	0.95	720	3	0.87719
		288	0.95	720	3	0.87719
		216	1.00	720	3	1.11111
		246	1.00	720	3	0.97561
XGA 768Line	NTSC NORMAL 压缩 letterbox(16:9)	240	0.95	768	3	1.12281
		240	0.95	768	3	1.12281
		180	1.00	768	3	1.42222
XGA 768Line	PAL NORMAL 压缩 letterbox(16:9) letterbox(14:9)	288	0.95	768	3	0.93567
		288	0.95	768	3	0.93567
		216	1.00	768	3	1.18519
		246	1.00	768	3	1.04065

图 8

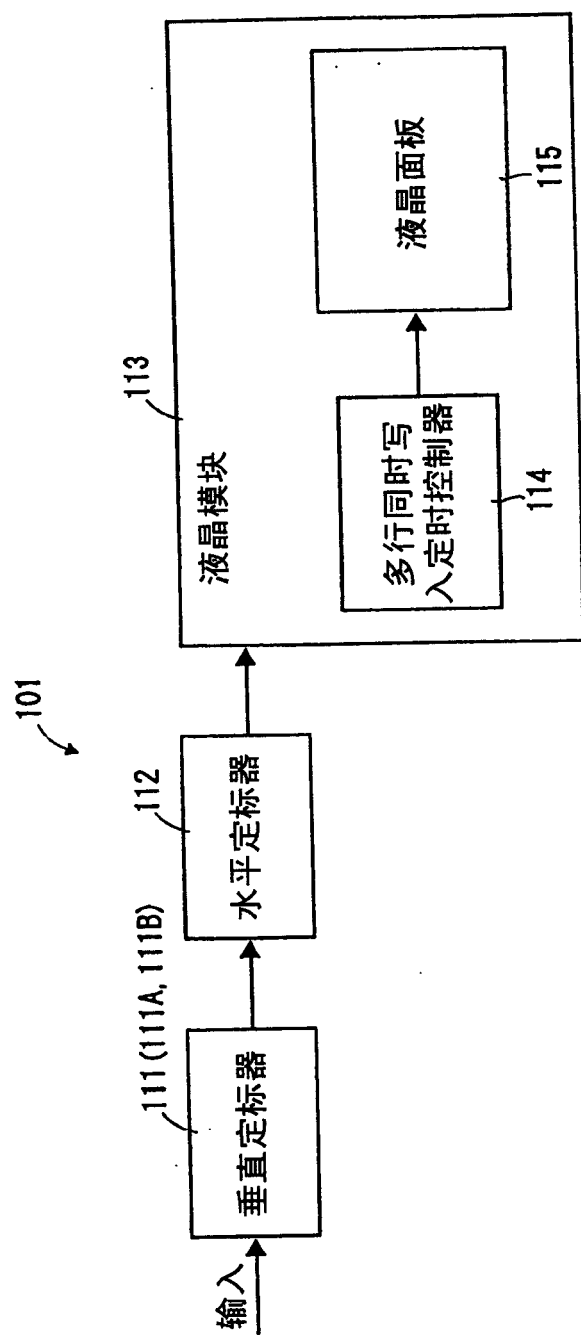


图 9

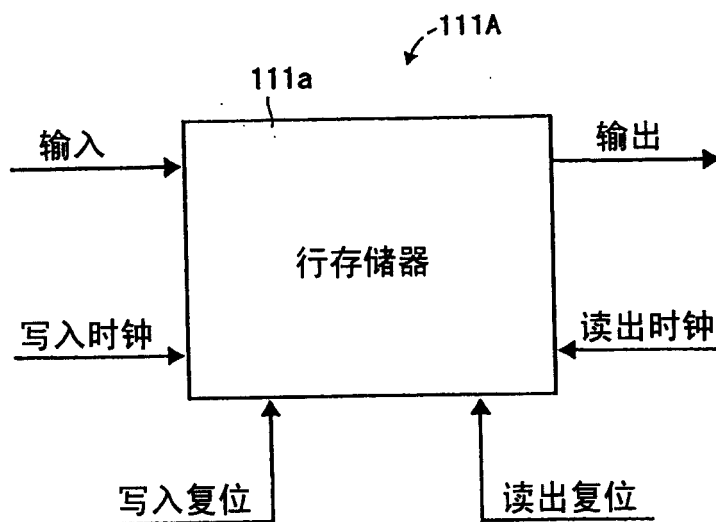


图 10

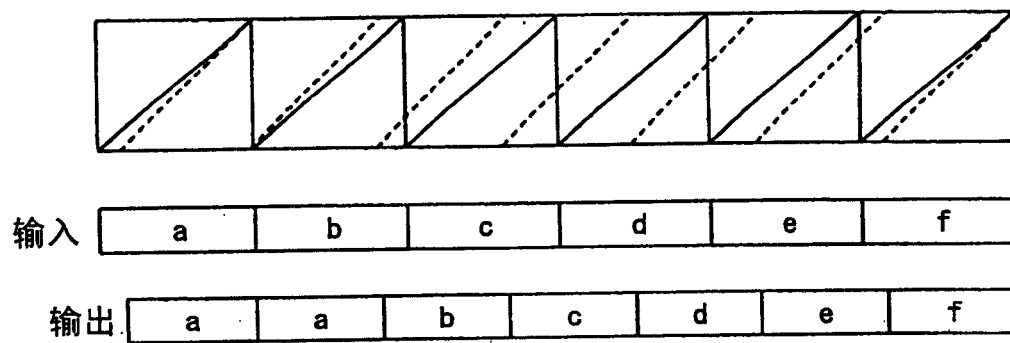


图 11

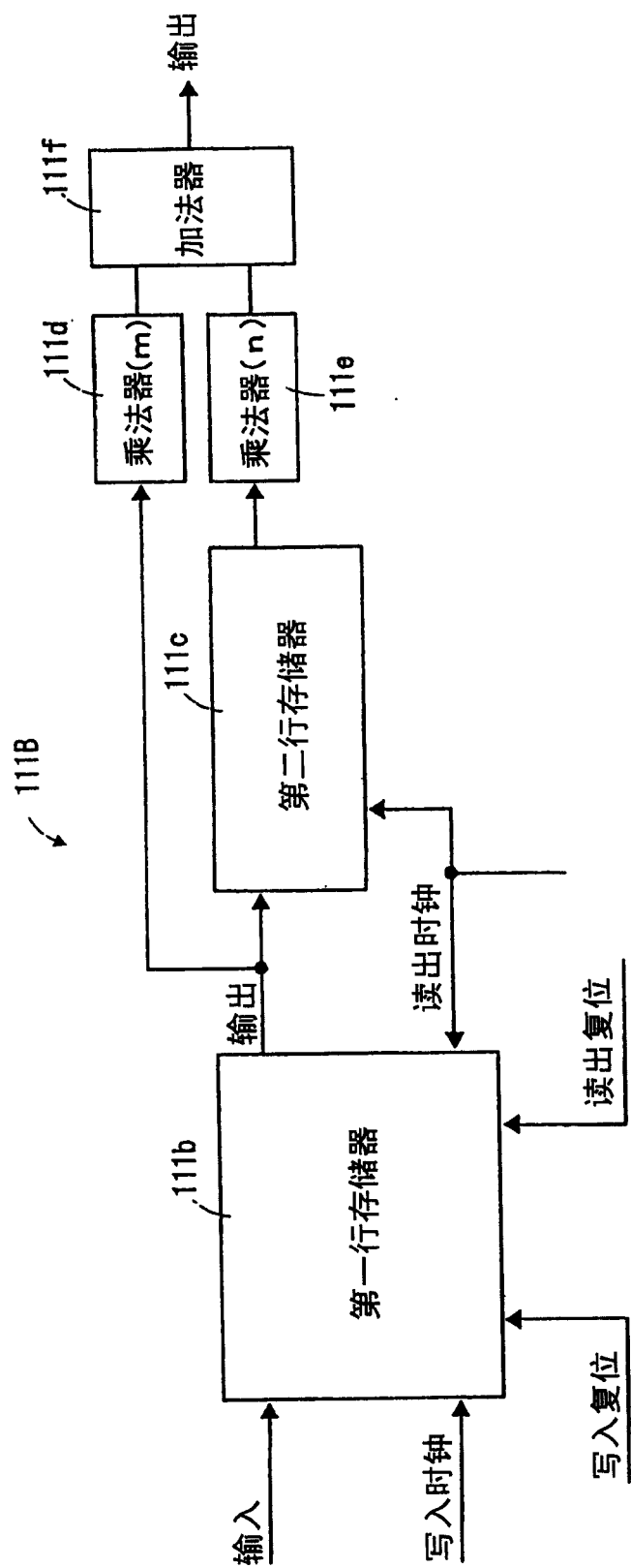


图 12

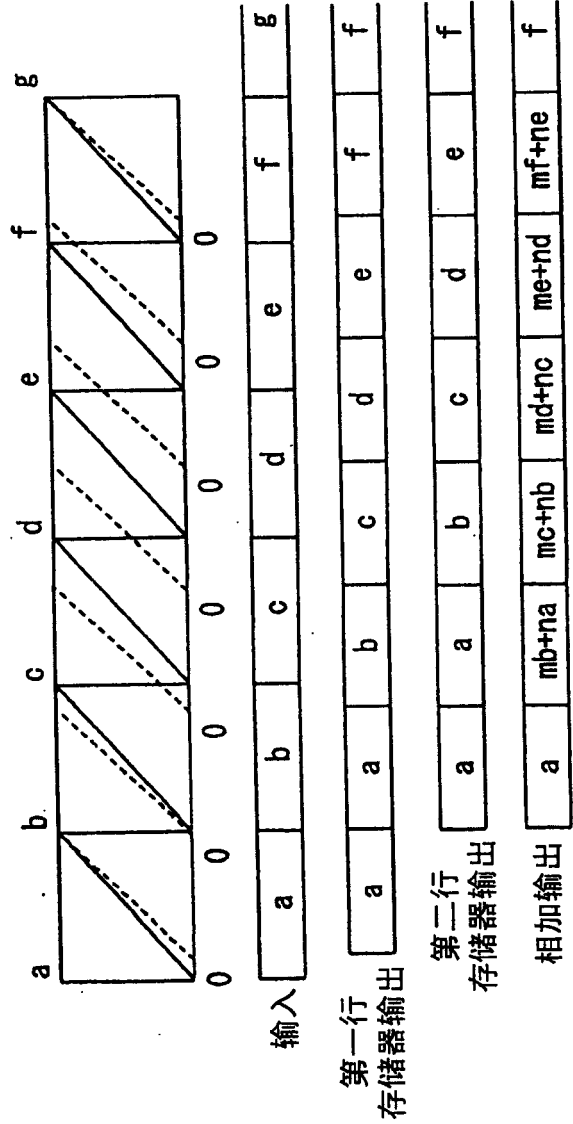


图 13

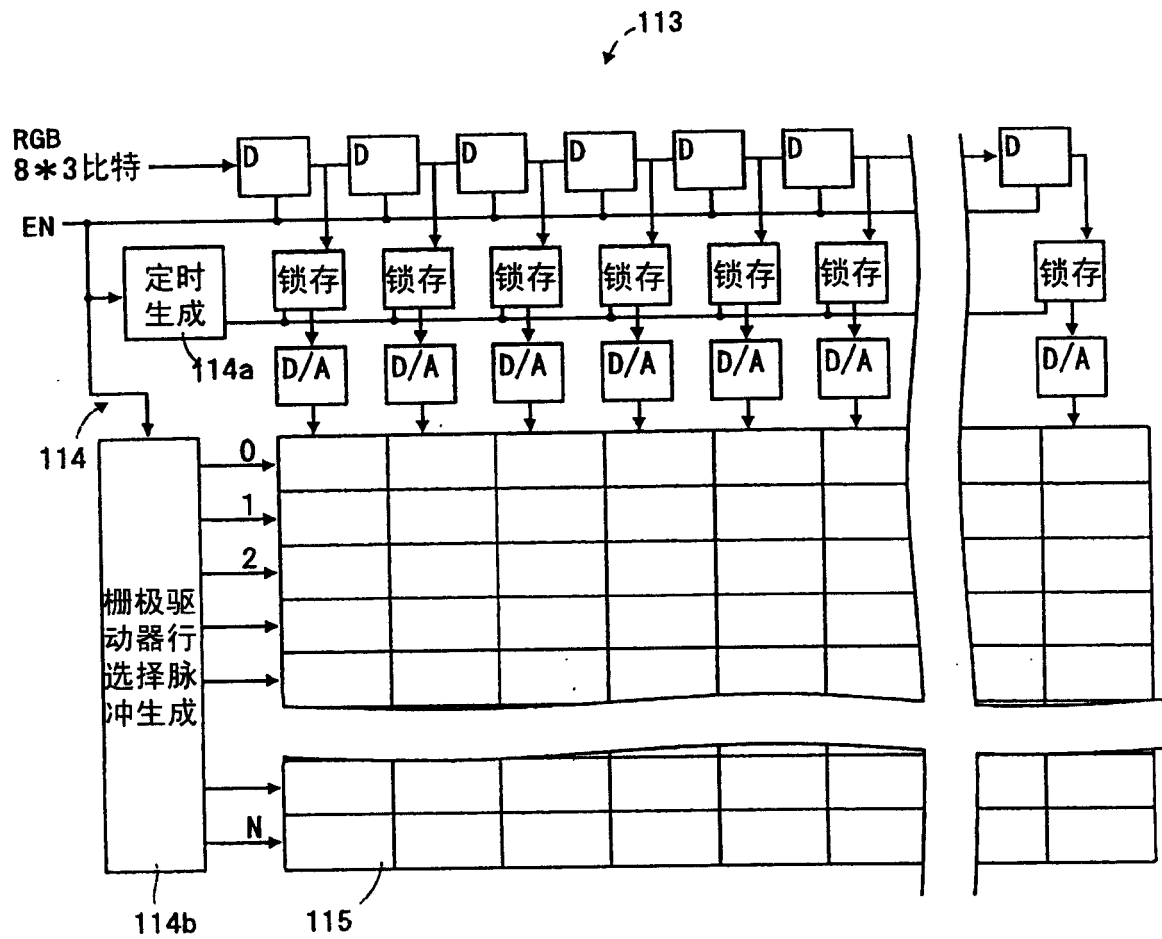


图 14

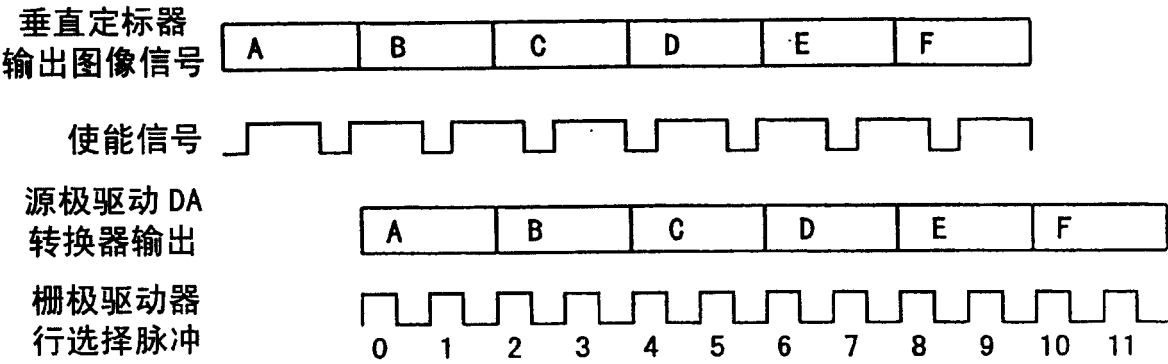


图 15

专利名称(译)	图像信号处理电路、图像显示装置和显示器驱动装置		
公开(公告)号	CN1691127A	公开(公告)日	2005-11-02
申请号	CN200510066952.4	申请日	2005-04-22
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
当前申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	江原正己 佐佐木彻		
发明人	江原正己 佐佐木彻		
IPC分类号	G09G3/36 G09G3/20 G09G5/00 G09G5/36 G09G5/391 H04N5/66 H04N7/01 G02F1/133		
代理人(译)	李香兰		
优先权	2004128637 2004-04-23 JP 2004128638 2004-04-23 JP		
其他公开文献	CN100409682C		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种在尺度转换中，可以减小电路规模且可减少垂直分辨率的劣化的图像信号处理电路。垂直定标器具有增加输入图像信号的扫描线数的功能。其增加率是1.0左右。在单位输出行数为M、单位输入行数为N、增加率为 α 的情况下，满足 $0 < \alpha < 2$ 的条件。即， α 是1.0左右。多倍化电路对输入的图像信号以三倍时钟进行读出。另外，多倍化电路成为不选择通过地址超越而读出的图像信号。水平定标器使水平方向的点数对应于液晶面板的水平像素数来进行内插。

