



[12] 发明专利申请公开说明书

[21] 申请号 02159341.8

[43] 公开日 2003 年 8 月 20 日

[11] 公开号 CN 1437061A

[22] 申请日 2002.12.26 [21] 申请号 02159341.8

[30] 优先权

[32] 2002. 2. 5 [33] JP [31] 027590/2002

[71] 申请人 富士通株式会社

地址 日本神奈川

[72] 发明人 佐佐木伸夫

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

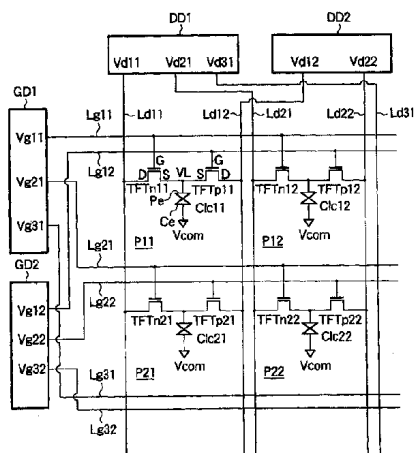
代理人 王永刚

权利要求书 2 页 说明书 15 页 附图 8 页

[54] 发明名称 液晶显示器

[57] 摘要

本发明提供了有源矩阵型 TFT LCD，其像素 TFT 的驱动电压降低了。像素由两薄膜晶体管构成，即，一个施加正压的 n 型 TFT 和一个施加负压的 p 型 TFT，前者在像素电极上施加数据电压使之具有正极性，后者在像素电极上施加数据电压使之具有负极性。施加正电压 TFT 的源极与像素电极相连，其漏极与数据总线相连用来加正压；其栅极与栅总线相连用来施加正压。其它 TFT 的源极也与像素电极相连；其漏极与数据总线相连施加负压；其栅极与栅总线相连用来加负压。



1. 液晶显示器，包括：

液晶电容，由彼此面对面的电极夹持液晶形成。

正极性驱动电路系统，它通过在电极之间施加正极性电压，给液晶电容充上正电荷；以及

负极性驱动电路系统，它与正极性驱动电路系统相互独立，通过在电极之间施加负极性电压，给液晶电容充上负电荷。

2. 根据权利要求 1 的液晶显示器，其中两个彼此面对面的电极具有：

象素电极，它设置在具有液晶电容的多个象素的每一个上；以及公共电极，它面向每个象素电极，二者之间填有液晶，以提供公共电压。

3. 根据权利要求 2 的液晶显示器，其中象素具有：

施加正压 TFT，它给象素电极施加正极性电压；以及

施加负压 TFT，它给象素电极施加负极性电压。

4. 根据权利要求 3 的液晶显示器，其中正极性驱动电路系统具有：

施加正压栅总线，它向施加正压 TFT 的栅极输出施加正压栅脉冲；

施加正压数据总线，它向施加正压 TFT 的源或漏极输出具有正极性的数据电压；

其中负极性驱动电路系统具有：

施加负压栅总线，它向施加负压 TFT 的栅极输出施加负压栅脉冲；

施加负压数据总线，它向施加负压 TFT 的源或漏输出具有负极性的数据电压。

5. 根据权利要求 4 的液晶显示器，其中正极性驱动电路系统具有：

用作正极性驱动的栅总线驱动电路，它向施加正压栅总线输出施加正压栅脉冲；

用作正极性驱动的数据总线驱动电路，它向施加正压数据总线输出具有正极性的数据电压。

其中负极性驱动电路系统具有：

用作负极性驱动的栅总线驱动电路，它向施加负压栅总线输出施加负压栅脉冲；

用作负极性驱动的数据总线驱动电路，它向施加负压数据总线输出具有负极性的数据电压。

6. 根据权利要求4的液晶显示器，其中施加正压 TFT 和施加负压 TFT 的沟道的一种导电类型为 n 型。

7. 根据权利要求4的液晶显示器，其中施加正压 TFT 和施加负压 TFT 的沟道的一种导电类型为 p 型。

8. 根据权利要求4的液晶显示器，其中对于施加正压 TFT 和施加负压 TFT 的沟道，一个为 n 型，另一个为 p 型。

9. 根据权利要求1的液晶显示器，其中正极性驱动电路系统和负极性驱动电路系统均集成地形成在一个绝缘衬底上，在该衬底上形成每一个电极。

液晶显示器

技术领域

本发明涉及液晶显示器(LCD),特别是有源矩阵型的 TFT LCD,它采用 TFT(薄膜晶体管)作为每个象素的转换元件。

背景技术

由于 LCD 能够提供足以使其代替这一领域的典型显示器 CRT 的显示质量, LCD 市场正在迅速增长。他们被用于各种阅读器,便携式电话, PDA(个人数字助理)和笔记本个人电脑上,除此之外,考虑到他们具有平面优点,也被用在家用电脑显示器和电视机接收器上。因而 LCD 作为显示器其大小从对角线长 2 英寸的小屏幕到对角线长 40 英寸的大屏幕不等。越来越多的 LCD 在许多领域被用作能够显示静态图象和动态图象的彩色显示器。

至于 LCD 技术发展趋势,主流已从每个象素没有转换元件的无源矩阵型转到具有转换元件诸如 TFT 的有源矩阵。此外,至于有源矩阵型 LCD 象素中 TFT 的沟道材料(半导体有源层),用具有更高载流子迁移率的 p-Si(多晶硅)取代 a-Si(非晶硅)。

现在简要描述 TFT LCD 的结构。以采用背光单元的透射型 TFT LCD 作为例子来说, TFT 衬底(阵列衬底)是诸如玻璃衬底之类的透明绝缘衬底,它和其对面衬底以某种预定元件间距面对面结合在一起,液晶就封在这两个衬底之间。大量象素电极以矩阵形式设置在 TFT 衬底上, TFT 连到每个象素电极上。公共电极设置在对面衬底上。在彩色显示器 LCD 情形中,滤色镜(CF)形成在 TFT 衬底上或对面衬底上。校准薄膜设置在衬底和液晶层之间。例如具有交叉 Nicols 结构的起偏器设置在两个衬底之外。

图 7 是相关技术中一个 TFT LCD 象素的等效电路。如图 7 所示,

TFT 栅极 G 与栅总线 Lg 相连。TFT 的源极 S 与象素电极 Pe 相连，漏极 D 与数据总线 Ld 相连。液晶层 lc 夹在象素电极 Pe 和公共电极 Ce 之间以形成液晶电容 Clc。存储电容 Cs 和液晶电容实际上是并联的，但图上没有画出。

栅电压 V_g 通过栅总线驱动电路施加在栅总线 Lg 上，栅总线驱动电路图上没有显示出来。灰度电压 V_d 通过数据总线驱动电路施加在数据总线上，数据总线驱动电路图上没有显示出来。公共电压 V_{com} ($= 0V$) 施加在公共电极 Ce 上。

液晶 lc 的电介质物质要么是正各向异性要么是负各向异性，这就导致液晶分子随着施加于其上的电场强度的变化而发生相应旋转。液晶 lc 的折射率也是各向异性的，这就导致通过液晶层的光相应于液晶分子的旋转而发生极化。因此，当电压施加在象素电极 Pe 和公共电极 Ce 之间时，液晶分子随外加电压而旋转，这就导致在液晶 lc 入口处被起偏器线性极化的光改变极化。因此，调整发光面处通过起偏器的光量来显示色调。

普通液晶材料能承受大约 5V 的电压，如果电场只在某一方向持续加在液晶 lc 上，液晶材料就会退化。为了防止这种现象发生，液晶驱动电场在某一预定周期中极性反转而施加在液晶 lc 上。一般来说，使用帧反转驱动，其中在显示帧的周期中进行极性反转。

每个象素均有独立的象素电极 Pe，一个单独的电极用来作为公共电极 Ce，由所有象素共享。一种驱动方法如图 8 所示，这种方法利用公共电极 Ce 来获得帧反转驱动。图 8 中水平方向表示时间，垂直方向表示电压，这样来表示栅电压 V_g 、灰度电压 V_d 和公共电压 V_{com} 的关系。

如图 8 所示，公共电压（公共电极电势） V_{com} ($= 0V$) 为一常数。灰度电压在公共电压 $\pm 2.5V$ 范围内波动，它施加在数据总线 Ld 上。在图 8 所显示的状态中灰度电压 V_d (数值) 为一绝对值 $V_0 = 2.5V$ ，它在每帧 f_n 中被输出到数据总线上，在每帧中电压极性被反转。

当连接到栅总线的 n 沟道型 TFT 处于关闭状态时，输出电压 V_g

(off) 为一比最大负灰度电压 $V_d = -V_0$ (V) 小 V_1 (绝对值) 的绝对值。当 TFT 处于开状态时, 输出电压 V_g (on) 为一比最大正灰度电压 $V_d = +V_0$ (V) 大 V_2 (绝对值) 的绝对值。这样, TFT 处于开状态时, 电势 $V_g = V_g$ (on) 的栅脉冲被输出到栅总线 L_g 上。栅脉冲高度为 $V_1 + 2 \times V_0 + V_2$ 。当关电流几乎断开时, 电压 V_1 一定会增大, 由于要保持积累电荷和数据重写速度, 当开电流小时, 电压 V_2 一定会增加。因此, 通常使用大约 13V 的驱动电压, 以保证无论其极性如何, 该 TFT 都能稳定地开和关。

正如上文所述, 虽然象素电极 P_e 所需最大灰度电压 V_d 为 2.5V, 在相关技术中, 驱动 TFT LCD 也需要 13V 的供电电路。13V 驱动电压不仅施加在栅总线驱动电路上而且施加在用来控制向数据总线 L_d 输出信号流的数据总线驱动电路上。最大驱动电压取决于所采用的液晶材料, 某些 TFT LCD 需要 16V 或 18V 或者甚至比本例中更高的驱动电压。

正如上面所述, 在相关技术 TFT LCD 中, 在栅总线驱动电路和每个象素上驱动液晶 lc 的数据总线驱动电路上的供电电压远远高于施加在液晶 lc 上 5V 的电压带宽。因此, TFT 必须具有高的栅耐电压和漏耐电压。这就需要相应的采取一些对策, 它包括增加 TFT 栅氧化薄膜厚度, 增加沟道长度, 增加 LDD (轻掺杂漏) 长度。然而, 这些对策会导致 TFT 阈值电压 V_{th} 增加, 开电流降低。进而, 需要增加驱动电压以获得在大幅波动的阈值电压 V_t 下的正常工作, 为了补偿开电流的降低来获得所需的转换速度也会使得驱动电压增加。这导致了恶性循环, 且无法降低驱动电压。驱动电压增加是一个问题, 也因为导致了能耗的增加和对周围环境电磁干扰的增加。

近期开发的低温多晶硅生产工艺使得在像玻璃这样相对低熔点的衬底上制造 FET 成为可能, 这种 FET 的沟道区由 p-Si (多晶硅) 构成。因此, 也可以将外围电路集成到 TFT 衬底上, 这些外围电路包括栅总线驱动电路和数据总线驱动电路, 要将这些外围电路和象素 TFT 集成到一块玻璃衬底上。外围电路 FET 的栅必须尽可能小以保证

高速运行，他们必须不可避免的是低压驱动型的。况且，也无法获得低能耗的平衡电路，除非它们是低压驱动型的。

当象素 TFT 是高压驱动型的时，就必须在一个玻璃衬底上混合形成低压驱动型 FET 和高压驱动型 FET，这就会导致一个问题：生产工艺变得复杂，生产成本提高。因此，为了采用低电温多晶硅制造工艺制造集成了外围电路的 TFT 衬底，象素 TFT 的驱动电压就必须降低到尽可能与外围电路 FET 的驱动电压接近。

发明内容

本发明的目的是给出降低了象素 FET 驱动电压的液晶显示器。

以上所述目标由这样一种液晶显示器来完成：这种液晶显示器包含：液晶电容，它由夹在两个面对面的电极之间的液晶形成；正极性驱动电路系统，用以在电极之间提供正极性电压以使液晶电容带上正电荷；负极性驱动电路系统，它独立于正极性驱动电路系统，用以在电极之间提供负极性电压以使液晶电容带上负电荷。

附图说明

图 1 为根据本发明第一实施方案的 TFT LCD 的四个象素的等效电路图。

图 2 根据实现本发明的模型中的第一实施方案，示出了栅电压 V_g 、灰度电压 V_d 和公共电压 V_{com} 在帧反转驱动时的关系。

图 3 为根据本发明第二实施方案的 TFT LCD 的四个象素的等效电路图。

图 4 根据实现本发明的模型中的第二实施方案，示出了栅电压 V_g 、灰度电压 V_d 和公共电压 V_{com} 在帧反转驱动时的关系。

图 5 为根据实现本发明的模型中的第三实施方案，TFT LCD 的四个象素的等效电路图。

图 6 根据实现本发明的模型中的第三实施方案，示出了栅电压 V_g 、灰度电压 V_d 和公共电压 V_{com} 在帧反转驱动时的关系。

图 7 为相关技术 TFT LCD 的一个像素的等效电路图。

图 8 根据相关技术，示出了栅电压 V_g 、灰度电压 V_d 和公共电压 V_{com} 在帧反转时的关系。

具体实施方式

现在根据图 1 至 6 描述实施本发明的模型中的液晶显示器及其驱动方法。实施本发明的当前模型中的液晶显示器 (TFT LCD)，特征在于，液晶电容由两个独立电路系统 (正极性驱动电路系统和负极性驱动电路系统) 分别加以正负电荷。为了这个目的，每个像素设置了两个 TFT；其中一个 TFT 作为写入正极性灰度数据的转换元件；另一个 TFT 为写入负极性灰度数据的转换元件。

在相关技术的 TFT LCD 中，当某一驱动电路向像素电极施加正负电压时，正负电压分别由实施本发明的当前模型中的不同驱动电路施加。因此，每个灰度数据电压的幅度被分别施加到要施加正电压的 TFT 和要施加负电压的 TFT 上，这个灰度数据电压可以根据相关技术降低到幅度的一半，这样就可以抑制加在 TFT 栅极上的栅脉冲电压。

现在根据发明的具体实施方案，详细描述实施本发明的模型中的 TFT LCD 及其驱动方法。

[第一实施方案]

现在参考图 1 和 2 描述本发明第一实施方案的 TFT LCD 及其驱动方法。首先，将参考图 1 描述本实施方案 TFT LCD 的示意结构。图 1 示出了大量像素 P_{mn} 中四个彼此相邻像素 P_{11} , P_{12} , P_{21} 和 P_{22} 的等效电路，这些像素以矩阵形式设置在绝缘衬底上。在像素 P_{mn} 处，液晶电容 C_{lcmn} 是由夹在 TFT 衬底上的像素电极 P_e 和对面衬底上的公共电极 C_e 之间的液晶 lc 形成的。公共电压 (公共电极电势) V_{com} ($= 0V$) 施加在公共电极 C_e 上。

在与形成像素的衬底区域相邻的外围区域上，外围电路与用诸如低温多晶硅生产工艺形成的像素区域集成在一起。参看其中一些外围

电路，形成了栅总线驱动电路 GD1 提供正极性驱动，栅总线驱动电路 GD2 提供负极性驱动，数据总线驱动电路 DD1 提供正极性驱动，数据总线驱动电路 DD2 提供负极性驱动。

沿图中水平方向延伸的栅总线 Lg11、Lg21、Lg31...用来施加正电压，它们与提供正极性驱动的栅总线驱动电路 GD1 相连。与提供正电压的栅总线 Lg11、Lg21、Lg31...分别相邻且平行延伸的提供负电压的栅总线 Lg12、Lg22、Lg32...与提供负极性驱动的栅总线驱动电路 GD2 相连。

沿图中垂直方向延伸的数据总线 Ld11、Ld21、Ld31...用来施加正电压，它们与提供正极性驱动的数据总线驱动电路 DD1 相连。与提供正电压的数据总线 Ld11、Ld21、Ld31...分别相邻且平行延伸的提供负电压的数据总线 Ld12、Ld22...与提供负极性驱动的数据总线驱动电路 DD2 相连。

正极性驱动电路系统包括提供正极性驱动的栅总线驱动电路 GD1，提供正电压的栅总线 Lg11、Lg21、Lg31...，提供正极性驱动的数据总线驱动电路 DD1 和提供正电压的数据总线 Ld11、Ld21、Ld31...。正极性驱动电路系统用以通过在象素 Pmn 的电极 Pe 和电极 Ce 之间施加正电压来给带液晶电容 Clcmn 充上正电荷。

负极性驱动电路系统包括提供负极性驱动的栅总线驱动电路 GD2，提供负电压的栅总线 Lg12、Lg22、Lg32...，提供负极性驱动的数据总线驱动电路 DD2 和提供负电压的数据总线 Ld12、Ld22...。负极性驱动电路系统用以通过在象素 Pmn 的电极 Pe 和电极 Ce 之间施加负电压来给带液晶电容 Clcmn 充上负电荷。

以象素 P11 为例，象素 P11 由两个薄膜晶体管构成，即，一个 n 沟道 TFT n11 和一个 p 沟道 TFT p11，其中，TFT n11 作为正压 TFT 在象素电极 Pe 上施加正电压，TFT p11 作为负压 TFT 在象素电极 Pe 上施加负电压。

TFT n11 的源极 S 与象素电极 Pe 相连；其漏极 D 与数据总线 Ld11 相连来施加正电压；而其栅极 G 与栅总线 Lg11 相连来施加正电压。

TFT p11的源极S与像素电极Pe相连;其漏极D与数据总线Ld12相连来施加负电压;而其栅极G与栅总线Lg11相连来施加负电压。其余的像素Pmn具有相同结构。存储电容Csmn与液晶电容Clcmn并联,图上没有示出。

在以上结构中,在某显示帧 $f(2n)$ (n 为正整数)中,当从提供正极性驱动的栅总线驱动电路GD1输出提供正电压的栅脉冲 $Vg11(on)$ 至提供正电压的栅总线Lg11时,栅极G与提供正电压的栅总线Lg11相连的TFT n11和TFT n12...开启。结果,那些提供正极性驱动的数据总线驱动电路DD1分别向数据总线Ld11、Ld21、Ld31...输出灰度电压 $Vd11$ 、 $Vd21$ 、 $Vd31$...,这些输出值通过TFT n1n写入各个像素p1n的像素电极Pe上。当以上操作以线性连续方式在所有栅总线Lgm1上运行时,一个帧周期的灰度电压的写入就完成了。

在下一显示帧 $f(2n+1)$ 中,当从提供负极性驱动的栅总线驱动电路GD2输出提供负电压的栅脉冲 $Vg12(on)$ 至提供负电压的栅总线Lg12时,栅极G与提供负电压的栅总线Lg12相连的TFT p11和TFT p12...开启。结果,那些提供负极性驱动的数据总线驱动电路DD2分别向数据总线Ld12、Ld22...输出灰度电压 $Vd12$ 、 $Vd22$...,这些输出值通过TFT p1n写入各个像素p1n的像素电极Pe上。当以上操作以线性连续方式在所有栅总线Lgm2上运行时,一个帧周期的灰度电压的写入就完成了。

显示帧 $f(2n)$ 和 $f(2n+1)$ 被连续反复地驱动来实现帧反转驱动。

现在就以图2为基础,参照图1详细描述提供正电压的栅脉冲 $Vgm1(on)$ 和提供负电压的栅脉冲 $Vgm2(on)$ 的优化电平(电压)。在图2中,水平方向设为时间 t ,垂直方向设为电压值,这样来表示栅电压 Vg 、灰度电压 Vd 和公共电压 $Vcom$ 之间的关系。图2中正极性驱动电路系统与时间的关系曲线在时间 t 轴之上,负极性驱动电路系统与时间的关系曲线在时间轴 t 之下。为了描述上简单,图2示出了外加正电压 $Vg11(on)$ 和外加负电压 $Vg12(on)$,这两个脉冲分别

施加在象素 P11 的 TFT n11 和 p11 的栅电极 G 上。

公共电压（公共电极电势） V_{com} （= 0V）为一个常数。在本实施方案中，最大正灰度电压 V_{d11max} 为 + 2.5V，最大负灰度电压 V_{d12max} 为 - 2.5V。TFT n11 的阈值电压 V_{thn} 为 V_{th0} （典型阈值电压） $\pm \Delta$ ，TFT p11 的阈值电压 V_{thp} 为 $-V_{th0} \pm \Delta$ 。假设典型阈值电压 V_{th0} 为 3V，其起伏值 Δ 为 1V。并假设 V_L 代表 TFT n11 和 p11 的象素电极 P_e 的电势（见图 1）。

首先，在图 2 中对帧反转驱动进行示意性描述。正如图 2 所示，在偶数帧 f2 和 f4 时，正灰度电压 V_{d11} （数据）施加在象素 P11 的象素电极 P_e 上，在奇数帧 f1 和 f3 时，负灰度电压 V_{d12} （数据）施加在同一电极上。

提供正电压的栅脉冲 $V_{g11}(on)$ 和提供负电压的栅脉冲 $V_{g12}(on)$ 的值为 $V_0 + V_1 + V_2$ ，而最大灰度电压的绝对值为 $V_0 = 2.5V$ ，脉冲电压的绝对值 V_1 和绝对电压 V_2 如图 2 所示。

换句话说，为了让 TFT n11 处于关状态，TFT n11 的栅极 G 电势必须比最小负灰度电压 $V_{d11min} = V_{com} = 0V$ 低 V_1 （绝对值）。为了让 TFT n11 处于开状态，TFT n11 的栅极 G 电势必须比最大正灰度电压 $V_{d11max} = V_{com} = 2.5V$ 高 V_2 （绝对值）。

为了让 TFT p11 处于关状态，TFT p11 的栅极 G 电势必须比最小负灰度电压 $V_{d12min} = V_{com} = 0V$ 高 V_1 （绝对值）。为了让 TFT p11 处于开状态，TFT p11 的栅极 G 电势必须比最大正灰度电压 $V_{d12max} = V_{com} = -2.5V$ 低 V_2 （绝对值）。

首先对提供正电压的栅脉冲 $V_{g11}(on)$ 进行描述，栅脉冲通过正极性驱动电路系统把正电压施加在 n11 n 沟道 FET TFT n11 的栅极 G 上，它在图 2 中时间轴 t 之上。

为了使 TFT n11 保持关状态，输出到提供正电压的数据总线 L_{d11} 上的电压 V_{d11} 和象素电极 P_e 的电压 V_L 相比较，较小者与输出到提供负电压的栅总线 L_{g11} 上的电压 V_{g11} 之间的电势差必须小于 TFT n11 的阈值电压 V_{thn} ，它的值为 $V_{th0} \pm \Delta$ 。图 2 中时间点 t1 处，当

象素电极 Pe 的电压 VL 为 -2.5V 时, TFT n11 必须关闭。

具体地,

$$V_{g11} - \text{Min}(V_{d11}, V_L) < V_{th0} - \Delta \quad \text{式 1}$$

由于 $V_{g11} = -V_1$; $\text{Min}(V_{d11}, V_L) = -2.5$; $V_{th0} - \Delta = 2$, 用这些值代换可将式 1 变换为如下形式。

$$V_1 > 0.5$$

在时间点 t2 处, 当象素电极 Pe 的电压 VL 为 -2.5V 时, TFT n11 必须关闭。在时间 t1 处的式 1 在此处同样适用。

$$V_{g11} - \text{Min}(V_{d11}, V_L) < V_{th0} - \Delta \quad \text{式 1}$$

由于 $V_{g11} = -V_1$; $\text{Min}(V_{d11}, V_L) = -2.5$; $V_{th0} - \Delta = 2$, 用这些值代换可将式 1 变换为如下形式。

$$V_1 > 0.5$$

在时间点 t3 处, 灰度电压 $V_{d11} = V_{d11}(\text{数据}) = 2.5V$ 。当象素电极 Pe 电压 VL 为 -2.5V, TFT n11 为开时, 此时的象素电极 Pe 电压 $V_L = V_{d11}(\text{数据}) = 2.5V$, 在这之前灰度电压 $V_{d11}(\text{数据})$ 刚被写入象素电极 Pe。在写完成之前 TFT n11 必须保持开状态。

具体地,

$$V_{g11} - \text{Min}(V_{d11}, V_L) > V_{th0} + \Delta \quad \text{式 2}$$

由于 $V_{g11} = V_0 + V_2 = 2.5 + V_2$; $\text{Min}(V_{d11}, V_L) = -2.5$; $V_{th0} + \Delta = 4$, 用这些值代换可将式 2 变换为如下形式。

$$V_2 > 4$$

在时间点 t4 处, 当象素电极 Pe 的电压 VL 为 2.5V 时, TFT n11 必须关闭。因此, 在时间 t1 处的式 1 在此处同样适用。

$$V_{g11} - \text{Min}(V_{d11}, V_L) < V_{th0} - \Delta \quad \text{式 1}$$

由于 $V_{g11} = -V_1$; $\text{Min}(V_{d11}, V_L) = 2.5$; $V_{th0} - \Delta = 2$, 用这些值代换可将式 1 变换为如下形式。

$$V_1 > -4.5$$

在时间点 t5 处, 当象素电极 Pe 的电压 VL 为 2.5V, 电压 V_{g11} 为 0V 时, TFT n11 必须关闭。

由于 $V_{g11} = -V_1$; $\text{Min}(V_{d11}, V_L) = 0$; $V_{th0} - \Delta = 2$, $V_{g11} - \text{Min}(V_{d11}, V_L) = -V_1 < 0$

时间 t_1 处的状态在时间 t_6 处同样适用。

因此, 要求施加到 n 沟道 TFT n11 上提供正电压的栅脉冲 $V_{gm1}(\text{on})$ 满足关系 $V_1 > 0.5$ 和 $V_2 > 4$ 。要求施加到 p 沟道 TFT p11 上提供负电压的栅脉冲 $V_{gm2}(\text{on})$ 满足关系 $V_1 > 0.5$ 和 $V_2 > 4$ 。因为上面的讨论除了极性反转之外, 都是绝对真实的。

这样, 提供正电压的栅脉冲 $V_{g11}(\text{on})$ 和提供负电压的栅脉冲 $V_{g12}(\text{on})$ 具有最小电压振幅 $V_0 + V_1 + V_2 = 2.5 + 0.5 + 4 = 7V$, 而阈值电压 $V_{th0} = 3V$, 其波动范围 Δ 为 $1V$ 。即, 正极性驱动电路系统和负极电路驱动系统均可采用 $7V$ 的电压供给。

正如上所述, 在本实施方案中, 驱动液晶 lc 所需的栅总线驱动电路电压和数据总线驱动电路电压与同类设计相比要明显小得多。因此, 可以采用具有较低栅、漏耐电压的 TFT 作为象素转换元件。进而可以降低象素 TFT 栅氧化层薄膜的厚度, 也可以使其沟道长度和 LDD 长度减小。因此, TFT 的阈值电压的波动可以降低, 也可以抑制任何 TFT 的开电流的降低。最终, 驱动电压的降低可以降低能耗及对环境的电磁干扰。

当采用低温多晶硅生产工艺将外围电路集成到 TFT 衬底上时, 外围电路部分可以采用低压驱动型 FET, 这样就可以制造具有高速、低能耗和优良平衡性的外围电路。

而且, 由于象素 TFT 采用低压驱动型, 也就无需将低压驱动 FET 和高压驱动 FET 混合在单个 TFT 衬底上, 这样就可以简化生产工艺, 降低生产成本。

[第二实施方案]

图 3 和图 4 描述了本发明第二实施方案的 TFT LCD 及其驱动方法。图 3 为等效电路, 与第一实施方案中图 1 所示相似, 它显示了本实施方案 TFT LCD 的示意性结构。除了第一实施方案中的 TFT LCD 的 p 沟道 TFT pmn 为 n 沟道型 TFT n'mn 所代替, 本实施方案的 TFT

LCD 与第一实施方案的结构相同，各部分的工作原理与第一实施方案相似，在此就不再赘述。

以象素 P11 为例，象素 P11 由两个薄膜晶体管构成，即，一个 n 沟道 TFT n11 和一个 n 沟道 TFT n'11，其中，TFT n11 作为正压 TFT 在象素电极 Pe 上施加正极性数据电压，TFT n'11 作为负压 TFT 在象素电极 Pe 上施加负极性数据电压。

TFT n11 的源极 S 与象素电极 Pe 相连，其漏极 D 与施加正电压的数据总线 Ld11 相连；其栅极 G 与施加正电压的栅总线 Lg11 相连。

TFT n'11 的漏极 D 与象素电极 Pe 相连，其源极 S 与提供负电压的数据总线 Ld12 相连；其栅极 G 与提供负电压的栅总线 Lg11 相连。其余的象素 Pmn 具有相同的结构。

现在就以图 4 为基础，参照图 3 详细描述提供正电压的栅脉冲 Vgm1(on) 和提供负电压的栅脉冲 Vgm2(on) 的优化电平(电压)。图 4 表示了在本实施方案的 TFT LCD 帧反转驱动过程中栅电压 Vg、灰度电压 Vd 和公共电压 Vcom 之间的关系，其 TFT LCD 的反转驱动的条件与第一实施方案中图 2 的条件相同。

由于第一实施方案的 TFT n11 描述适用于提供正电压的栅脉冲 Vg11(on) 幅度，它是由正极性驱动电路系统施加在 TFT n11 栅极 G 上的，正如图 4 所示在时间轴 t 之上，只需满足 $V1 = 0.5$ 和 $V2 = 4$ 的关系即可。因此，正极性驱动电路系统的最小电压幅度为 $0.5 + 4 + 2.5 = 7V$ 。

现在要描述的是提供负电压的栅脉冲 Vg12(on)，这个脉冲由负极性驱动电路系统施加在 n 沟道型 FET 的 TFT n'11 的栅电极 G 上，正如图 4 所示，在时间轴 t 之下。

图 4 中时间点 t1 处，当象素电极 Pe 的电压 VL 为 -2.5V 时，TFT n'11 必须关闭。

具体地，

$$Vg12 - \text{Min}(Vd12, VL) < Vth0 - \Delta \quad \text{式 3}$$

由于 $Vg12 = -2.5 + V1$ ； $\text{Min}(Vd12, VL) = -2.5$ ； $Vth0 - \Delta = 2$ ，

用这些值代换可将式 3 变换为如下形式。

$$V1 < 2$$

在时间点 t2 处, 当象素电极 Pe 的电压 VL 为 -2.5V 时, TFT n'11 必须关闭。如同在时间 t1 处的式 3 在此处同样使用。

$$Vg12 - \text{Min}(Vd12, VL) < Vth0 - \Delta \quad \text{式 3}$$

由于 $Vg12 = -2.5 + V1$; $\text{Min}(Vd12, VL) = -2.5$; $Vth0 - \Delta = 2$, 用这些值代换可将式 3 变换为如下形式。

$$V1 < 2$$

在时间点 t3 处, 正灰度电压 $Vd11 = Vd11(\text{数据}) = 2.5V$, 它被写入象素电极 Pe。与此同时, 灰度电压 $Vd12 = 0V$ 。当 TFT n11 的正极侧为开启时, 象素电极 Pe 处电压 VL 为 -2.5V, 在灰度电压 $Vd11(\text{数据})$ 被写入象素电极 Pe, 之后, 象素电极 Pe 处电压 VL 为 2.5。此时, 在写入完成之前负极边的 TFT n'11 必须保持为关闭状态。

具体地,

$$Vg12 - \text{Min}(Vd12, VL) < Vth0 + \Delta \quad \text{式 3}$$

由于 $Vg12 = -V0 + V1 = -2.5 + V1$; $\text{Min}(Vd12, VL) = 0$; $Vth0 - \Delta = 2$, 用这些值代换可将式 3 变换为如下形式。

$$V1 < 4.5$$

在时间点 t4 处, 当象素电极 Pe 的电压 VL 为 2.5V 时, TFT n'11 必须关闭。因此, 如同在时间 t1 处的式 3 在此处同样使用

$$Vg12 - \text{Min}(Vd12, VL) < Vth0 - \Delta \quad \text{式 3}$$

由于 $Vg12 = -2.5 + V1$; $\text{Min}(Vd12, VL) = 0$; $Vth0 - \Delta = 2$, 用这些值代换可将式 3 变换为如下形式:

$$V1 < 0.5$$

在时间点 t5 处, 当象素电极 Pe 的电压 VL 为 2.5V, 电压 $Vg12$ 为 0V 时, TFT n'11 必须关闭。

$$Vg12 - \text{Min}(Vd12, VL) < Vth0 - \Delta \quad \text{式 3}$$

由于 $Vg12 = -2.5 + V1$; $\text{Min}(Vd12, VL) = -2.5$; $Vth0 - \Delta = 2$, 用这些值代换可将式 3 变换为如下形式。

$$V1 < 2$$

在时间点 t_6 处，正灰度电压 $V_{d12} = V_{d12}(\text{数据}) = -2.5V$ 。当 TFT $n'11$ 为开启时，象素电极 Pe 电压 VL 为 2.5V，当最大灰度电压 $V_{d12}(\text{数据})$ 被写入象素电极 Pe 后，象素电极 Pe 电压 $VL = V_{d12}(\text{数据}) = -2.5V$ 。在写入完成之前 TFT $n'11$ 必须保持为开启状态。

具体地，

$$V_{g12} - \text{Min}(V_{d12}, VL) > V_{th0} + \Delta \quad \text{式 4}$$

由于 $V_{g12} = V_2$; $\text{Min}(V_{d12}, VL) = -2.5$; $V_{th0} + \Delta = 4$ ，用这些值代换可将式 4 变换为如下形式。

$$V_2 > 1.5$$

因此，施加在负极边的 n 沟道型 TFT $n'11$ 上的提供负电压的栅脉冲 $V_{g12}(\text{on})$ 所需满足的条件为 $V_1 < 2$ 并且 $V_2 > 1.5$ 。

这样，提供正电压的栅脉冲 $V_{g11}(\text{on})$ 具有最小电压幅值 $V_0 + V_1 + V_2 = 2.5 + 0.5 + 4 = 7V$ ，施加负电压的栅脉冲 $V_{g12}(\text{on})$ 具有最小电压幅值 $V_0 + V_1 (= 0) + V_2 = 2.5 + 1.5 = 4V$ ，而阈值电压 $V_{th0} = 3V$ ，其波动范围 Δ 为 1V。即，正极性驱动电路系统和负极电路驱动系统均可采用 7V 的电压供给。

一般来说，当 TFT 的关电流几乎不连续时，正极边 TFT nmn 的电压 V_1 增加，负极边 TFT $n'mn$ 的电压 V_1 减小。当开电流很小时，由于与保持积累电荷的特性和数据写入速度相关联的理由，正 TFT nmn 和负 TFT $n'mn$ 的电压 V_2 都要增加。相反，在本实施方案中，由于能使用低驱动电压，TFT 的栅氧化薄膜可以做薄，这样提高以上所述所关心的性能。因此，可以使电压 V_1, V_2 达到最小，进而使供应电压降低。

[第三实施方案]

参照图 5 和图 6 描述本发明第三实施方案的 TFT LCD 及其驱动方法。图 5 为等效电路，与第一实施方案中图 1 和第二实施方案中图 3 所示相似，它示出了本实施方案 TFT LCD 的示意性结构。除了第二实施方案中 TFT LCD 的正极性 TFT nmn 和负极性 TFT $n'mn$ 的 n 沟

道型为 p 沟道型 TFT pmn 和 TFT p'mn 所代替，本实施方案的 TFT LCD 与第二实施方案的结构相同。与第二实施方案类似功能和操作的元件用相同标号，在此就不再赘述。

以象素 P11 作为例，象素 P11 由两个薄膜晶体管构成，即，一个 p 沟道 TFT p11 和一个 p 沟道 TFT p'11，其中，TFT p11 作为正压 TFT 在象素电极 Pe 上施加具有正极性的数据电压，TFT p'11 作为负压 TFT 在象素电极 Pe 上施加具有负极性的数据电压。

TFT p11 的漏极 D 与象素极 Pe 相连，其源极 S 与提供正电压的数据总线 Ld11 相连；其栅极 G 与提供正电压的栅总线 Lg11 相连。

TFT p'11 的漏极 D 与提供负电压的数据总线 Ld12 相连，其源极 S 与象素电极 Pe 相连；其栅极 G 与提供负电压的栅总线 Lg11 相连。其余的象素 Pmn 与之结构相同。

图 6 显示了本实施方案中提供正电压的栅脉冲 $V_{gm1}(on)$ 和提供负电压的栅脉冲 $V_{gm2}(on)$ 的优化电平（电压）。图 6 表示了 TFT LCD 帧反转驱动过程中栅电压 V_g 、灰度电压 V_d 和公共电压 V_{com} 之间的关系，其 TFT LCD 的反转驱动的条件与第二实施方案中图 4 的条件相同。

第二实施方案对 TFT n11 的描述适用于提供正电压的栅脉冲 $V_{g11}(on)$ 的幅度，它是由正极性驱动电路系统施加在 TFT p11 栅极 G 上的，正如图 6 所示在时间轴 t 之上，但极性相反。第二实施方案对 TFT n'11 的描述适用于提供负电压的栅脉冲 $V_{g12}(on)$ 的幅度，它是由负极性驱动电路系统施加在 TFT p'11 栅极 G 上的，正如图 6 所示在时间轴 t 之下，但极性相反。

很明显，从以上所述可以得出，正极电路驱动系统和负极电路驱动系统均可采用 7V 的电压供给，而阈值电压 $V_{th0} = 3V$ ，波动范围 $\Delta = 1V$ 。实施方案 2 中的效果均可达到。

正如以上所述，在实施本发明的模型中，栅总线驱动电路用来驱动有源矩阵型 LCD 的象素，由于其栅脉冲输出的脉冲高度能被减小，栅总线驱动电路可以采用低电压。这样可以使数据总线驱动电路采用

低电压，能耗就可以降低了。况且，供应电压低就可以使栅氧化薄膜变更薄，这样就可以使晶体管在低阈值电压 V_{th} 波动的情况下高速运行（即具有高传输电导）。阈值电压 V_{th} 波动的降低又可以使驱动电压进一步降低。进而，可以使施加在源和漏之间的电压降低，这样就可以形成具有源和漏之间的较小耐电压的晶体管结构的 TFT，更易于制造。

由于在实施本发明的模型中，每个象素的晶体管和布线的数量都增加了，就必须注意孔隙率的降低。然而，可以通过使用精细布线图来抑制孔隙率的降低。在反射型 LCD 情形中，象素电极 P_e 采用的是诸如铝这样导电、高反射率的金属，不会发生孔隙率的降低，因为 TFT 和总线位于象素电极 P_e 的背面。

虽然在实施本发明的模型中，TFT LCD 的每个总线均有复式驱动系统，但是如果用低温多晶生产工艺将外围电路集成的话，生产成本不会因为每个总线采用复式系统而增加，因为每个总线驱动系统和象素区都是在玻璃衬底上同时形成的。

本发明不受以上所述实施模型的限制，可以进行各种修改。

例如，虽然实施本发明的模型根据透射型 LCD 描述，本发明也可以不受其限制，而采用反射型 LCD 和半透射型 LCD。

虽然描述本发明的模型时，采用 p-Si 作为半导体有源层的 TFT，本发明也可以不受其限制，明显适用于采用 a-Si（非晶硅）作为半导体有源层的 TFT。

虽然在实施本发明的模型中，采用了低温多晶硅生产工艺将外围电路集成到 LCD 上，但是本发明可以不受其限制。本发明也可用到这样的 LCD 中：其中一些或所有外围电路都分别从其上形成有象素 TFT 的玻璃衬底上形成，并用 TAB 安装或 COG 安装来布线。

如上所述，本发明可以降低象素 TFT 的驱动电压。

图1

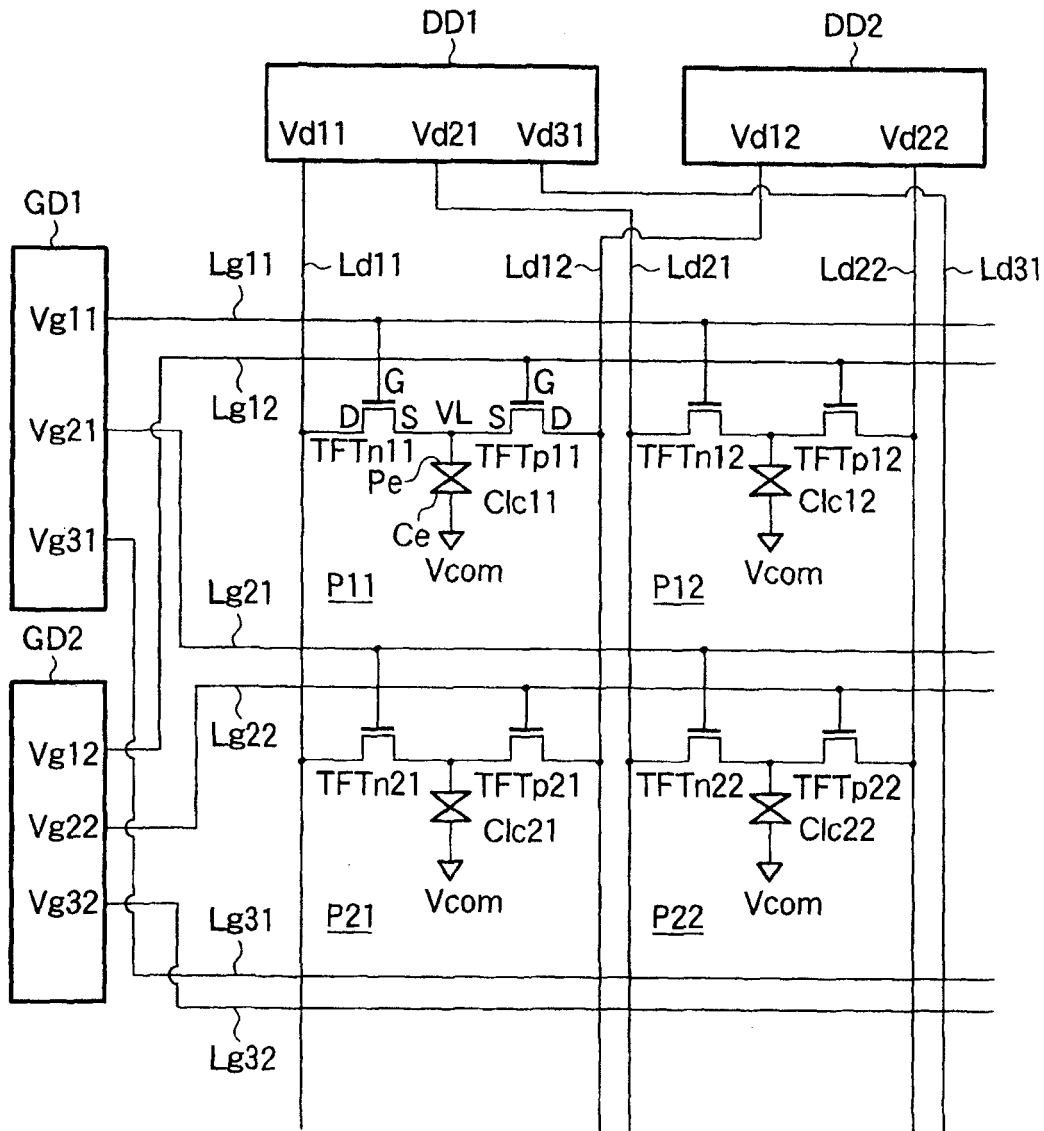


图2

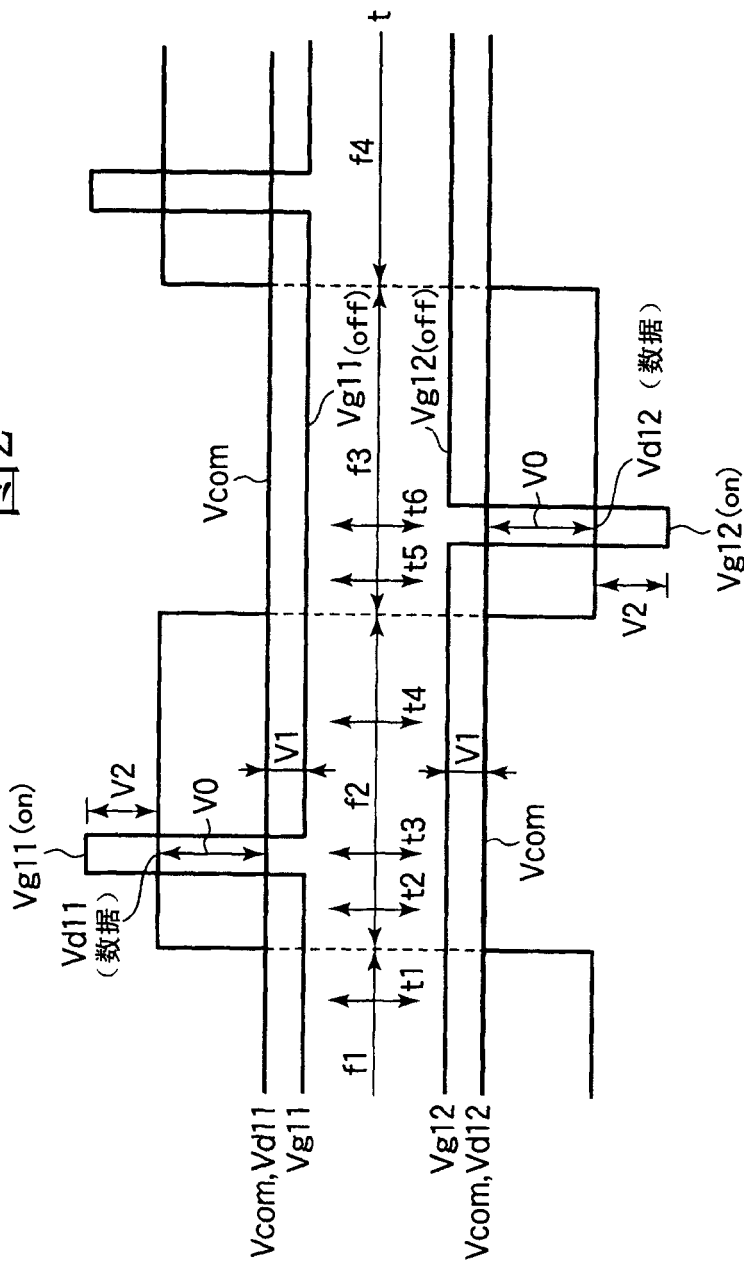


图3

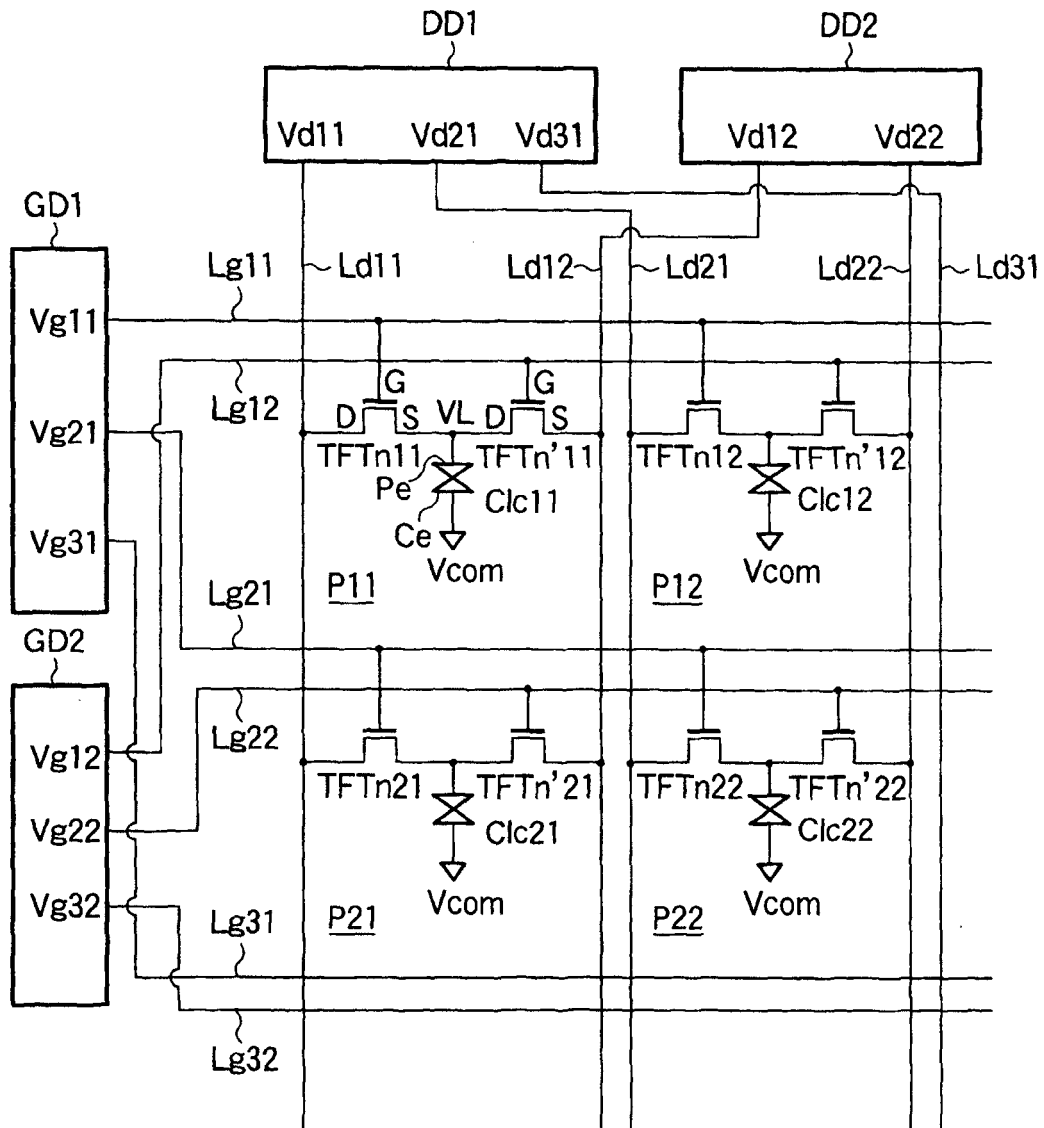


图4

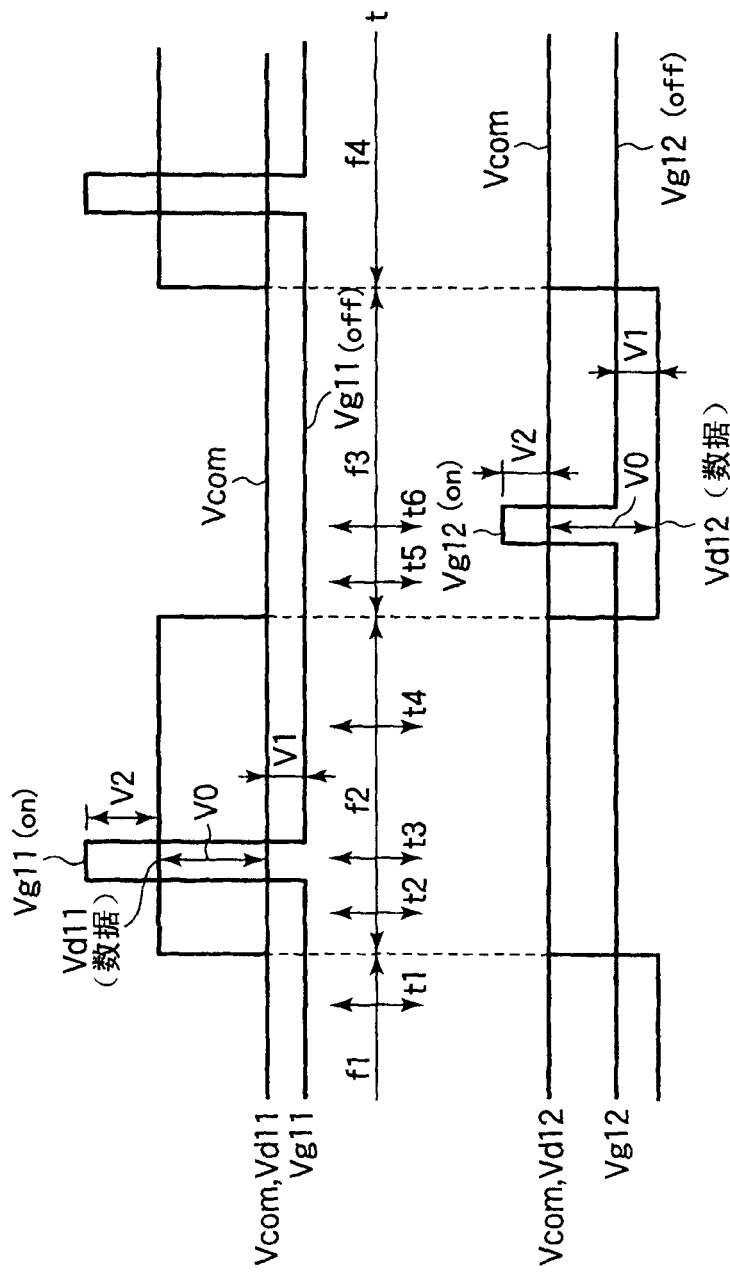


图5

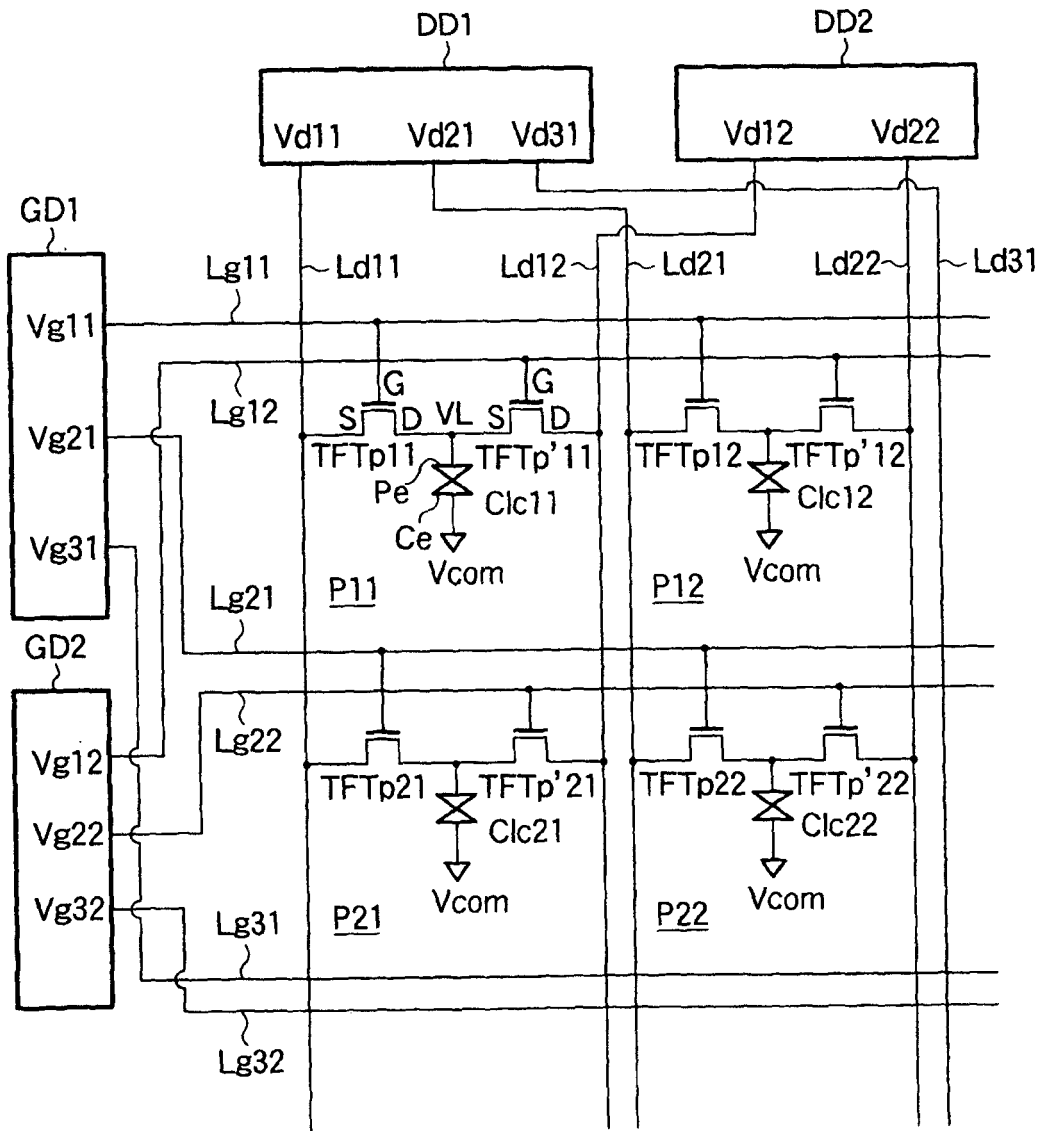


图6

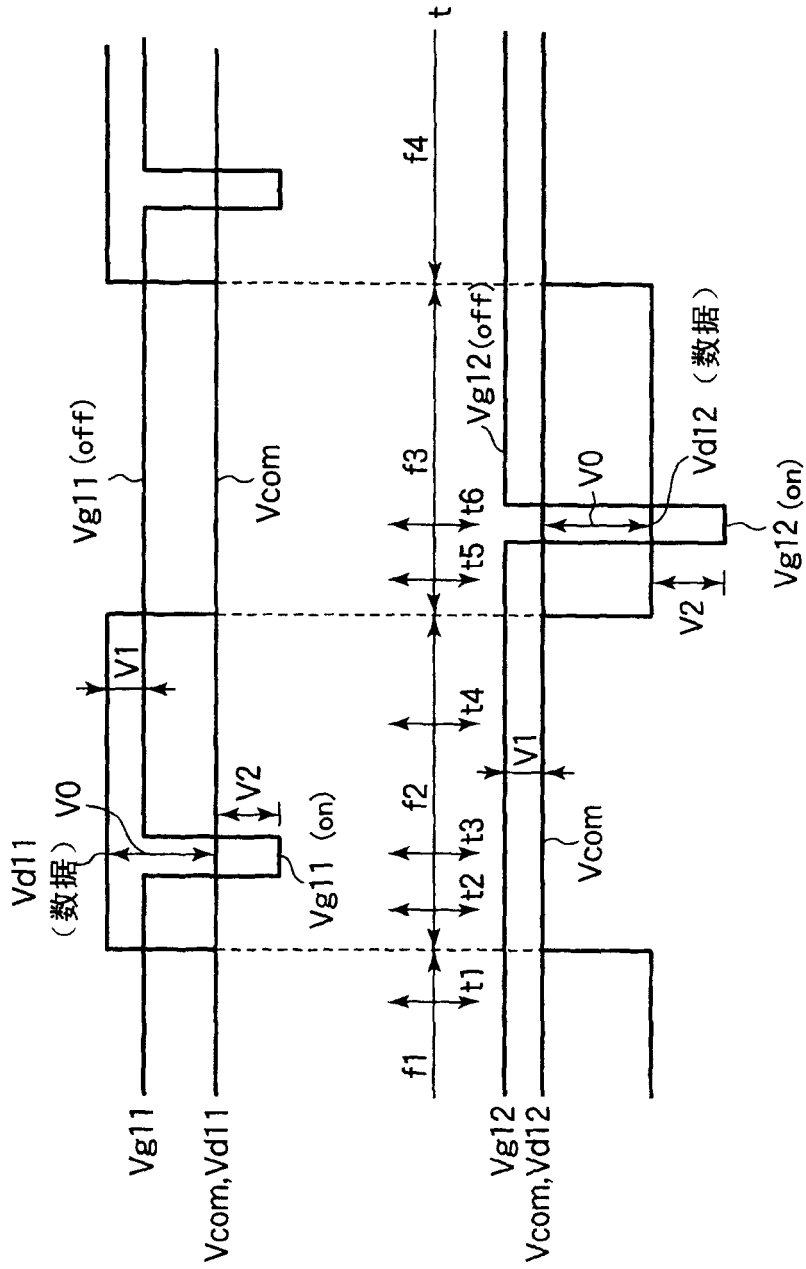


图7

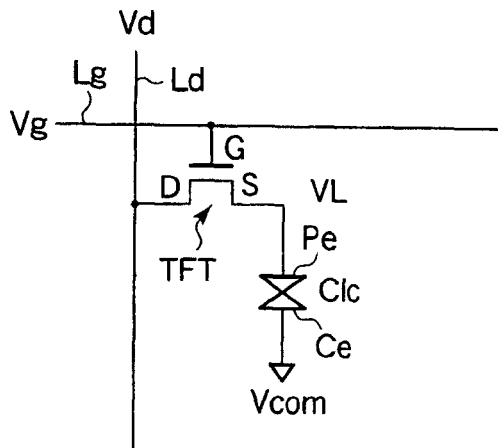
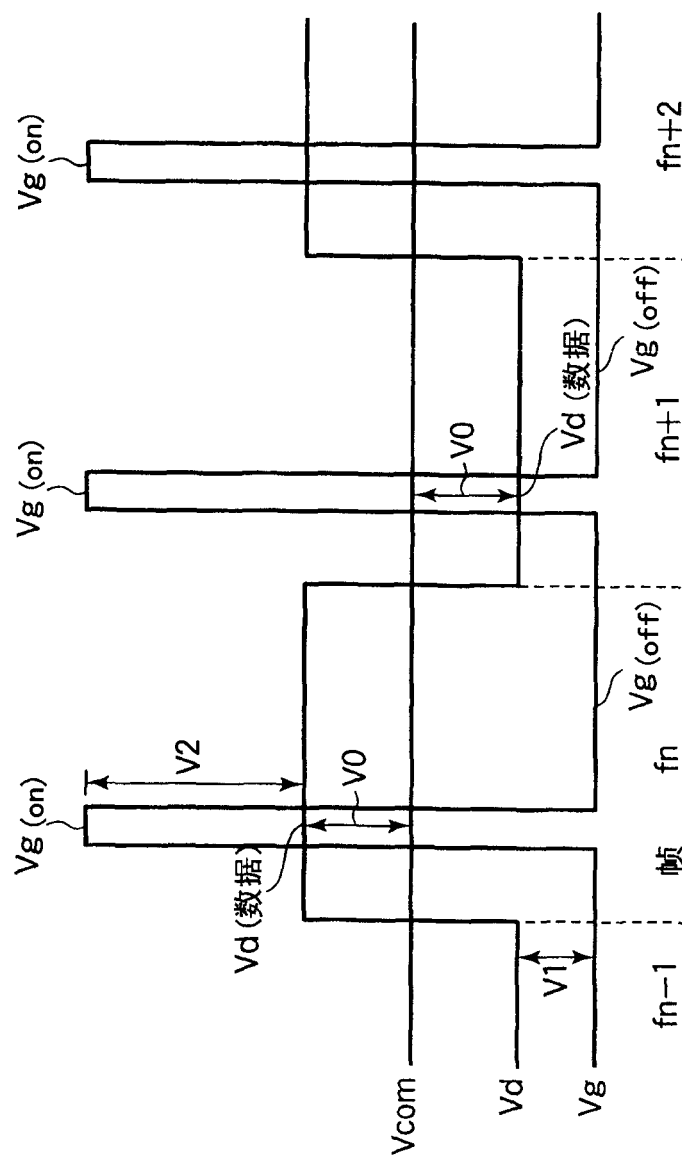


图8



专利名称(译)	液晶显示器		
公开(公告)号	CN1437061A	公开(公告)日	2003-08-20
申请号	CN02159341.8	申请日	2002-12-26
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士通株式会社		
当前申请(专利权)人(译)	富士通株式会社		
[标]发明人	佐佐木伸夫		
发明人	佐佐木伸夫		
IPC分类号	G02F1/1368 G02F1/133 G02F1/1362 G09G3/20 G09G3/36 G02F1/136		
CPC分类号	G02F2001/136245 G09G2300/0823 G09G3/3659 G09G2310/06 G02F1/136286 G09G3/3614		
代理人(译)	王永刚		
优先权	2002027590 2002-02-05 JP		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了有源矩阵型TFT LCD，其像素TFT的驱动电压降低了。像素由两薄膜晶体管构成，即，一个施加正压的n型TFT和一个施加负压的p型TFT，前者在像素电极上施加数据电压使之具有正极性，后者在像素电极上施加数据电压使之具有负极性。施加正电压TFT的源极与像素电极相连，其漏极与数据总线相连用来加正压；其栅极与栅总线相连用来施加正压。其它TFT的源极也与像素电极相连；其漏极与数据总线相连施加负压；其栅极与栅总线相连用来加负压。

