



[12] 发明专利说明书

专利号 ZL 02107156. X

[45] 授权公告日 2007 年 3 月 28 日

[11] 授权公告号 CN 1307607C

[22] 申请日 2002.3.12 [21] 申请号 02107156. X

[30] 优先权

[32] 2001. 3.12 [33] US [31] 09/804,554

[73] 专利权人 汤姆森特许公司

地址 法国布洛涅

[72] 发明人 唐纳德·H·威利斯

[56] 参考文献

JP11282437A 1999.10.15

US6121947A 2000.9.19

JP11119735A 1999.4.30

审查员 席万花

[74] 专利代理机构 北京市柳沈律师事务所

代理人 马莹 邵亚丽

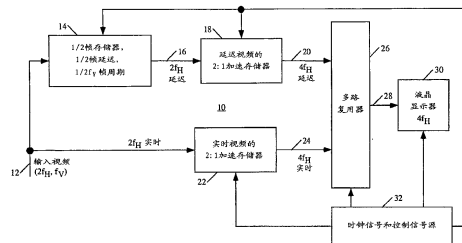
权利要求书 5 页 说明书 13 页 附图 10 页

[54] 发明名称

用于液晶显示器的帧速率乘法器、帧速率倍加器及其方法

[57] 摘要

一种用于倍乘具有线速率 $f_{H\text{in}}$ 和帧速率 $f_{V\text{in}}$ 的输入视频信号的帧速率的方法，包括这些步骤：通过恰好足够的存储器传播输入视频信号，以延迟输入视频信号以 $1/f_{V\text{in}}$ 个帧周期；将经延迟视频信号加速到比 $f_{H\text{in}}$ 快的第二线速率；每次一线，顺序地提供经加速的视频信号和经延迟的加速视频信号；并且，将顺序提供的线以较快的线速率写入液晶显示器，由此在每个帧周期内至少一些线被多次写入。相应的设备包括：部分帧存储器；两个加速存储器；多路复用器；以及，时钟源和控制信号。



1.一种用于倍乘具有 f_{Hin} 的线速率和 f_{Vin} 的帧速率的输入视频信号的帧速率的方法，所述方法包括以下步骤：

通过恰好足够的存储器，传播所述输入视频信号，以将所述输入视频信号延迟 $1/f_{Vin}$ 个帧周期；

加速所述延迟的视频信号到比 f_{Hin} 快的第一线速率；

加速所述输入的视频信号到比 f_{Hin} 快的第二线速率；

每次一线，顺序地提供所述加速视频信号和所述延迟加速视频信号；和将顺序提供的线以所述较快的线速率写入到液晶显示器(30)，

由此在每个所述帧周期内至少一些所述线被多次写入。

2. 根据权利要求1所述的方法，包括以下步骤：

提供多个延迟输出视频信号；和

将每个所述多个延迟视频信号加速到所述较快的第一和第二线速率；和顺序地为所述写入步骤提供所有所述加速视频信号。

3. 根据权利要求1所述的方法，包括以下步骤：

周期性地中断所述提供步骤，以提供大量所述加速视频信号的连续线；

周期性地中断所述提供步骤，以提供大量所述延迟加速视频信号的连续线；和

改变所述中断步骤，以在到在所述液晶显示器上相同线号位置的写入线之间保持统一的时间间隔。

4. 根据权利要求1所述的方法，包括将所述线写入到硅液晶显示器上的步骤。

5. 根据权利要求1所述的方法，包括通过嵌入在集成电路中的存储器传播所述输入视频信号的步骤。

6. 根据权利要求1所述的方法，包括通过恰好足够的存储器传播所述输入视频信号，以将所述输入视频信号延迟 $(n-1)/n$ 个所述帧周期，其中 n 是所述帧倍乘的倍乘因子。

7. 根据权利要求1所述的方法，包括以下步骤：

至少倍加所述输入视频信号的所述帧速率；和

将每个所述线多次写入到所述液晶显示器。

8. 根据权利要求1所述的方法, 包括加速所述延迟视频信号和所述输入视频信号到较 f_{Hin} 快的相同线速率的步骤。

9. 一种用于倍加具有 f_{Hin} 的线速率和 f_{vin} 的帧速率的输入视频信号的帧速率的方法, 包括以下步骤:

通过恰好足够的存储器, 传播所述输入视频信号, 以将所述输入视频信号延迟 $1/f_{vin}$ 个帧周期的 $1/2$;

加速所述延迟视频信号到比 f_{Hin} 快的第一线速率;

加速所述输入视频信号到比 f_{Hin} 快的第二线速率;

每次一线, 顺序地提供所述加速视频信号和所述延迟加速视频信号; 和将顺序提供的线以所述较快的线速率写入到液晶显示器(30),

由此在每个所述帧周期内两次写入每个所述线。

10. 根据权利要求9所述的方法, 包括以下步骤:

周期性地中断所述提供步骤, 以提供大量所述加速视频信号的连续线;

周期性地中断所述提供步骤, 以提供大量所述延迟加速视频信号的连续线; 和

交替所述中断步骤, 以在到在所述液晶显示器上相同线号位置的写入线之间保持统一的时间间隔。

11. 根据权利要求9所述的方法, 包括写入所述线到硅液晶显示器上的步骤。

12. 根据权利要求9所述的方法, 包括通过嵌入在集成电路中的存储器传播所述输入视频信号的步骤。

13. 根据权利要求9所述的方法, 包括加速所述延迟视频信号和所述输入视频信号到相同的线速率 f_{Hin} 的步骤。

14. 一种帧速率乘法器, 用于倍乘具有 f_{Hin} 的线速率和 f_{vin} 的帧速率的输入视频信号的帧速率, 所述帧速率乘法器包括:

第一存储器(214), 用于传播所述输入视频信号, 所述第一存储器具有最大要求数据容量恰好大到足以将所述输入视频信号延迟 $1/f_{vin}$ 个帧周期的一部分;

第二存储器(218), 用于加速所述延迟视频信号到比 f_{Hin} 快的第一线速率;

第三存储器(22), 用于加速所述输入视频信号到比 f_{Hin} 快的第二线速率;

多路复用器(26), 耦合用于接收所述加速视频信号、并每次一线地提供所述加速视频信号, 以写入到液晶显示器(30), 和

时钟信号和控制信号源(32), 所述源耦合到每个所述存储器、所述多路复用器和所述液晶显示器, 使得由所述多路复用器提供的到所述液晶显示器的相继线, 交替地从所述第二和第三存储器以所述较快的线速率产生, 在每个所述帧周期内至少一些所述的提供线被多次提供到所述液晶显示器上。

15. 根据权利要求 14 所述的帧速率乘法器, 其中所述第一存储器(214)的所述最大要求数据存储容量是 $(n-1)/n$ 帧, 其中 n 是所述帧速率乘法器的倍乘因子。

16. 根据权利要求 15 所述的帧速率乘法器, 其中所述第一存储器(214)具有 $n-1$ 个输出, 以提供 $n-1$ 个延迟输出视频信号(216A、216B、216C), 其中 $n \geq 2$ 。

17. 根据权利要求 16 所述的帧速率乘法器, 包括:

$n-1$ 存储器(218A、218B、218C), 耦合于所述第一存储器和所述多路复用器上, 用于加速所述 $n-1$ 延迟输出视频信号到所述较快的线速率; 和
所述线, 由所述多路复用器提供到所述液晶显示器, 所述线从所述第三存储器(22)和所述 $n-1$ 存储器中顺序地产生。

18. 根据权利要求 14 所述的帧速率乘法器, 其中时钟信号和控制信号的所述源提供一种操作模式, 其中控制所述多路复用器以便:

周期性地中断到所述液晶显示器的所述线的所述提供;

在所述周期性的中断期间, 提供给所述液晶显示器大量来自所述第二存储器的相继线和大量来自所述第三存储器的相继线; 和

交替地选择来自所述第二或第三存储器的所述大量的相继线, 以便在所述液晶显示器上相同线号位置的写入线之间保持统一的时间间隔。

19. 根据权利要求 14 所述的帧速率乘法器, 其中所述帧速率乘法器至少部分地集成在集成电路中。

20. 根据权利要求 19 所述的帧速率乘法器, 其中所述第一存储器是集成在集成电路中。

21. 根据权利要求 14 所述的帧速率乘法器, 其中所述第一和第二存储器功能性地结合成一个单存储器, 以延迟和加速所述输入视频信号。

22. 根据权利要求 14 所述的帧速率乘法器, 其中所述第一、第二和第三

存储器功能性地结合成一个单存储器，以延迟和加速所述延迟输入视频信号、和加速所述输入视频信号。

23. 根据权利要求 14 所述的帧速率乘法器，其中所述第一和第二较快线速率是相同的。

24. 一种帧速率倍加器，用于倍加具有 f_{Hin} 的线速率和 f_{Vin} 的帧速率的输入视频信号的帧速率，所述帧速率倍加器包括：

第一存储器(14)，用于延迟所述输入视频信号以 $1/f_{Vin}$ 个帧周期的 $1/2$ ；

第二存储器(18)，用于加速所述延迟视频信号到比 f_{Hin} 快的线速率；

第三存储器(22)，用于加速所述输入视频信号到比 f_{Hin} 快的第二线速率；

多路复用器(26)，耦合用于接收所述加速视频信号、并每次一线地提供所述加速视频信号，以写入到液晶显示器(30)，和

时钟信号和控制信号源(32)，所述源耦合到每个所述存储器、所述多路复用器和所述液晶显示器，使得由所述多路复用器提供的到所述液晶显示器的相继线，交替地从所述第二和第三存储器以所述较快的线速率产生，在每个所述帧周期内每个所述提供线被两次提供到所述液晶显示器上。

25. 根据权利要求 24 所述的帧速率倍加器，其中所述第一存储器(14)具有 $1/2$ 帧的最大要求数据存储容量。

26. 根据权利要求 24 所述的帧速率倍加器，其中时钟信号和控制信号的所述源(32)提供一种操作模式，其中控制所述多路复用器(26)以便：

周期性地中断到所述液晶显示器(30)的所述线的所述提供；

在所述周期性的中断期间，提供给所述液晶显示器 n 个来自所述第二存储器(18)的相继线和 n 个来自所述第三存储器(22)的相继线；和

交替地选择来自所述第二(18)或第三存储器(22)的所述 n 个相继线，以便在所述液晶显示器上相同线号位置的写入线之间保持统一的时间间隔。

27. 根据权利要求 24 所述的帧速率倍加器，其中所述液晶显示器包括硅液晶显示器。

28. 根据权利要求 24 所述的帧速率倍加器，其中所述帧速率倍加器至少部分地集成在集成电路中。

29. 根据权利要求 28 所述的帧速率倍加器，其中所述第一存储器集成在所述集成电路中。

30. 根据权利要求 24 所述的帧速率倍加器，其中所述第一和第二存储器

功能性地结合成一个单存储器，以延迟和加速所述输入视频信号。

31. 根据权利要求 24 所述的帧速率倍加器，其中所述第一(14)、第二(18)和第三(22)存储器功能性地结合成一个单存储器，以延迟和加速所述延迟输入视频信号、和加速所述输入视频信号。

32. 根据权利要求 24 所述的帧速率倍加器，其中所述第一和第二较快线速率是相同的。

用于液晶显示器的帧速率乘法器、帧速率倍加器及其方法

技术领域

本发明装置涉及 LCOS(硅液晶)和/或 LCD(液晶显示器)视频显示系统领域,两者既可以是反射型又可以是传输型。

背景技术

可以认为硅液晶(LCOS)是形成于硅晶片的一个大液晶。将该硅液晶分为超小板电极(tiny plate electrode)的递增阵列。液晶的超小递增区受到由每个超小板和共用板生成的电场的影晌。每个这样的小板和对应的液晶区被一起称为成象器的单元。每个单元对应一个单独可控的象素。将共用板电极布置在液晶的其它边上。每个单元,或象素,保持以相同的强度发光,直到输入信号改变为止,由此充当一个采样并保持。与阴极射线管中磷光体一样,该象素不衰减。每组共用和可变板电极形成一个成象器。对于一种颜色提供一个成象器,因此,为红、绿、蓝每种颜色各提供一个成象器。

一般地,响应于给定的输入图象,通过首先发送一正常帧(正图象)和接着发送一逆反的帧(负图象),利用帧加倍信号驱动 LCOS 显示器的成象器,以避免 30 赫兹闪烁。正图象和负图象的生成确保每个象素将随着正电场与负电场交替地被写入。合成的驱动场具有零直流分量,该零直流分量是避免该图象闪烁和最终避免成象器的永久退化所必需的。已经确定,人眼对由这些正图象和负图象产生的象素的亮度平均值会作出反应。

将驱动电压提供到 LCOS 阵列的每个边上的板电极。在目前优选的、本发明装置附属于其中的 LCOS 系统中,共用板总是带有约 8 伏的电压。该电压可以调整。在超小板阵列中的其它板都以两个电压范围进行操作。对于正图象,电压在 0 伏和 8 伏之间变化。对于负图象,电压在 8 伏和 16 伏之间变化。

将光提供到成象器、并且由此提供到该成象器的每个单元,该光是场偏振的。响应通过板电极施加到单元的电场的均方根(RMS)值,每个液晶单元旋转输入光的偏振。一般地说,该单元对所施加的电场的(正或负)极性不敏感。

相反地，每个象素的单元的亮度一般地仅是照射在该单元上的光的偏振的旋转的函数。但是作为特例，据发现，对于相同偏振旋转的光，亮度能够在正电场和负电场之间作某种变化。这样的亮度变化可以在所显示图象中引起不期望的闪烁。

在该实施例中，对于正图象或负图象，当驱动该单元的电场接近零电场强度时，对应 8 伏，较接近的每个单元成为白色，在条件上对应于满。其它系统也是可能的，例如其中共用电压设置为 0 伏。应该理解，这里所提出的本发明装置可应用于所有这样的正和负电场 LCOS 成象器驱动系统。

当施加到超小板电极的可变电压低于施加到共用板电极的电压时，这些图象被定义为正图象，因为超小板电极的电压越高，则该象素越亮。反之，当施加到超小板电极的可变电压高于施加到共用板电极的电压时，这些图象被定义为负图象，因为超小板电极的电压越高，则该象素越暗。图象的正或负极的指定不应该与用以区分在隔行扫描视频格式中的电场类型的术语相混淆。

在 LCOS 的现有技术状态中，要求将称之为 VITO 的共用模式电极电压精确调整到驱动 LCOS 的正和负电场之间。下标 ITO 表示氧化锡铟材料。为了将闪烁减至最小，也是为了防止公知的图象粘连(image sticking)的现象，平衡调整(average balance)是必需的。

在下列描述中，术语 f_{Hin} 在此用于表示输入视频信号的水平扫描频率。术语 f_{vin} 用于表示输入视频信号的垂直扫描频率。在标准清晰度隔行扫描 NTSC(美国国家电视系统委员会)制式中， f_{Hin} 可以是 15750 赫兹($1f_H$)或 31500 赫兹($2f_H$)。一般地，对于 NTSC， f_{vin} 是 60 赫兹；对于 PAL(逐行倒相制)， f_{vin} 是 50 赫兹。ATSC 已经定义高清晰度格式。术语 480p 表示在每个顺序(非隔行扫描)帧中具有 480 线视频的视频信号。一个 720p 视频信号在每一帧中具有 720 线视频。术语 1080i 表示在顶场和底场中具有 1080 隔行扫描水平线的视频信号，每一个场具有 540 水平线。根据惯例，术语 720i 表示每一帧 720 线隔行扫描视频；以及术语 1080p 表示在每一帧中有 1080 线的顺序的水平线。一般地，这样的高清晰度系统具有 $f_{Hin} \geq 2f_H$ 。

这里字母 n 用于表示 f_{Hin} 或 $2f_{vin}$ 的倍数。例如假定 480p 输入视频信号以倍数 $n=2$ 进行加速。由于 $f_{Hin} = 2f_H$ ，所以水平扫描频率加倍到 $4f_H$ 。例如假定同样的 480p 输入视频信号经受 $1/n$ 帧延迟，其中也是 $n=2$ 。由于

480p 输入视频信号具有 $f_{vin} = 60$ 赫兹，所以该延迟是 $1/120$ 秒。该倍数 n 不一定是整数。如果 $f_{Hin} = 2.14f_H$ ，并且 $n = 2$ ，则视频信号加速到 $4.28f_H$ 。例如 720p 视频信号具有 $f_{Hin} = 3f_H$ 。如果 $f_{Hin} = 3f_H$ ，并且 $n = 2$ ，则视频信号加速到 $6f_H$ 。

为了避免看得见的闪烁，通常利用较高的垂直扫描频率、或帧速率，去抑制闪烁。例如在 NTSC 制式中，如果 $n = 2$ ，则 60 赫兹的帧速率加倍到 120 赫兹的帧速率。在 PAL 制式中，50 赫兹场速率加倍到 100 赫兹的场速率。但是，较高的帧速率或场速率使对共用模式电极电压进行调整变得更困难，因为该闪烁是人眼不可见的。没有特殊的仪器，操作者不能进行所需的调整。

较快的帧速率要求帧速率倍加器，即，能引起每个图象在输入视频信号的每个帧周期内经受两次扫描的电路。60 赫兹的帧速率具有 $1/60$ 秒的帧周期。加倍 60 赫兹的帧速率要求以 120 赫兹扫描。120 赫兹帧速率具有 $1/120$ 秒的帧周期。如果输入的视频信号具有 $2f_H$ 的水平扫描频率，其中 f_H 是例如标准 NTSC 水平扫描速率、和 60 赫兹的标准帧速率，则这些图象必须以 $4f_H$ 和 120 赫兹显示。换言之，在每 60 赫兹帧周期(即 $1/60$ 秒)内，每个图象显示两次。每个线以 $4f_H$ 写到显示器上。

根据现有技术，帧速率倍加器利用在所谓交替(ping-pong)装置中的两个全帧存储器。并且以替换的方法，将一帧写入一个存储器，作为从其它存储器读取的另一个帧；反之亦然。该技术总是发生视频延迟的全帧周期，因为每一个交替帧存储器都不能被读取，直到写入一个全帧为止。因此，必须延迟音频信号以匹配视频信号的延迟。公知的，通过在正确实现的视频加速装置中恰当地利用存储器，能够将存储器的需求减少到一个全帧存储器。然而，对于任何大于两倍的帧倍加，一个全帧存储器的替代利用是不可行的。在这样的情形中，总是要求两个全帧存储器。

发明内容

根据本发明的装置，克服了在实现帧速率的倍加器中的、和更一般地在提供帧速率乘法器中的现有技术的问题。本发明装置提供的解决方案特别适合于液晶显示，例如 LCOS。而且，根据特定实施例的费用要求上的节省可以集成更多的帧速率乘法器。

根据本发明的一方面，提供了一种用于倍乘具有 f_{Hin} 的线速率和 f_{vin}

的帧速率的输入视频信号的帧速率的方法，所述方法包括以下步骤：通过恰好足够的存储器，传播所述输入视频信号，以将所述输入视频信号延迟 $1/f_{vin}$ 个帧周期；加速所述延迟的视频信号到比 f_{Hin} 快的第一线速率；加速所述输入的视频信号到比 f_{Hin} 快的第二线速率；每次一线，顺序地提供所述加速视频信号和所述延迟加速视频信号；和将顺序提供的线以所述较快的线速率写入到液晶显示器，由此在每个所述帧周期内至少一些所述线被多次写入。

根据本发明的另一方面，提供了一种用于倍加具有 f_{Hin} 的线速率和 f_{vin} 的帧速率的输入视频信号的帧速率的方法，包括以下步骤：通过恰好足够的存储器，传播所述输入视频信号，以将所述输入视频信号延迟 $1/f_{vin}$ 个帧周期的 $1/2$ ；加速所述延迟视频信号到比 f_{Hin} 快的第一线速率；加速所述输入视频信号到比 f_{Hin} 快的第二线速率；每次一线，顺序地提供所述加速视频信号和所述延迟加速视频信号；和将顺序提供的线以所述较快的线速率写入到液晶显示器，由此在每个所述帧周期内两次写入每个所述线。

根据本发明的另一方面，提供了一种帧速率乘法器，用于具有 f_{Hin} 的线速率和 f_{vin} 的帧速率的输入视频信号，所述帧速率乘法器包括：第一存储器，用于所述输入视频信号，所述第一存储器具有最大要求数据容量恰好大到足以将所述输入视频信号延迟 $1/f_{vin}$ 个帧周期的一部分；第二存储器，用于加速所述延迟视频信号到比 f_{Hin} 快的第一线速率；第三存储器，用于加速所述输入视频信号到比 f_{Hin} 快的第二线速率；多路复用器，耦合用于接收所述加速视频信号、并每次一线地提供所述加速视频信号，以写入到液晶显示器，和时钟信号和控制信号源，所述源耦合到每个所述存储器、所述多路复用器和所述液晶显示器，使得由所述多路复用器提供的到所述液晶显示器的相继线，交替地从所述第二和第三存储器以所述较快的线速率产生，在每个所述帧周期内至少一些所述的提供线被多次提供到所述液晶显示器上。

根据本发明的另一方面，提供了一种帧速率倍加器，用于具有 $f_{Hin}(2f_H)$ 的线速率和 f_{vin} 的帧速率的输入视频信号，所述帧速率倍加器包括：第一存储器，用于延迟所述输入视频信号以 $1/f_{vin}$ 个帧周期的 $1/2$ ；第二存储器，用于加速所述延迟视频信号(延迟 $2f_H$)到比 f_{Hin} 快(延迟 $4f_H$)的线速率；第三存储器，用于加速所述输入视频信号到比 f_{Hin} 快($4f_H$ 实时)的第二线速率；多路复用器，耦合用于接收所述加速视频信号、并每次一线地提供所述加速视频信号，以写入到液晶显示器，和时钟信号和控制信号源，所述源耦合到每

个所述存储器、所述多路复用器和所述液晶显示器，使得由所述多路复用器提供的到所述液晶显示器的相继线，交替地从所述第二和第三存储器以所述较快的线速率产生，在每个所述帧周期内每个所述提供线被两次提供到所述液晶显示器上。

根据本发明装置的帧速率乘法器能够通过将输入视频信号直接地写入到例如 LCOS 显示器的显示器上、以及写入到帧速率乘法器存储器上。在例如帧速率倍加器的情形中，该优点允许使用半帧存储器取代全帧存储器，并且有助于减少要求的存储器带宽。缩减存储器尺寸是非常重要的，因为半帧存储器能够嵌入到提供其它功能的集成电路中，而全帧存储器太大，或至少太贵而不适于嵌入。而且，有利的是，没有必要如在交替存储器(ping-pong memory)装置中的那样，去延迟音频以匹配帧速率倍乘的视频。加速存储器，例如线存储器，能够用于在输入端加速信号到显示器，使得可以使用 LCOS 显示器，例如以 $4f_H$ 运行 LCOS 显示器。

在和输入信号的带宽相同的情况下，较小的存储器带宽，被显著减少以同时从半帧存储器读取和写入到半帧存储器。在本发明的该实施例的带宽是交替装置所需带宽的大约 $2/3$ 。在另一个实施例中，如果能够以写入半帧存储器的两倍间歇地读取半帧存储器，则可以忽略半帧存储器后的加速存储器。即，该半帧存储器也可当作加速存储器使用。当必须以比输入视频信号(例如， $2f_H$)快的速度(例如， $4f_H$)读取半帧存储器时，该实施例要求至少一个加速存储器，但是在存储器带宽上没有减少。半帧存储器和两个加速存储器都能够合并成一个单存储器。

应该注意到，与只是严格顺序地可写入相反，仅有显示器所需要的特定特征具有用于写入任何所选行的直接行地址选择能力。在帧速率倍加器的实施例中，所顺序写入的行、或线，是以图象的一半高度分开。更具体地，例如对于 480p 显示器的线或行的写入顺序可以是 1、241、2、242、以此类推。

结合大量不同的用于在需要时反转场驱动 LCOS 显示器的极性的方案，可以有助于实现帧速率乘法器。而且，有利的是，以这样的方式操作帧速率乘法器使得因为在正场和负场之间亮度的不同而造成的闪烁是不易察觉的。

附图说明

图 1 是根据本发明装置并且适于作为帧速率倍加器操作的帧速率乘法器

的方框图。

图 2(a)是用于解释根据第一实施例的如图 1 所示的帧速率倍加器的操作的图表。

图 2(b)是用于解释根据第二实施例的如图 1 所示的帧速率倍加器操作的图表。

图 3 是用于总结由图 2 代表的帧速率倍加器的操作的图表。

图 4(a)- 4(g)有助于解释用于控制场极性的第一方案。

图 5(a)- 5(g)有助于解释用于控制场极性的第二方案。

图 6 是根据本发明装置并且适于作为帧速率倍加器操作的帧速率乘法器的替代实施例的方框图。

图 7 是根据本发明装置并且适于作为帧速率倍加器操作的帧速率乘法器的另一替代实施例的方框图。

图 8 是根据本发明装置的帧速率乘法器的又一替代实施例的方框图。

图 9(a)- 9(c)是用于解释如图 7 和 8 所示的帧速率乘法器操作的图表。

具体实施方式

图 1 以方框图形式示出了根据本发明装置的帧速率乘法器 10。该帧速率乘法器以帧速率倍加器实施，以简化描述。对于帧速率乘以 n 的一般情况，其中 $n \geq 2$ ，将随后结合图 8 和图 9(a)- 9(c)进行解释。输入视频信号 12 具有 $f_{Hin} = 2f_H$ 的水平扫描频率和 $f_{Vin} = f_V$ 的垂直扫描频率。为了说明的目的，假定输入视频信号 12 是 480p 格式。

输入视频信号 12 是到部分帧存储器 14 的输入信号。部分帧存储器用于在时间上延迟视频信号 $1/2$ 个帧周期。如果 $f_V = 60$ 赫兹，则瞬时帧延迟是 $1/f_V = 1/120$ 秒。

来自部分帧存储器的输出信号 16 是 $2f_H$ ，并在时间上延迟。延迟的视频信号通过 2:1 加速存储器 18 进行加速。将加速存储器 18 的输出信号 20 既进行延迟也进行加速。经延迟和加速的视频信号 20 是到多路复用器(MUX)26 的输入。

输入视频信号 12 也是到 2:1 加速存储器 22 的输入。经加速的输出信号 24 是到多路复用器 26 的第二输入。可以将存储器 18 和 22 区分并分别称为延迟视频存储器和实时视频存储器。可以将输出信号 20 和 24 区分并分别称为 $4f_H$ 延迟和 $4f_H$ 实时。

多路复用器 26 具有耦合到以 $4f_H$ 操作的液晶显示器(LCD)30 上的输出 28。在当前优选实施例中的 LCD 是早先描述的硅液晶(LCOS)。LCD30 能够随机行访问控制，即，不需要将连续的视频线顺序地写入 LCD 阵列的连续行。而且，在这样的液晶显示器中，每个单元、或象素，保持以相同的亮度发光，

直到输入信号变化为止，由此充当采样和保持。象素不衰减。

控制器 32 是时钟信号源和控制信号源，用于操作部分帧存储器 14、加速存储器 18 和 22、多路复用器 26、和液晶显示器。控制器 32 的操作被约束以提供例如由图 2(a)、2(b)、3、4(a)–4(g)和 5(a)–5(g)中的图表列示的结果和操作特征。

以使用帧速率倍加器为例，与作为经加速的视频线一样，在输入信号的 $1/2$ 帧周期内，提供到液晶显示器的每个实时线和每个延迟线必需作为到多路复用器的输入信号。然而，如果在 $1/2$ 帧周期过去之前可得到视频线，则它不是一个问题。因此，不需要严格地将实时视频与延迟视频的加速因子限制为 2:1。如果为其它原因证明在电路设计中是方便的，则加速因子可以快些。而且，只要每一个足够快，则不需要实时视频与延迟视频的加速因子互相一样。

在图 2(a)和 2(b)中的图表说明了电路 10 的两个不同操作模式。图 3 是总结适于图 2(a)和 2(b)较高水平的操作。如图 1 所示，假定存储器 14 是半帧存储器，并且帧延迟是 $1/2$ 帧周期。由存储器 18 和 22 中的每一个所提供的视频加速是 2:1。输入是 480p 的 $2f_H$ 信号。加速视频是 $4f_H$ ，和 LCD30 工作在 $4f_H$ 。480p 信号具有 $f_V = 60$ 赫兹。在存储器 14 中的 $1/2$ 帧延迟是 $1/120$ 秒。

参看图 2(a)，第一列代表 480p 输入视频信号的图象号和线号。第一行第一格“P1/L1”表示图象 1、线 1。第四行第一格表示图象 1、线 240。第二列代表到多路复用器 26 的 $2f_H$ 延迟输入信号 20 的图象和线号。第三列代表到多路复用器 26 的 $2f_H$ 实时输入信号 24 的图象和线号。第四列代表多路复用器 26 的输出。第五列代表将所选的多路复用器 26 的输出写入 LCD 30 的结果。第六列是在图 2(a)中作为参照的序列命名，并在图 3、图 4(a)–4(g)和图 5(a)–5(g)中作为索引。使用该序列命名作为参考，在序列 B 的第一行中，第二图象的第一个线重新写入、即取代第一图象的第一个线。

参照序列 A 和图 1，假定在输入视频信号中的第一图象的第一个线通过加速存储器 22 传播。同时，第一图象的第一个线通过延迟存储器 14 传播。当接收到相继的线时，线 241 将最终作为输入信号 24 被读取到多路复用器上。到那时，线 1 将通过延迟存储器 14 和加速存储器 18 传播，并作为输入信号 20 被读取到多路复用器上。接着，可以选择线 1 作为多路复用器的输出，以

写入到 LCD 30 的线 1。接着，可以选择线 241 作为多路复用器的输出，以写入到 LCD 30 的线 241。在线 1 和 241 已经被写入时，将可读取线 2 和 242，作为到多路复用器的输入。线 2 被写入，接着是线 242；线 3 被写入，接着是线 243；依此类推。该图象在顶半部和底半部同时写入。写入显示器的空间间隔是图象高度的 1/2。即，可提供到多路复用器的输入信号的每一对相继写入线的间隔是图象高度的 1/2。当然对于 LCD 显示器来说，具有比显示视频信号所需的象素的行和/列更多的行和/列是可能的。

对上述序列在图 2(a)中进行更详细的描述。带有大点(•••••)的行表示被跳过以节省篇幅的多个行。带有(---)的行表示在时间序列上位置被保持，以允许两个到电路复用器的输入信号顺序地得到选择和写入。

序列 A 表面上描述第一图象是如何被写入到显示器 30 中的。序列 B-F 说明帧倍加实际是如何实现的。在序列 B 的开始，如序列 B 的第一行所示，第二图象开始作为到帧速率乘法器的输入。图象 2、线 1 是到乘法器的实时输入，并且图象 2、线 241 通过存储器 14 传播，并且现在延迟输入到多路复用器。当进行序列 B 时，图象 1 的顶半部由图象 2 的顶半部替代，以及图象 1 的底半部由图象 1 的底半部替代。

在序列 C 的开始，如序列 C 的第一行所示，第二图象的底半部开始作为到帧速率乘法器的输入。图象 2、线 241 是到乘法器的实时输入，并且图象 2、线 1 通过存储器 14 传播，并且现在延迟输入到多路复用器。当进行序列 C 时，图象 2 的顶半部由图象 2 的顶半部替代，以及图象 1 的底半部由图象 2 的底半部替代。

在序列 D 的开始，如序列 D 的第一行所示，第三图象的顶半部开始作为到帧速率乘法器的输入。图象 3、线 1 是到乘法器的实时输入，并且图象 2、线 241 通过存储器 14 传播，并且现在被延迟输入到多路复用器。当序列 D 行进时，图象 2 的顶半部由图象 3 的顶半部替代，以及图象 2 的底半部由图象 2 的底半部替代。

序列 E 和 F 采用序列 B、C 和 D 的模式。写入相继图象的顶和底半部的模式总结在图 3 中。标题为“新”和“重复”的列指示给定的顶和底半部是否已经在第一时间或第二时间写入。右边的列是后面带数字的希腊字母，它与在相继序列中的图象的顶和底半部的写入有关系。应该再次注意到，每个序列要求 1/2 个帧周期来完成。因此，每一对相继序列 (例如，BC、CD、DE

等)要求一个全帧周期来完成。

作为第一个例子, α_1 表示图象 1 的底半部写入显示器的第一时间。 β_1 表示图象 2 的顶半部写入显示器的第一时间。 α_2 表示图象 2 的底半部写入显示器的第二时间。 β_2 表示图象 2 的顶半部写入显示器的第二时间。

作为第二个例子, 认为序列开始于 η_1 , η_1 表示图象 4 的底半部写入显示器的第一时间。 θ_1 表示图象 5 的顶半部写入显示器的第一时间。 η_2 表示图象 4 的底半部写入显示器的第二时间。 θ_2 表示图象 5 的顶半部写入显示器的第二时间。

在每个例子中, 两个顶半部图象和两个底半部图象是在一个帧周期中写入液晶显示器的。由此, 帧速率被乘以 2。

必须记住, 正和负极场的平均 DC 电平需要为 0。在显示器的行或列电平处, 每一行需要根据场极性, 以 50% 占空比进行驱动。看起来到多路复用器的延迟和实时输入似乎总是被交替地选为输出。这在本发明的装置中一般是成立的, 并且在图 2(b)所示的实施例中是严格成立的, 但在图 2(a)的实施例中不是严格成立的。事实上, 这是在由图 2(a)和图 2(b)所代表的实施例之间的唯一不同处, 并且如图 2(a)那样逐行描述图 2(b)是没有必要的。实际上, 图 3 的总结在两个实施例上都可应用。

在图 2(a)中可以看到, 在每个序列中, 从多路复用器输出的第一行是给定图象的第一线, 即, P1/L1、P2/L1、P2/L1、P3/L1、P3/L1 等。在序列 B 的开始, 多路复用器的第一输出是实时输出 P2/L1。在序列 C 的开始, 多路复用器的第一输出是延迟输出 P2/L1。但是, 序列 B 的最后输出, 即 P1/L480, 还是被延迟输出。相应地, 多路复用器的输入的交替选择被周期性地打断, 以保持所需要的 50% 占空比。

在图 2(b)中可以看到, 在每个序列中, 从多路复用器的第一行输出是给定图象的第一线, 即, P1/L241、P2/L2、P2/L241、P3/L1、P2/L241 等。如果多路复用器选择总是交替的, 如在图 2(b)所示, 则将为两个连续图产生下列序列的写入线: 1、241、2、242、3、243、...238、478、239、479、240、480、241、1、242、2、243、3...478、238、479、239、480、240、1、241 等。在带有单下划线的序列的第一部分, 在第一线再次写入之前, 有 480 线要写入。在带有双下划线的序列的第二部分, 在第一线再次写入之前, 有 479 线要写入。这代表偏离 50% 占空比的程度很微小。

在图 2(a)的实施例获得 50% 占空比,但是要求更复杂地操作多路复用器。图 2(b)的实施例有些偏离 50% 占空比,但是如果液晶显示器能够容许该偏离,则帧速率乘法器的操作就不太复杂。

根据本发明装置,可以管理电场极性。用于管理电场极性的第一方案示出在图 4(a)-(g)中。用于管理电场极性的第二方案示出在图 5(a)-(g)中。这些代表方案中的每一个都能用于图 1 的实施例,根据图 2(a)或(b)进行操作,而另一个实施例示出于图 6、7 和 8 中。

图 4(a)是理解图 4(b)-(g)的关键。白背景 40 代表带正场极性的液晶显示器,和灰背景 42 代表带负场极性的液晶显示器。图 4(b)中液晶显示器 44 具有顶半部 46 和底半部 48。例如,在序列 B 中,显示器 44 由在每个顶半部和底半部的负极性场驱动。驱动场极性在如图 4(c)所示序列 C 的开始反转为正。驱动场极性在如图 4(d)所示序列 D 的开始反转为负。驱动场极性在如图 4(e)所示序列 E 的开始反转为正。该场极性继续如图 4(f)和 4(g)所示交替变化。例如,可以通过每次多路复用器提供组成全图象高度的线的数量时(在此例中,是每 480 线),改变驱动场极性,可以实现该实施例。即,在写入每个序列的第一线之前。

图 5(a)是理解图 5(b)-(g)的关键。液晶显示器 50 具有顶半部 52 和底半部 54。顶半部和底半部中之一总是以正电场写入,同时顶半部和底半部中的另一个总是以负电场写入。此外,顶半部和底半部的每一个是以交替极性电场相继地和完整地写入的。白背景代表带正场极性的液晶显示器,和灰背景代表带负场极性的液晶显示器。图 5(b)中的液晶显示器 56 具有顶半部 58 和底半部 60。例如,在序列 B 中,显示器 56 由在顶半部 58 中的负极性场和底半部 60 中的正极性场驱动。每个顶半部和底半部中的驱动场极性在如图 5(c)所示序列 C 的开始进行反转。每个顶半部和底半部中的驱动场极性又在如图 5(d)所示序列 D 的开始进行反转。每个顶半部和底半部中的驱动场极性继续如图 5(e)、5(f)和 5(g)所示反转。该方案要求每个线的驱动场极性随多路复用器的每个输出线而反转。

图 6 说明一个替代实施例。以帧速率倍加器实现的帧速率乘法器 100,除了部分帧存储器 14 和加速存储器 18 由单帧存储器 114 取代以外,与图 1 中的帧速率乘法器 10 是相同的。存储器 114 提供部分帧延迟和视频加速。当必须以比输入视频信号(例如, $2f_H$)快的速度(例如, $4f_H$)读取半帧存储器时,

该实施例要求至少一个加速存储器，但是在存储器带宽上没有减少。在其它所有方面，该实施例的操作与图 1 所示的相同。图 6 的实施例能够在例如如图 2(a)、2(b)、3、4(a) - 4(g)和 5(a) - 5(g)中所解释的那样进行操作。

图 7 说明另一个替代实施例。以帧速率倍加器实现的帧速率乘法器 150，除了部分帧存储器 14、加速存储器 18 和加速存储器 22 由单帧存储器 154 取代以外，与图 1 中的帧速率乘法器 10 是相同的。存储器 154 提供用于输入视频信号 12 的延迟和实时的部分帧延迟和视频加速。读取口必须地址可选，以根据本文所述方法交替地读取实时视频线和延迟视频线，它们经加速并接着提供给液晶显示器。所有数据的操作结果来自于存储器 154 的读取口的控制，它在控制器 32 的对应操作中得到反应。该实施例仅要求一个存储器，该存储器既当加速存储器、又当延迟存储器工作。如在图 6 中，当必须以比输入视频信号(例如， $2f_H$)快的速度(例如， $4f_H$)读取半帧存储器时，在存储器带宽上没有减少。而且，期望半帧存储器必须比一帧的一半稍大一些，例如在一个线到几个线的一半的范围内，尤其是根据由图 2(a)代表的实施例去操作时。因此，半帧存储器 154 的大小约是(\cong)一帧的一半。根据在集成电路中实施存储器的优点，额外所需的线没有实际结果。在这方面，存储器 154 一般还是作为半帧存储器。在其

它所有方面，该实施例的操作与图 1 所示的相同。图 6 的实施例能够在例如如图 2(a)、2(b)、3、4(a) - 4(g)和 5(a) - 5(g)中所解释的那样进行操作。

在图 8 中示出的帧速率乘法器 200，说明当 $n > 2$ 时、帧速率乘法器是如何用于操作的。部分帧存储器 214 具有多个输出分支 216A、216B、216C 等，提供相等的延迟。 $n - 1$ 加速存储器的阵列 218 包括加速存储器 218A、218B、218C 等。提供 $n : 1$ 加速存储器用于存储器 214 的每个延迟输出。每个加速存储器提供输出 220A、220B、220C 等，这些输出是多路复用器 226 的可选输入。带输出 24 的实时加速存储器 22 的操作是相同的。在阵列 218 中有 $n - 1$ 个加速存储器，并且在电路 200 中有 n 个加速存储器。是否将实时加速存储器认为是阵列 218 的一部分只是为了方便起见。

在图象作为 n 个部分写入显示器的情况下，液晶显示器的操作被改变。例如，如果 $n = 3$ ，则图象将分为顶、中、底三部分进行处理。三个中的每一个具有 160 线。帧存储器的输出分支将定时在帧周期的 $1/3$ 和帧周期的 $2/3$ 。例如，对于 $n = 3$ 的 480p 视频信号的线的写入序列可能是：1、161、321、2、

162、322、3、163、323 等。例如，如果 $n=4$ ，则图象将分为顶、中上、中下、底四部分进行处理。四个中的每一个具有 120 线。帧存储器的输出分支将定时在帧周期的 $1/4$ 、帧周期的 $1/2$ 、和帧周期的 $3/4$ 。例如，对于 $n=4$ 的 480p 视频信号的线的写入序列可能是：1、121、241、361、2、122、242、362、3、123、243、363 等。该实施例的更详细操作，如在图 2(a)、2(b)、3 中所作的图解和说明一样是非常乏味的。但是，本领域一般技术人员应无困难根据前述实施例的说明扩大帧速率乘法器 200 的大小和性能。例如，应该注意到，当 $n=3$ 时，延迟存储器的大小必定是帧存储器的 $2/3$ 。当 $n=4$ 时，延迟存储器的尺寸必定是帧存储器的 $3/4$ 。由此，除了由控制器 232 产生的更复杂的时钟和控制信号组以外，较高的帧倍乘率的调整也是较大的帧存储器所需要的。根据上述说明，本领域一般技术人员应该理解，在某种情况下，例如当 $1 < n < 2$ 时，不是每个图象的所有线被写入了多于一次。应该注意到，由帧速率乘法器 200 所实现的操作也能由图 7 所示的带有单存储器的帧速率乘法器实现。相应地，在图 9(a) - (c) 中的图表都适于图 7 和 8。

图 9(a) 是说明当 f_{vin} 是 50 赫兹或 60 赫兹时，对于 $n=2$ 、3 或 4 的加速视频信号的帧周期的图表。图 9(b) 是说明当 f_{Hin} 是 f_H 、 $2f_H$ 和 $3f_H$ 时，对于 $n=2$ 、3 或 4 的加速视频信号的水平扫描频率 nf_{Hin} 的图表。

图 9(c) 是总结对于 $n=2$ 、3 和 4 的帧速率乘法器的操作参数和结构的图表。当 $n=2$ 时，存储器 214 的大小是 $1/2$ 帧，有两个加速存储器，并且输出必须如图 1 一样相对另一个相互延迟 $1/2$ 帧。当 $n=3$ 时，存储器 214 的大小是 $2/3$ 帧，在阵列 218 中有两个加速存储器，总共 3 个加速器，并且输出必须相对另一个相互延迟 $1/3$ 帧。当 $n=4$ 时，存储器 214 的大小是 $3/4$ 帧，在阵列 218 中有 3 个加速存储器，总共 4 个加速器，并且输出必须相对另一个相互延迟 $1/4$ 帧。

现在本领域一般技术人员应该能够预计到，本文所述方法一般地可应用于所有倍乘因子 $n > 1$ 的帧速率乘法器。例如，倍乘因子 $n=1.5$ ，能够代表一种情形，这里有利的是 50 赫兹帧速率输入信号能够帧速率倍乘到 75 赫兹，以避免闪烁。然而，现在也能够预计到，当 $n \geq 2$ 时，本文所述方法的硬件实现更容易，并且当 n 还是整数时，硬件实现尤其容易。

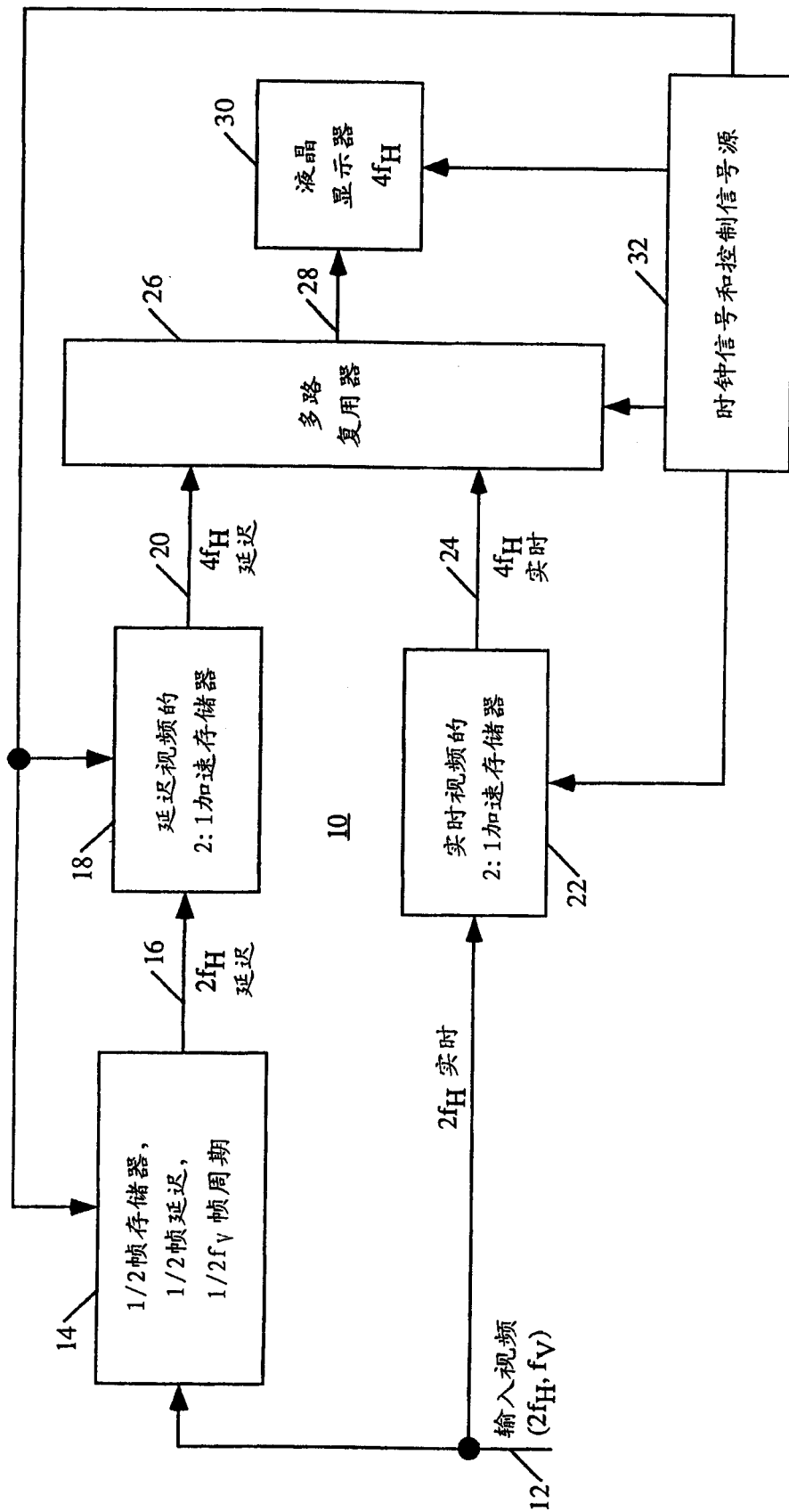


图 1

输入 视频	1/2帧延迟 多路复用器 输入	实时多路 复用器输入	多路复用 器输出	显示结果 (→=重写)	序列
P1/L1	空	P1/L1	空	空	A
P1/L2	空	P1/L2	空	空	
•	•	•	•		
P1/L240	空	P1/L240	空	空	
P1/L241	P1/L1	P1/L241	P1/L1	P1/L1→空	
—	—	—	P1/L241	P1/L241→空	
P1/L242	P1/L2	P1/L242	P1/L2	P1/L2→空	
—	—	—	P1/L242	P1/L242→空	
P1/L243	P1/L3	P1/L243	P1/L3	P1/L3→空	
—	—	—	P1/L243	P1/L243→空	
•	•	•	•	•	
P1/L480	P1/L240	P1/L480	P1/L240	P1/L240→空	
—	—	—	P1/L480	P1/L480→空	
P2/L1	P1/L241	P2/L1	P2/L1	P2/L1→P1/L1	
—	—	—	P1/L241	P1/L241→P1/L241	
P2/L2	P1/L242	P2/L2	P2/L2	P2/L2→P1/L2	
—	—	—	P1/L242	P1/L242→P1/L242	
•	•	•	•	•	
P2/L240	P1/L480	P2/L240	P2/L240	P2/L240→P1/L240	
—	—	—	P1/L480	P1/L480→P1/L480	
P2/L241	P2/L1	P2/L241	P2/L1	P2/L1→P2/L1	C
—	—	—	P2/L241	P2/L241→P1/L241	
P2/L242	P2/L2	P2/L242	P2/L2	P2/L2→P2/L2	
—	—	—	P2/L242	P2/L242→P1/L242	
•	•	•	•	•	
P2/L480	P2/L240	P2/L480	P2/L240	P2/L240→P1/L240	
—	—	—	P2/L480	P2/L480→P1/L480	
P3/L1	P2/L241	P3/L1	P3/L1	P3/L1→P2/L1	D
—	—	—	P2/L241	P2/L241→P2/L241	
P3/L2	P2/L242	P3/L2	P3/L2	P3/L2→P2/L2	
—	—	—	P2/L242	P2/L242→P2/L242	
•	•	•	•	•	
P3/L240	P2/L480	P3/L240	P3/L240	P3/L240→P2/L240	
—	—	—	P2/L480	P2/L480→P2/L480	
P3/L241	P3/L1	P3/L241	P3/L1	P3/L1→P3/L1	E
—	—	—	P3/L241	P3/L241→P2/L241	
P3/L242	P3/L2	P3/L242	P3/L2	P3/L2→P3/L2	
—	—	—	P3/L242	P3/L242→P2/L242	
•	•	•	•	•	
P3/L480	P3/L240	P3/L480	P3/L240	P3/L240→P3/L240	
—	—	—	P3/L480	P3/L480→P2/L480	
P4/L1	P3/L241	P4/L1	P4/L1	P4/L1→P3/L1	F
—	—	—	P3/L241	P3/L241→P3/L241	
P4/L2	P3/L242	P4/L2	P4/L2	P4/L2→P3/L2	
—	—	—	P3/L242	P3/L242→P3/L242	
•	•	•	•	•	
P4/L240	P3/L480	P4/L240	P4/L240	P4/L240→P3/L240	
—	—	—	P3/L480	P3/L480→P3/L480	

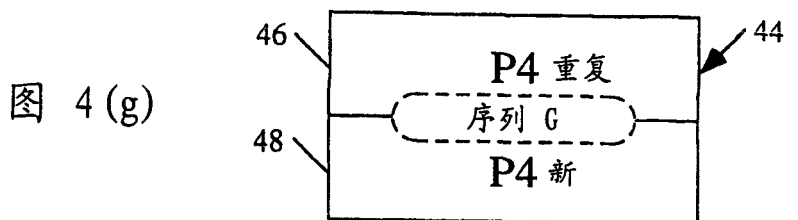
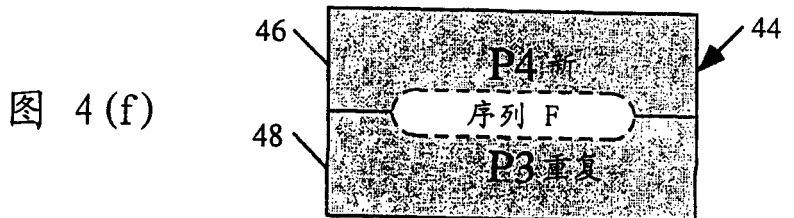
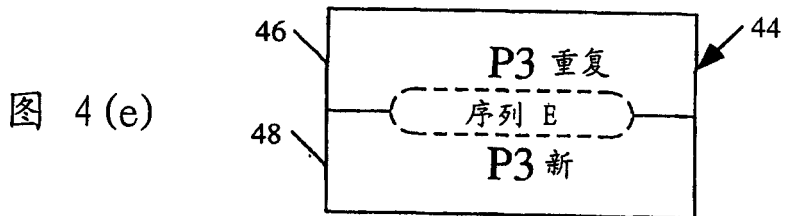
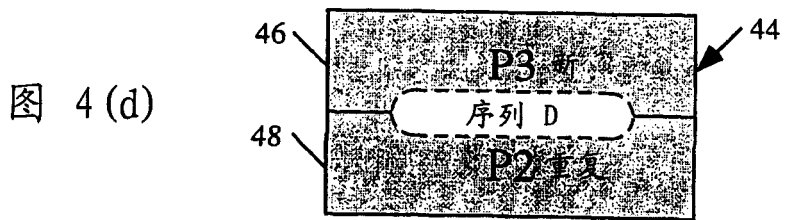
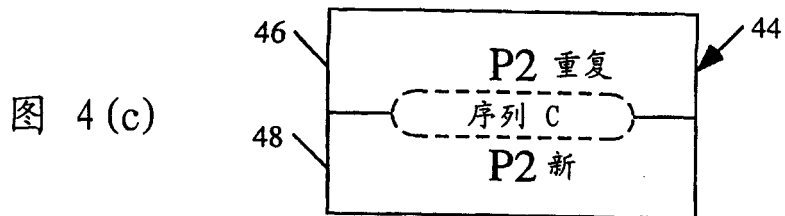
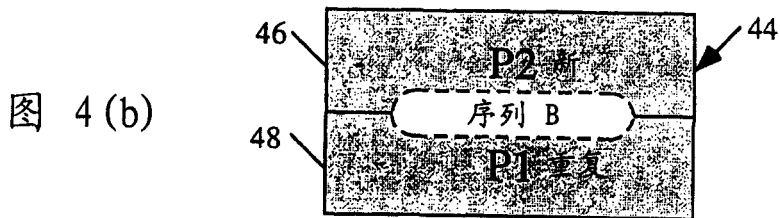
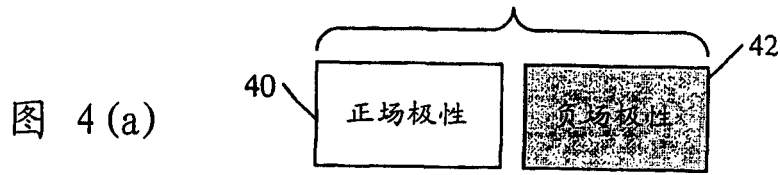
图 2(a)

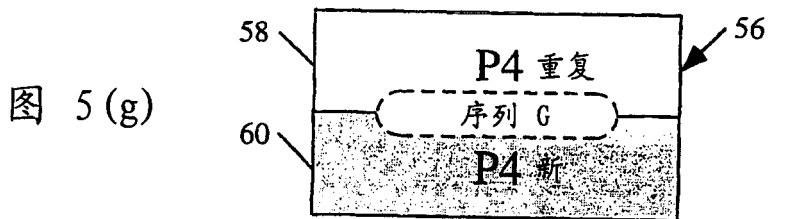
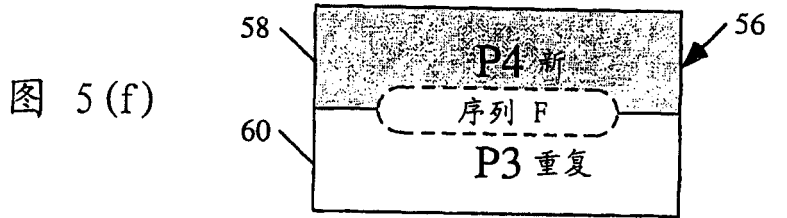
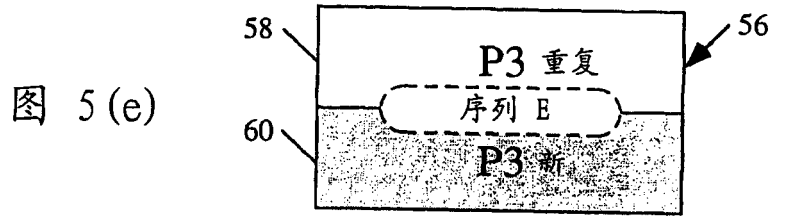
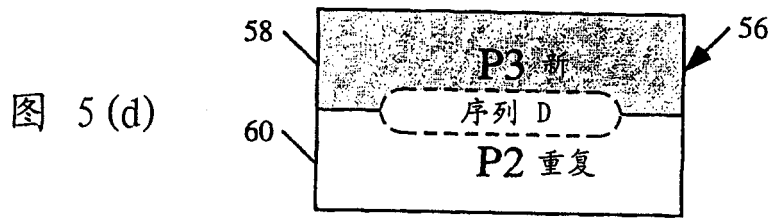
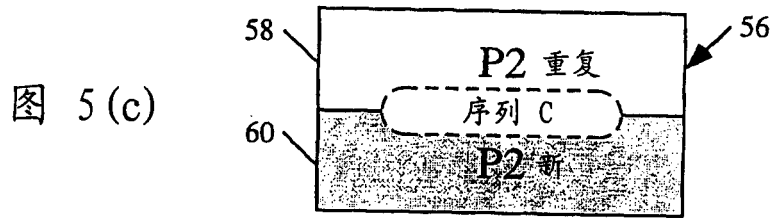
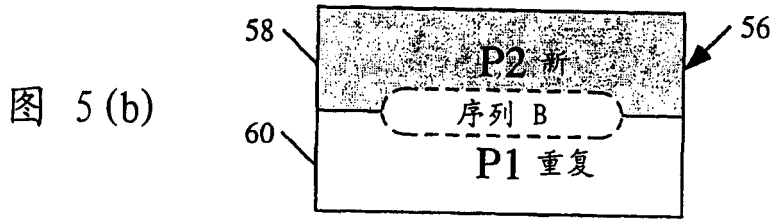
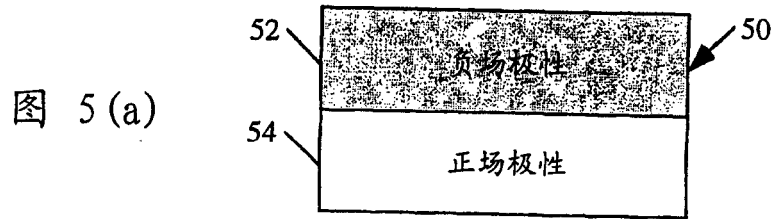
输入 视频	1/2帧延迟 多路复用器 输入	实时多路 复用器输入	多路复用 器输出	显示结果 (→=重写)	序列
P1/L1	空	P1/L1	空	空	A
P1/L2	空	P1/L2	空	空	
•	•	•	•		
P1/L240	空	P1/L240	空	空	
P1/L241	P1/L1	P1/L241	P1/L241	P1/L241→空	
—	—	—	P1/L1	P1/L1→空	
P1/L242	P1/L2	P1/L242	P1/L242	P1/L242→空	
—	—	—	P1/L2	P1/L2→空	
P1/L243	P1/L3	P1/L243	P1/L243	P1/L243→空	
—	—	—	P1/L3	P1/L3→空	
•	•	•	•		
P1/L480	P1/L240	P1/L480	P1/L480	P1/L480→空	
—	—	—	P1/L240	P1/L240→空	
P2/L1	P1/L241	P2/L1	P2/L1	P2/L1→P1/L1	
—	—	—	P1/L241	P1/L241→P1/L241	
P2/L2	P1/L242	P2/L2	P2/L2	P2/L2→P1/L2	
—	—	—	P1/L242	P1/L242→P1/L242	
•	•	•	•		
P2/L240	P1/L480	P2/L240	P2/L240	P2/L240→P1/L240	
—	—	—	P1/L480	P1/L480→P1/L480	
P2/L241	P2/L1	P2/L241	P2/L241	P2/L241→P1/L241	C
—	—	—	P2/L1	P2/L1→P2/L1	
P2/L242	P2/L2	P2/L242	P2/L242	P2/L242→P1/L242	
—	—	—	P2/L2	P2/L2→P2/L2	
•	•	•	•		
P2/L480	P2/L240	P2/L480	P2/L480	P2/L480→P1/L480	
—	—	—	P2/L240	P2/L240→P1/L240	
P3/L1	P2/L241	P3/L1	P3/L1	P3/L1→P2/L1	D
—	—	—	P2/L241	P2/L241→P2/L241	
P3/L2	P2/L242	P3/L2	P3/L2	P3/L2→P2/L2	
—	—	—	P2/L242	P2/L242→P2/L242	
•	•	•	•		
P3/L240	P2/L480	P3/L240	P3/L240	P3/L240→P2/L240	
—	—	—	P2/L480	P2/L480→P2/L480	
P3/L241	P3/L1	P3/L241	P3/L241	P3/L241→P2/L241	E
—	—	—	P3/L1	P3/L1→P3/L1	
P3/L242	P3/L2	P3/L242	P3/L242	P3/L242→P2/L242	
—	—	—	P3/L2	P3/L2→P3/L2	
•	•	•	•		
P3/L480	P3/L240	P3/L480	P3/L480	P3/L480→P2/L480	
—	—	—	P3/L240	P3/L240→P3/L240	
P4/L1	P3/L241	P4/L1	P4/L1	P4/L1→P3/L1	F
—	—	—	P3/L241	P3/L241→P3/L241	
P4/L2	P3/L242	P4/L2	P4/L2	P4/L2→P3/L2	
—	—	—	P3/L242	P3/L242→P3/L242	
•	•	•	•		
P4/L240	P3/L480	P4/L240	P4/L240	P4/L240→P3/L240	
—	—	—	P3/L480	P3/L480→P3/L480	

图 2 (b)

序列	图像的部分	在显示器上的体现 (AT 4f _H)	新或重复	顶/底 参考符号
A	顶半部	写顶部P1	新	
	底半部	写底部P1	新	$\alpha 1$
B	顶半部	写顶部P2	新	$\beta 1$
	底半部	写底部P1	重复	$\alpha 2$
C	顶半部	写顶部P2	重复	$\beta 2$
	底半部	写底部P2	新	$\gamma 1$
D	顶半部	写顶部P3	新	$\delta 1$
	底半部	写底部P2	重复	$\gamma 2$
E	顶半部	写顶部P3	重复	$\delta 2$
	底半部	写底部P3	新	$\epsilon 1$
F	顶半部	写顶部P4	新	$\zeta 1$
	底半部	写底部P3	重复	$\epsilon 2$
G	顶半部	写顶部P4	重复	$\zeta 2$
	底半部	写底部P4	新	$\eta 1$
H	顶半部	写顶部P5	新	$\theta 1$
	底半部	写底部P4	重复	$\eta 2$
I	顶半部	写顶部P5	重复	$\theta 2$
	底半部	写底部P5	新	

图 3





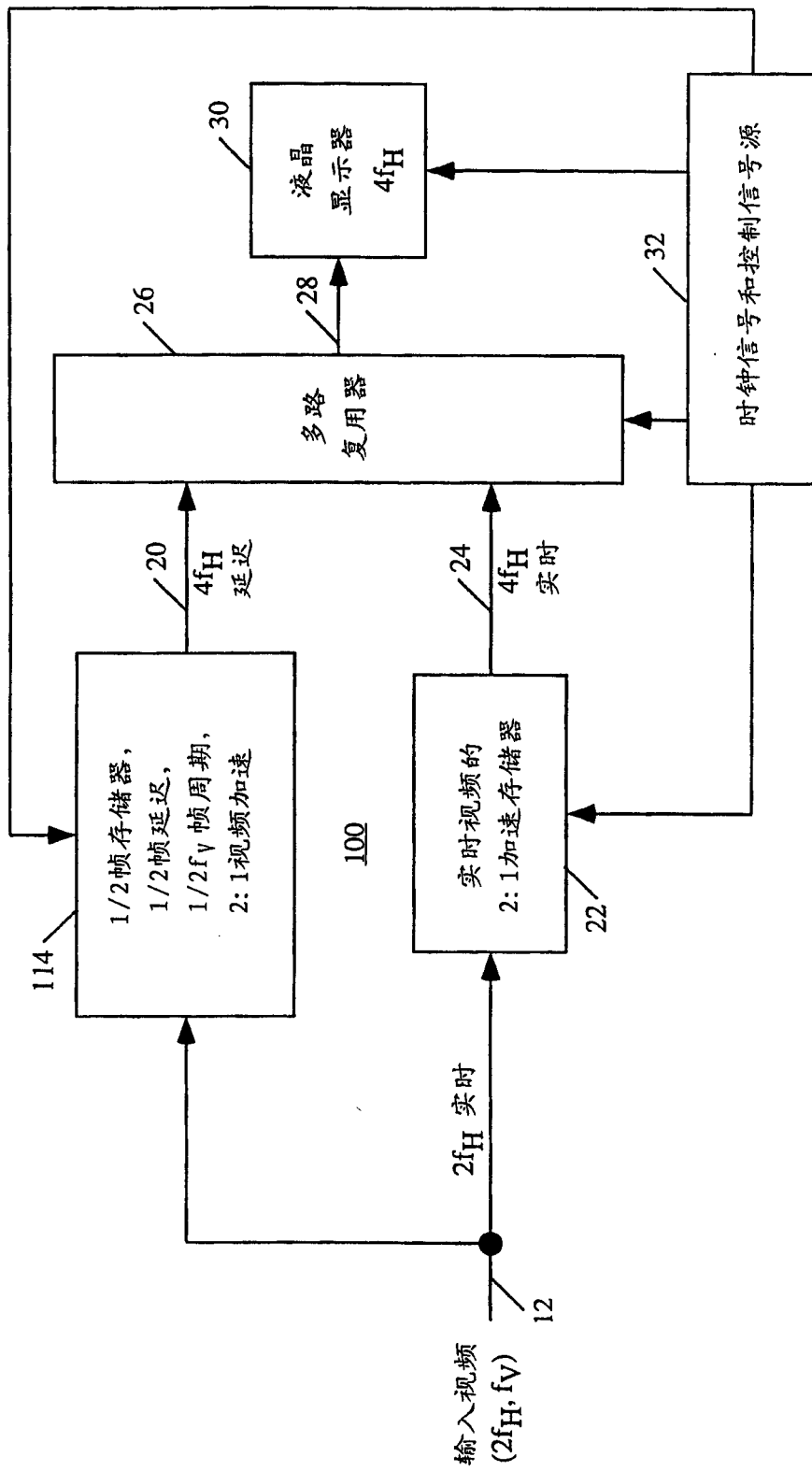


图 6

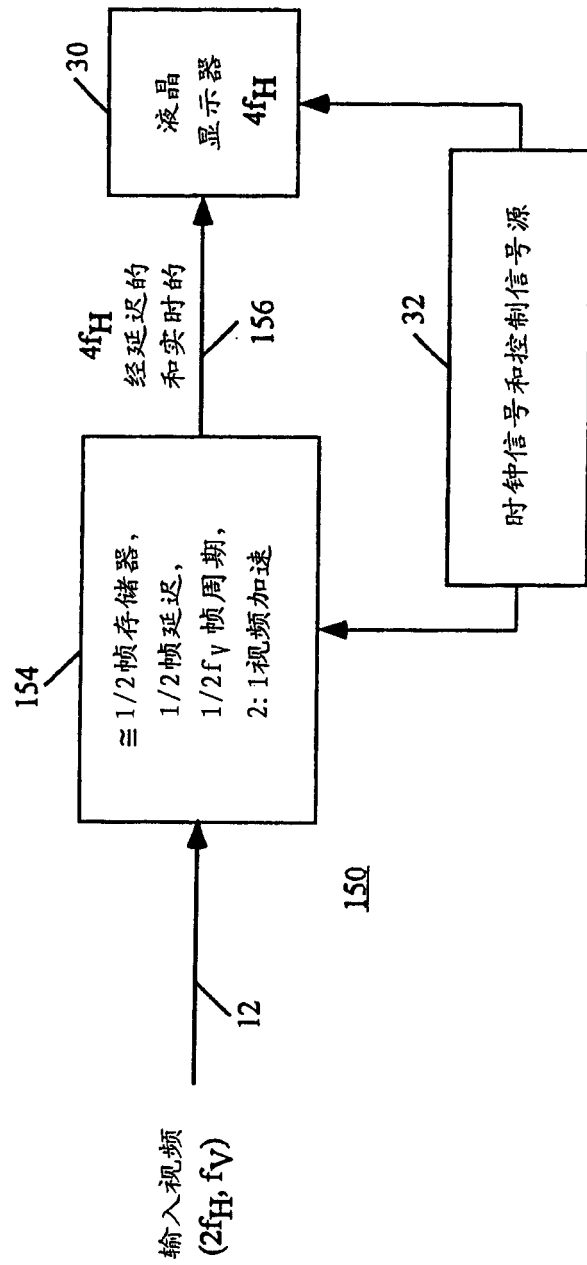


图 7

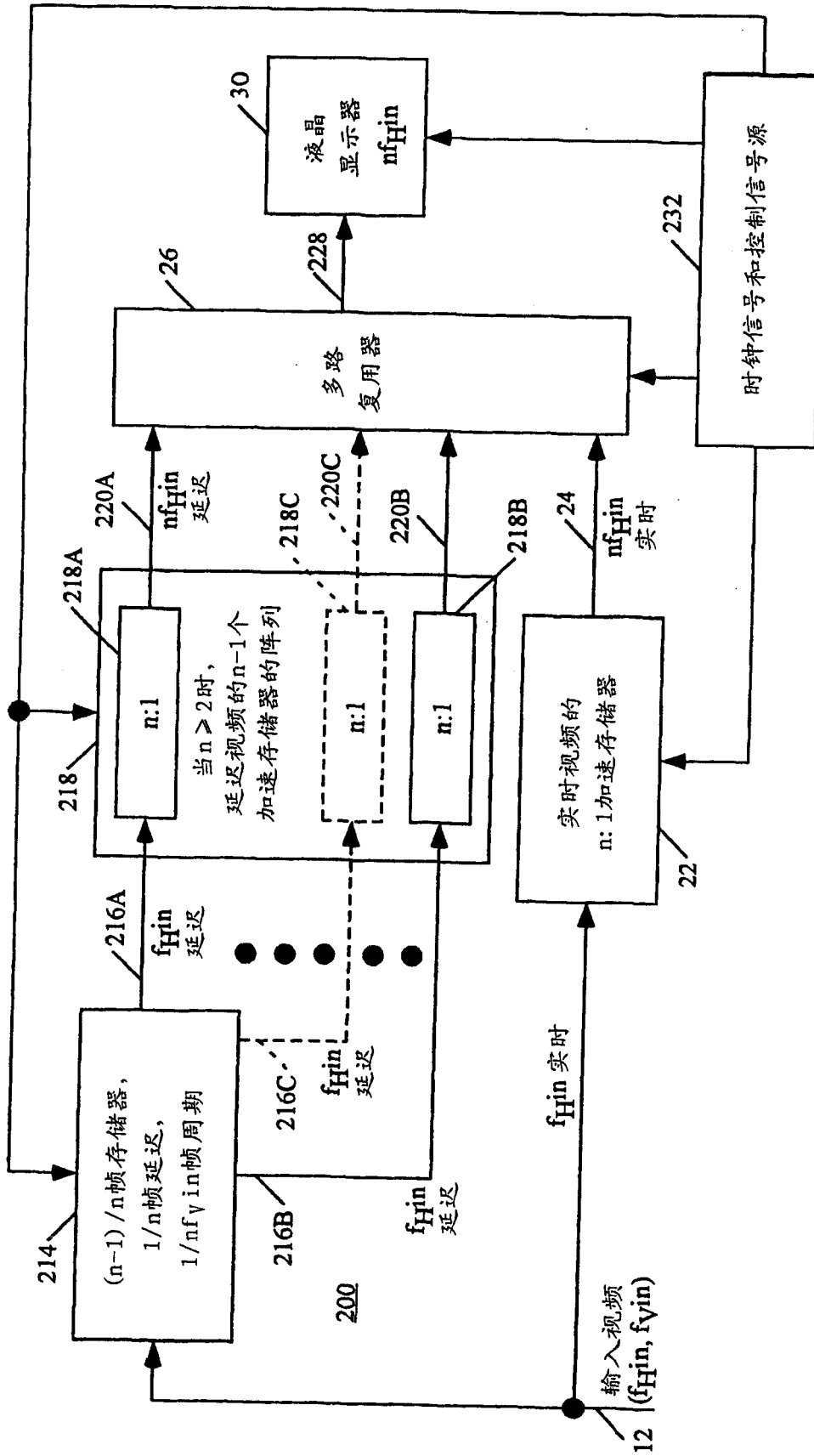


图 8

$1/nf_{vin}$ (单位: 秒)			
f_{vin}	n=2	n=3	n=4
50 Hz	$1/100$	$1/150$	$1/200$
60 Hz	$1/120$	$1/180$	$1/240$

图 9 (a)

nf_{Hin}			
f_{Hin}	n=2	n=3	n=4
$1f_H$	$2f_H$	$3f_H$	$4f_H$
$2f_H$	$4f_H$	$6f_H$	$8f_H$
$3f_H$	$6f_H$	$9f_H$	$12f_H$

图 9 (b)

n	延迟存储器尺寸	在阵列218中的加速存储器数量	输出间隔延迟
2	$1/2$ 帧	1	$1/2$ 帧
3	$2/3$ 帧	2	$1/3$ 帧
4	$3/4$ 帧	3	$1/4$ 帧

图 9 (c)

专利名称(译)	用于液晶显示器的帧速率乘法器、帧速率倍加器及其方法		
公开(公告)号	CN1307607C	公开(公告)日	2007-03-28
申请号	CN02107156.X	申请日	2002-03-12
[标]申请(专利权)人(译)	汤姆森特许公司		
申请(专利权)人(译)	汤姆森特许公司		
当前申请(专利权)人(译)	汤姆森特许公司		
[标]发明人	唐纳德H·威利斯		
发明人	唐纳德·H·威利斯		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G5/00 G09G5/39 H04N5/66		
CPC分类号	G09G2320/0247 G09G5/006 G09G3/20 G09G5/005 G09G2340/0435 G09G5/39 G09G2310/0221 G09G3/3614 G09G3/3666		
代理人(译)	马莹 邵亚丽		
优先权	09/804554 2001-03-12 US		
其他公开文献	CN1374636A		
外部链接	Espacenet SIPO		

摘要(译)

一种用于倍乘具有线速率 f_{Hin} 和帧速率 f_{Vin} 的输入视频信号的帧速率的方法，包括这些步骤：通过恰好足够的存储器传播输入视频信号，以延迟输入视频信号以 $1/f_{Vin}$ 个帧周期；将经延迟视频信号加速到比 f_{Hin} 快的第二线速率；每次一线，顺序地提供经加速的视频信号和经延迟的加速视频信号；并且，将顺序提供的线以较快的线速率写入液晶显示器，由此在每个帧周期内至少一些线被多次写入。相应的设备包括：部分帧存储器；两个加速存储器；多路复用器；以及，时钟源和控制信号。

