



(12) 发明专利申请

(10) 申请公布号 CN 102110425 A

(43) 申请公布日 2011.06.29

(21) 申请号 201010602085.2

(22) 申请日 2010.12.23

(30) 优先权数据

10-2009-0130991 2009.12.24 KR

(71) 申请人 硅工厂股份有限公司

地址 韩国大田市儒城区文旨洞 104-13

(72) 发明人 宋贤旻 孙英硕 金志勋 罗俊峰

(74) 专利代理机构 北京华夏博通专利事务所

11264

代理人 刘俊

(51) Int. Cl.

G09G 3/36 (2006.01)

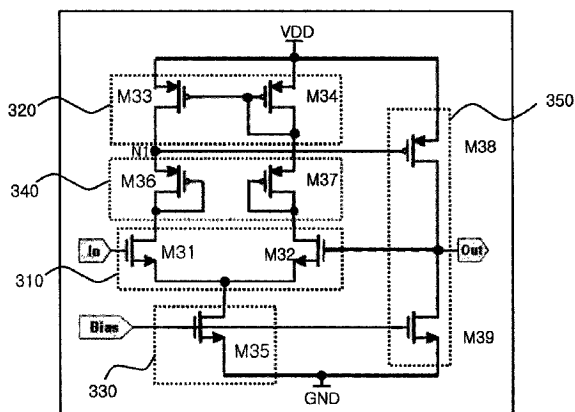
权利要求书 2 页 说明书 6 页 附图 5 页

(54) 发明名称

液晶显示装置的源极驱动器电路

(57) 摘要

一种包括伽玛缓冲器的液晶显示装置的源极驱动器电路。该伽玛缓冲器包括差分放大部分,配置以差分地放大输入信号;电流镜部分,配置以操作为电流镜;使能部分,配置以通过偏置电压将差分放大部分从待机模式转换为使能模式;功率下降速度增进部分,配置以通过两个二极管耦联型 MOS 晶体管分别连接电流镜部分的两个 PMOS 晶体管的漏极和差分放大部分的 NMOS 晶体管的漏极,并在功率下降之后缩短恢复时间;以及输出部分,配置以通过该偏置电压决定其中的偏置电平,且根据该电流镜部分一侧上的下游节点的电压来产生输出电压。



1. 一种包括伽玛缓冲器的液晶显示装置的源极驱动器电路,其特征在于,该伽玛缓冲器包括:

差分放大部分,具有两个 NMOS 晶体管,并配置以差分地放大输入信号;

电流镜部分,具有两个 PMOS 晶体管,并配置以操作为电流镜;

使能部分,具有一个 NMOS 晶体管,并配置以通过偏置电压将该差分放大部分从待机模式转换为使能模式;

功率下降速度增进部分,配置以通过两个二极管耦联型 MOS 晶体管分别连接该电流镜部分的所述两个 PMOS 晶体管的漏极和该差分放大部分的 NMOS 晶体管的漏极,并在功率下降之后缩短恢复时间;以及

输出部分,具有一 PMOS 晶体管和一 NMOS 晶体管,并配置以通过该偏置电压决定其中的偏置电平,且根据该电流镜部分一侧上的下游节点的电压来产生输出电压。

2. 如权利要求 1 所述的源极驱动器电路,其特征在于,所述液晶显示装置包括覆晶玻璃(chip-on-glass, COG)型液晶显示装置。

3. 如权利要求 1 所述的源极驱动器电路,其特征在于,所述功率下降速度增进部分的所述两个 MOS 晶体管包括一 PMOS 晶体管和一 NMOS 晶体管二者。

4. 如权利要求 1 所述的源极驱动器电路,其特征在于,所述功率下降速度提高部分包括:

第一 PMOS 晶体管,具有源极,其连接至该电流镜部分的第一 PMOS 晶体管的漏极,以及栅极和漏极,连接至该差分放大部分的第一 NMOS 晶体管的漏极;以及

第二 PMOS 晶体管,具有源极,其连接至该电流镜部分的第二 PMOS 晶体管的漏极,以及栅极和漏极,连接至该差分放大部分的第二 NMOS 晶体管的漏极。

5. 一种包括伽玛缓冲器的液晶显示装置的源极驱动器电路,该伽玛缓冲器包括:

差分放大部分,具有两个 PMOS 晶体管,并配置以差分地放大输入信号;

电流镜部分,具有两个 NMOS 晶体管,并配置以操作为电流镜;

使能部分,具有一个 PMOS 晶体管,并配置以通过偏置电压将该差分放大部分从待机模式转换为使能模式;

功率下降速度增进部分,配置以通过两个二极管耦联型 MOS 晶体管,分别连接该差分放大部分的所述两个 PMOS 晶体管的漏极和该电流镜部分的所述两个 NMOS 晶体管的漏极,并在接地端的电压弹跳之后缩短恢复时间;以及

输出部分,具有一 NMOS 晶体管和一 PMOS 晶体管,并配置以通过该偏置电压决定其中的偏置电平,且根据该电流镜部分一侧上的上游节点的电压来产生输出电压。

6. 如权利要求 5 所述的源极驱动器电路,其特征在于,所述功率下降速度增进部分的所述两个 MOS 晶体管包括一 PMOS 晶体管和一 NMOS 晶体管二者。

7. 如权利要求 5 所述的源极驱动器电路,其特征在于,所述功率下降速度增进部分包括:

第一 NMOS 晶体管,具有漏极和栅极,连接至该差分放大部分的第一 PMOS 晶体管的漏极,以及源极,其连接至该电流镜部分的第一 NMOS 晶体管的漏极;以及

第二 NMOS 晶体管,具有漏极和栅极,连接至该差分放大部分的第二 PMOS 晶体管的漏极,以及源极,其连接至该电流镜部分的第二 NMOS 晶体管的漏极。

8. 如权利要求5所述的源极驱动器电路,其特征在于,所述液晶显示装置包括COG型液晶显示装置。

液晶显示装置的源极驱动器电路

技术领域

[0001] 本发明涉及一种用于稳定提供液晶显示装置中源极驱动器电路的输出电压的技术,尤其涉及一种液晶显示装置的源极驱动器电路,当在源极驱动器电路中出现功率下降时,其能缩短伽玛缓冲器的输出电压的恢复时间。

背景技术

[0002] 图 1 为说明传统液晶显示装置的驱动电路的方块图。参见图 1,传统液晶显示装置的驱动电路包括挠性线路板 (flexible printed circuit, FPC) 120,挠性线路板 120 包括伽玛电压提供单元,并设置在印刷电路板 (printed circuitboard, PCB) 110 上,以及源极驱动器集成装置 130,配置以从挠性线路板 120 的伽玛电压提供单元接收伽玛电压,并驱动液晶显示面板 140 的数据线。在液晶显示面板 140 中,以矩阵形式所设置的液晶由通过数据线提供的逐级电压所驱动以显示图像。

[0003] 源极驱动器集成装置 130 包括上端伽玛电压缓冲器单元 131P,由接收并输出上端伽玛电压 VP1 至 VPn 的多个伽玛缓冲器 GMBP1 至 GMBPn 构成;下端伽玛电压缓冲器单元 131N,由接收并输出下端伽玛电压 VN1 至 VNn 的多个伽玛缓冲器 GMBN1 至 GMBNn 所构成;数模 (digital-to-analog, D/A) 转换器 132,配置以从上端和下端伽玛电压缓冲器单元 131P 和 131N 所输出的数字信号转换为模拟信号;以及通道缓冲器单元 133,由缓冲对应通道的模拟电压的通道缓冲器 CHB 所构成,从 D/A 转换器 132 输出,并将缓冲的模拟电压输出至数据线。

[0004] 当从等效电路观看时,液晶显示面板 140 的数据线由多个电阻 R 和电容 C 负载所构成。为了使源极驱动器集成装置 130 驱动液晶显示面板 140, R/C 负载应被充电和放电。

[0005] 当有必要驱动数据线至高于先前电平的电平时,源极驱动器集成装置 130 通过电源供应端 VDD 从挠性线路板 120 的伽玛电压提供单元接收电压,并充电 R/C 负载。当有必要驱动数据线至低于先前电平的电平时,源极驱动器集成装置 130 将 R/C 负载中充的电压放出。在图 1 中,参考符号 CP 表示充电路径,而 DCP 表示放电路径。

[0006] 这种充电和放电的过程重复地执行,在这些过程中电流消耗了。根据消耗的电流的总量,从挠性线路板 120 延伸至源极驱动器集成装置 130 的电源供应端 VDD 的连接线上的电阻 R_VDD 的电阻量值,以及从挠性线路板 120 延伸至源极驱动器集成装置 130 的接地端 GND 的连接线上的电阻 R_GND 的电阻量值改变,电源供应端 VDD 的电压经历下降,并且接地端 GND 的电压经历弹跳。

[0007] 消耗的电流总量是与液晶显示面板 140 上数据线的电容 C 的电容值以及源极驱动器集成装置 130 的通道缓冲器 CHB 的数量成比例。

[0008] 在覆晶玻璃 (chip-on-glass, COG) 型液晶显示装置中,由于挠性线路板 120 和源极驱动器集成装置 130 之间的所有连接是以玻璃上接线 (line-on-glass, LOG) 型所形成,因此所有 LOG 型连接具有等于或大于几欧姆的电阻值。

[0009] 由于这个事实,提供电阻 R_VDD 和电阻 R_GND。此外,如上所述,由于当充电 R/C 负

载时通过电阻 R_{VDD} 消耗了电流,因此电源端 VDD 的电压发生下降,并且由于当放电 R/C 负载时通过电阻 R_{GND} 消耗了电流,因此接地端 GND 的电压发生弹跳。

[0010] 由于这种功率下降和弹跳现象,源极驱动器集成装置 130 中的伽玛缓冲器 GMBP1 至 GMBPn 以及 GMBN1 至 GMBNn 受到影响,并且因为伽玛缓冲器 GMBP1 至 GMBPn 以及 GMBN1 至 GMBNn 的输出端通过 D/A 转换器 132 连接至通道缓冲器 CHB 的输入端,所以通道缓冲器 CHB 的输出也受到影响并改变。

[0011] 图 2 显示由于功率下降和弹跳现象,上端伽玛电压缓冲器单元 131P 和下端伽玛电压缓冲器单元 131N 中可选的伽玛缓冲器 GMB 的输出电压变化,以及通道缓冲器单元 133 中可选的通道缓冲器 CHB 的输出电压变化的图式。

[0012] 参见图 2,当充电 P/C 负载时,如果电源供应端 VDD 的电压下降,则伽玛缓冲器 GMB 的输出电压 GMB_OUT 对应地下降。如此,在下降发生之后,当伽玛缓冲器 GMB 的输出电压 GMB_OUT 上升至所需电平时,可以理解的是伽玛缓冲器 GMB 的输出电压 GMB_OUT 并非快速上升而是缓慢上升。因此,显而易见的是通道缓冲器 CHB 的输出电压 CHB_OUT 以如同伽玛缓冲器 GMB 的输出电压 GMB_OUT 的缓慢模式上升。

[0013] 又,当放电 R/C 负载时,如果接地端 GND 的电压弹跳,则伽玛缓冲器 GMB 的输出电压 GMB_OUT 对应地弹跳。为此,在弹跳发生之后当伽玛缓冲器 GMB 的输出电压 GMB_OUT 下降至原始电平时,可以理解的是伽玛缓冲器 GMB 的输出电压 GMB_OUT 并非快速下降而是相对缓慢地下降。因此,显而易见的是通道缓冲器 CHB 的输出电压 CHB_OUT 以如同伽玛缓冲器 GMB 的输出电压 GMB_OUT 的缓慢模式下降。

[0014] 结果,在传统液晶显示装置的源极驱动器集成装置中,当充电和放电 R/C 负载时,伽玛缓冲器的输出电压并非快速而是缓慢地恢复至原始电平。因此,通道缓冲器的输出电压以如同伽玛缓冲器的输出电压的缓慢模式下降。

发明内容

[0015] 因此,本发明努力解决现有技术中所存在的问题,并且本发明的一个目的为提供一种液晶显示装置的源极驱动器电路,其是以当在源极驱动器电路中发生电源供应端的电压下降以及接地端的电压弹跳时,能够缩短源极驱动器集成装置中伽玛缓冲器的输出电压的恢复时间的方式来设计。

[0016] 为了实现上述目的,根据本发明的一个特点,提供一种包括伽玛缓冲器的液晶显示装置的源极驱动器电路,该伽玛缓冲器包括一差分放大部分,具有两个 NMOS 晶体管,并配置以差分地放大一输入信号;一电流镜部分,具有两个 PMOS 晶体管,并配置以操作为一电流镜;一使能部分,具有一个 NMOS 晶体管,并配置以通过一偏置电压将该差分放大部分从一待机模式转换为一使能模式;一功率下降速度增进部分,配置以通过两个二极管耦联型 MOS 晶体管分别连接该电流镜部分的所述两个 PMOS 晶体管的漏极和该差分放大部分的 NMOS 晶体管的漏极,并在功率下降之后缩短一恢复时间;以及一输出部分,具有一 PMOS 晶体管和一 NMOS 晶体管,并配置以通过该偏置电压决定其中的一偏置电平,且根据该电流镜部分一侧上的一下游节点的电压来产生一输出电压。

[0017] 为了实现上述目的,根据本发明的另一特点,提供一种包括伽玛缓冲器的液晶显示装置的源极驱动器电路,该伽玛缓冲器包括:一差分放大部分,具有两个 PMOS 晶体管,

并配置以差分地放大一输入信号；一电流镜部分，具有两个 NMOS 晶体管，并配置以操作为一电流镜；一使能部分，具有一个 PMOS 晶体管，并配置以通过一偏置电压将该差分放大部分从一待机模式转换为一使能模式；一功率下降速度增进部分，配置以通过两个二极管耦联型 MOS 晶体管，分别连接该差分放大部分的所述两个 PMOS 晶体管的漏极和该电流镜部分的所述两个 NMOS 晶体管的漏极，并在一接地端的电压弹跳之后缩短一恢复时间；以及一输出部分，具有一 NMOS 晶体管和一 PMOS 晶体管，并配置以通过该偏置电压决定其中的一偏置电平，且根据该电流镜部分一侧上的一上游节点的电压来产生一输出电压。

附图说明

[0018] 图 1 为说明传统液晶显示装置的驱动电路的方块图；

[0019] 图 2 为显示由于传统液晶显示装置的源极驱动器中功率下降而导致的伽玛缓冲器和通道缓冲器的输出电压变化的图式；

[0020] 图 3 为说明根据本发明实施例的液晶显示装置的源极驱动器的电路图；

[0021] 图 4 为说明根据本发明另一实施例的液晶显示装置的源极驱动器的电路图；

[0022] 图 5 为显示根据本发明由于液晶显示装置的源极驱动器中功率下降而导致的伽玛缓冲器和通道缓冲器的输出电压变化的图式；以及

[0023] 图 6(a) 和图 6(b) 为显示根据本发明缩短功率下降和接地电压弹跳出现后的恢复时间的图式。

具体实施方式

[0024] 参考所附图式描述示例，将详细描述本发明的优选实施例。在任何可能的情况下，附图和说明书自始至终使用相同的附图标记代表相同或类似的部分。

[0025] 图 3 为应用于根据本发明实施例的液晶显示装置的源极驱动器电路的正伽玛缓冲器的电路图。参见图 3，正伽玛缓冲器包括差分放大部分 310、电流镜部分 320、使能部分 330、功率下降速度增进部分 340、以及输出部分 350。

[0026] 差分放大部分 310 包括 NMOS 晶体管 M31 和 M32。NMOS 晶体管 M31 具有连接至输入端 IN 的栅极，而 NMOS 晶体管 M32 具有连接至输出端 OUT 的栅极。

[0027] 电流镜部分 320 包括 PMOS 晶体管 M33 和 M34。PMOS 晶体管 M33 和 M34 的源极共同地连接至电源供应端 VDD。PMOS 晶体管 M34 是栅极和漏极彼此连接的二极管耦联型晶体管。

[0028] 使能部分 330 包括 NMOS 晶体管 M35，并用以将差分放大部分 310 从待机模式转换为使能模式。这就是说，当偏置电压 Bias 在高电平提供时开启 NMOS 晶体管 M35，并将差分放大部分 310 的 NMOS 晶体管 M31 和 M32 的源极连接至接地端 GND，藉此差分放大部分 310 转换为激活模式。因此，由于确定了下游节点 N1 的电压，差分放大单元 310 的 NMOS 晶体管 M31 对应于通过输入端 IN 所输入的信号来运行。

[0029] 功率下降速度增进部分 340 包括以二极管形式连接的 PMOS 晶体管 M36 和 M37。PMOS 晶体管 M36 和 M37 的源极连接至电流镜部分 320 的 PMOS 晶体管 M33 和 M34 的漏极，而 PMOS 晶体管 M36 和 M37 的漏极连接至差分放大部分 310 的 NMOS 晶体管 M31 和 M32 的漏极。

[0030] 当 MOS 晶体管 M36 和 M37 例示为 PMOS 晶体管时,可想象的是当使用 NMOS 晶体管实现 MOS 晶体管 M36 和 M37 时,可达到相同效果。

[0031] 输出部分 350 包括 PMOS 晶体管 M38 和 NMOS 晶体管 M39。PMOS 晶体管 M38 的源极连接至电源供应端 VDD,而 PMOS 晶体管 M38 的栅极连接至下游节点 N1。PMOS 晶体管 M38 的漏极共同地连接至输出端 OUT、NMOS 晶体管 M32 的栅极、以及其源极连接至接地端 GND 的 NMOS 晶体管 M39 的漏极。

[0032] NMOS 晶体管 M39 的偏置电平由偏置电压 Bias 所确定,且 PMOS 晶体管 M38 通过上述所确定的下游节点 N1 的电压而运行,藉此而产生的电压输出至输出端 OUT。结果,对应于通过输入端 IN 所输入的信号的输出电压通过输出端 OUT 而输出。

[0033] 参见图 5,如果在伽玛缓冲器中发生功率下降,即是,电源供应端 VDD 的电压下降,伽玛缓冲器的输出电压 GMB_OUT 中的下降相较于电源供应端 VDD 电压中的下降以较大的程度发生。在此时,由于伽玛缓冲器的输出电压 GMB_OUT 低于输入电压 IN,因此输出电压 GMB_OUT 的电平提高至输入电压 IN 的电平。为此,PMOS 晶体管 M38 的栅极电压,即是,下游节点 N1 的电压降低。

[0034] 然而,如上所述,由于电流镜部分 320 的负载晶体管的 PMOS 晶体管 M33 和 M34 的漏极是藉由以二极管方式连接的功率下降速度增进部分 340 的 PMOS 晶体管 M36 和 M37 连接至差分放大部分 310 的 NMOS 晶体管 M31 和 M32 的漏极,因此等于或大于阈值电压的 PMOS 晶体管 M36 和 M37 的漏极-源极电压 (VDS) 施加在晶体管 M33 和 M34 以及晶体管 M31 和 M32 之间。

[0035] 因此,PMOS 晶体管 M38 的栅极的运行范围相应地减小。换句话说,由于下游节点 N1 的电压电平可降低到的最大电平,可通过 PMOS 晶体管 M36 和 M37 的阈值电压来限制,因此 PMOS 晶体管 M38 的栅极的运行范围相应地减小。

[0036] 详细描述,由于电源供应端 VDD 的电压下降导致伽玛缓冲器的输出电压 GMB_OUT 下降,且为了将伽玛缓冲器的输出电压 GMB_OUT 恢复至原始电平,因而降低下游节点 N1 的电压。相比于未配置 PMOS 晶体管 M36 和 M37 的情况,当配置 PMOS 晶体管 M36 和 M37 时,下游节点 N1 的电压较少地减少到阈值电压。如此,由于下游节点 N1 较少地减少到阈值电压,因此当提高下游节点 N1 的电压至原始电平时,恢复时间相应地缩短。由于这个事实,伽玛缓冲器的输出电压 GMB_OUT 的恢复时间相应地缩短(见图 5)。

[0037] 图 4 为应用于根据本发明另一实施例的液晶显示装置的源极驱动器电路的负伽玛缓冲器的电路图。参见图 4,负伽玛缓冲器包括差分放大部分 410、电流镜部分 420、使能部分 430、功率下降速度提高部分 440、以及输出部分 450。

[0038] 图 3 和图 4 采用相同的基本运行原则,图 3 和图 4 彼此区别之处在于图 3 代表用于处理电源供应端的电压下降的正伽玛缓冲器,而图 4 代表用于处理接地端的电压弹跳的负伽玛缓冲器。

[0039] 差分放大部分 410 包括 PMOS 晶体管 M41 和 M42。PMOS 晶体管 M41 具有连接至输入端 IN 的栅极,而 PMOS 晶体管 M42 具有连接至输出端 OUT 的栅极。

[0040] 电流镜部分 420 包括 NMOS 晶体管 M43 和 M44。NMOS 晶体管 M43 和 M44 的源极共同地连接至接地端 GND。NMOS 晶体管 M44 是栅极和漏极彼此连接的二极管耦联型晶体管。

[0041] 使能部分 430 包括 PMOS 晶体管 M45,并用以将差分放大部分 410 从待机模式转换

为使能模式。这就是说,当偏置电压 Bias 在低电平提供时开启 PMOS 晶体管 M45,并将差分放大部分 410 的 PMOS 晶体管 M41 和 M42 的源极连接至电源供应端 VDD,藉此差分放大部分 410 转换为激活模式。因此,由于确定了上游节点 N2 的电压,差分放大单元 410 的 PMOS 晶体管 M41 对应于通过输入端 IN 所输入的信号运行。

[0042] 功率下降速度增进部分 440 包括以二极管形式连接的 NMOS 晶体管 M46 和 M47。NMOS 晶体管 M46 和 M47 的源极连接至电流镜部分 420 的 NMOS 晶体管 M43 和 M44 的漏极,而 NMOS 晶体管 M46 和 M47 的漏极连接至差分放大部分 410 的 PMOS 晶体管 M41 和 M42 的漏极。

[0043] 当 MOS 晶体管 M46 和 M47 例示作为 NMOS 晶体管时,可想象的是当使用 PMOS 晶体管实现 MOS 晶体管 M46 和 M47 时,可达到相同效果。

[0044] 输出部分 450 包括 NMOS 晶体管 M48 和 PMOS 晶体管 M49。NMOS 晶体管 M48 的源极连接至接地端 GND,而 NMOS 晶体管 M48 的栅极连接至上游节点 N2。NMOS 晶体管 M48 的漏极共同地连接至输出端 OUT、PMOS 晶体管 M42 的栅极、以及其源极连接至电源端 VDD 的 PMOS 晶体管 M49 的漏极。

[0045] PMOS 晶体管 M49 的偏置电平由偏置电压 Bias 所确定,且 NMOS 晶体管 M48 通过上述所确定的上游节点 N2 的电压而运行,藉此而产生的电压输出至输出端 OUT。结果,对应于通过输入端 IN 所输入的信号,的输出电压通过输出端 OUT 而输出。

[0046] 参见图 5,如果在伽玛缓冲器中接地端 GND 的电压发生弹跳,伽玛缓冲器的输出电压 GMB_OUT 中的弹跳相较于接地端 GND 的电压中的弹跳以较大的程度发生。在此时,由于伽玛缓冲器的输出电压 GMB_OUT 高于输入电压 IN,因此输出电压 GMB_OUT 的电平开始降低至输入电压 IN 的电平。为此,NMOS 晶体管 M48 的栅极电压,即是,上游节点 N2 的电压提高。

[0047] 然而,如上所述,由于电流镜部分 420 的负载晶体管的 NMOS 晶体管 M43 和 M44 的漏极是藉由以二极管方式连接的功率下降速度增进部分 440 的 NMOS 晶体管 M46 和 M47 连接至差分放大部分 410 的 PMOS 晶体管 M41 和 M42 的漏极,因此等于或大于阈值电压的 NMOS 晶体管 M46 和 M47 的漏极-源极电压 (VDS) 施加在晶体管 M43 和 M44 以及晶体管 M41 和 M42 之间。

[0048] 因此, NMOS 晶体管 M48 的栅极的运行范围相应地减小。换句话说,由于上游节点 N2 的电压电平可提高到的最大电平,可通过 NMOS 晶体管 M46 和 M47 的阈值电压来限制,因此 NMOS 晶体管 M48 的栅极的运行范围相应地减小。

[0049] 详细描述,由于接地端 GND 的电压弹跳导致伽玛缓冲器的输出电压 GMB_OUT 弹跳,且为了将伽玛缓冲器的输出电压 GMB_OUT 恢复至原始电平,因而提高上游节点 N2 的电压。相较于未配置 NMOS 晶体管 M46 和 M47 的情况,当配置 NMOS 晶体管 M46 和 M47 时,上游节点 N2 的电压较少地提高到阈值电压。如此,由于上游节点 N2 较少地提高到阈值电压,因此当提高上游节点 N2 的电压至原始电平时,恢复时间相应地缩短。由于这个事实,伽玛缓冲器的输出电压 GMB_OUT 的恢复时间相应地缩短 (见图 5)。

[0050] 图 6(a) 和图 6(b) 为显示根据本发明缩短功率下降出现后的恢复时间和接地端的电压弹跳出现后的恢复时间的图式。这就是说,应理解的是通道缓冲器的输出电压中的上升时间 T1 和下降时间 T3 是通过如图 3 和图 4 所示运行的伽玛缓冲器来增进。又,可理解到的是通道缓冲器的设定时间 T2 和 T4 是通过如图 3 和图 4 所示运行的伽玛缓冲器来增进。

[0051] 从上述描述中显而易见的是,在本发明的实施例中,在液晶显示装置的源极驱动器采用的伽玛缓冲器电路中,由于差分放大部分和电流镜部分的 MOS 晶体管通过二极管耦联型 MOS 晶体管而彼此连接,因此可缩短电源供应端的功率下降之后的恢复时间以及接地端的电压弹跳后的恢复时间。又,增进了输入晶体管的匹配特性,并且由于这个事实,因而减小少随机偏移。

[0052] 尽管已描述用以解释本发明的较佳实施例,但对于本领域的技术人员而言可理解的是,凡不脱离所附权利要求中公开的发明的范围和精神内所作的各种修改、添加或替换都是可能的。

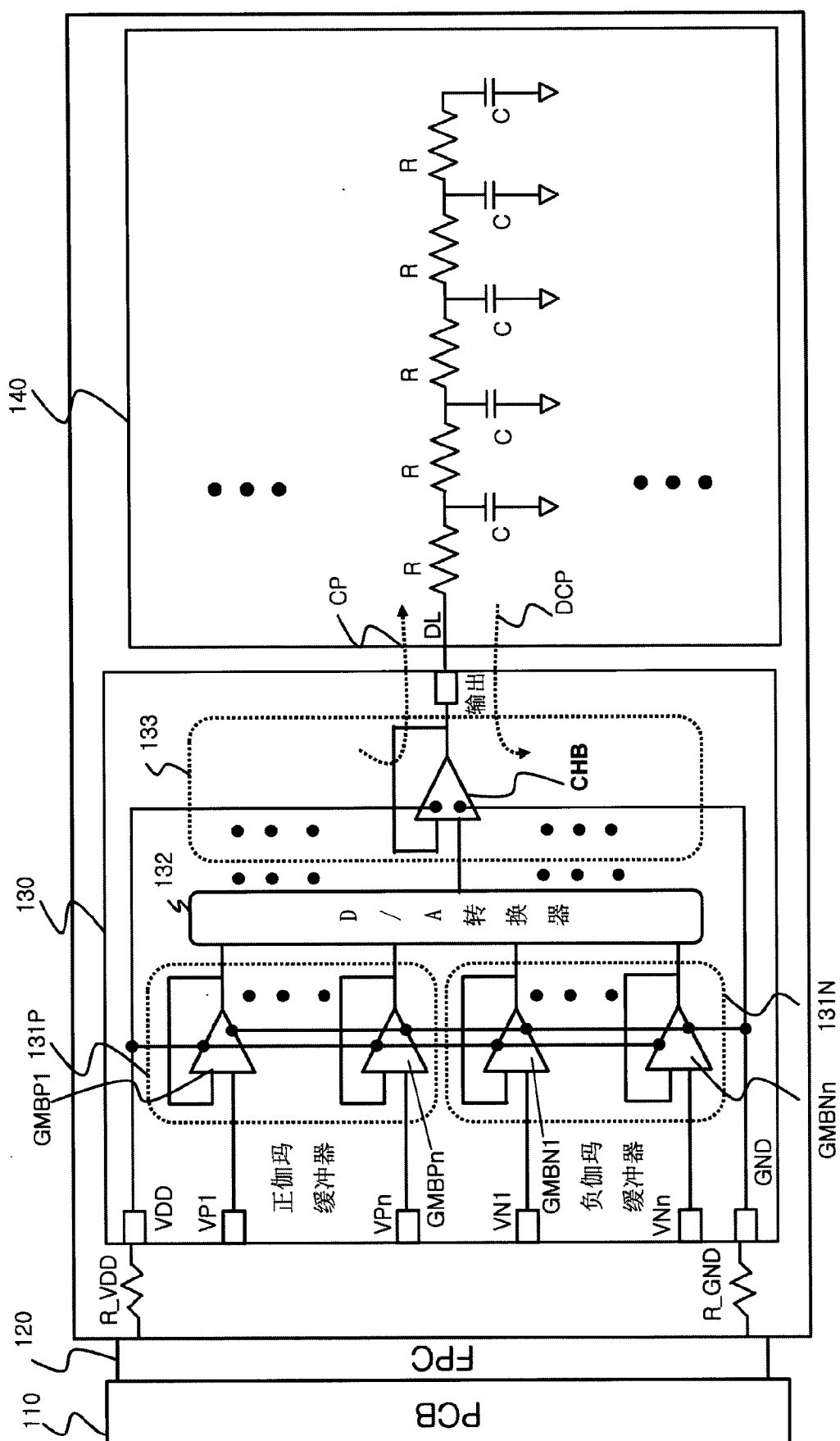


图 1

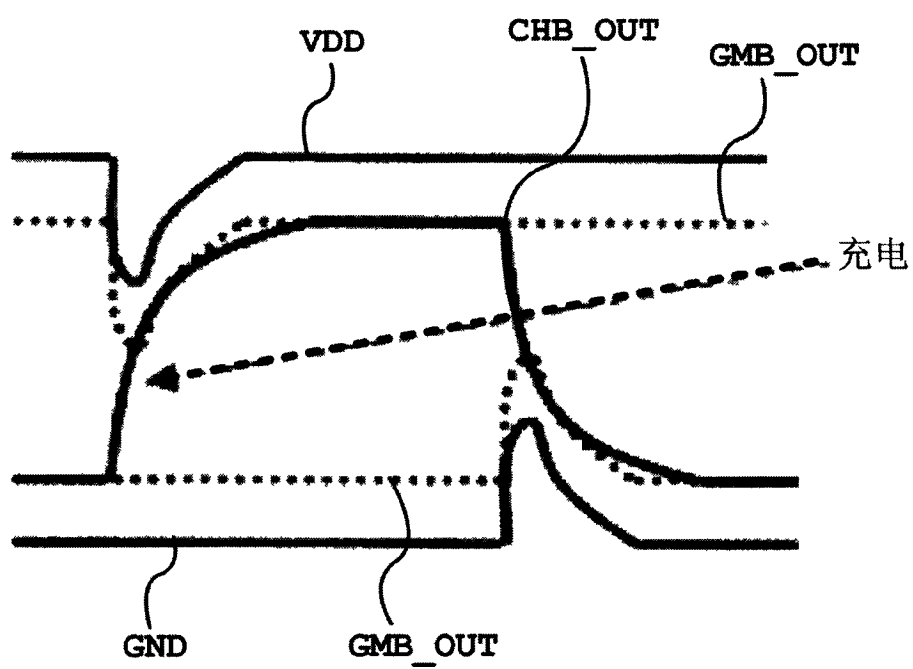


图 2

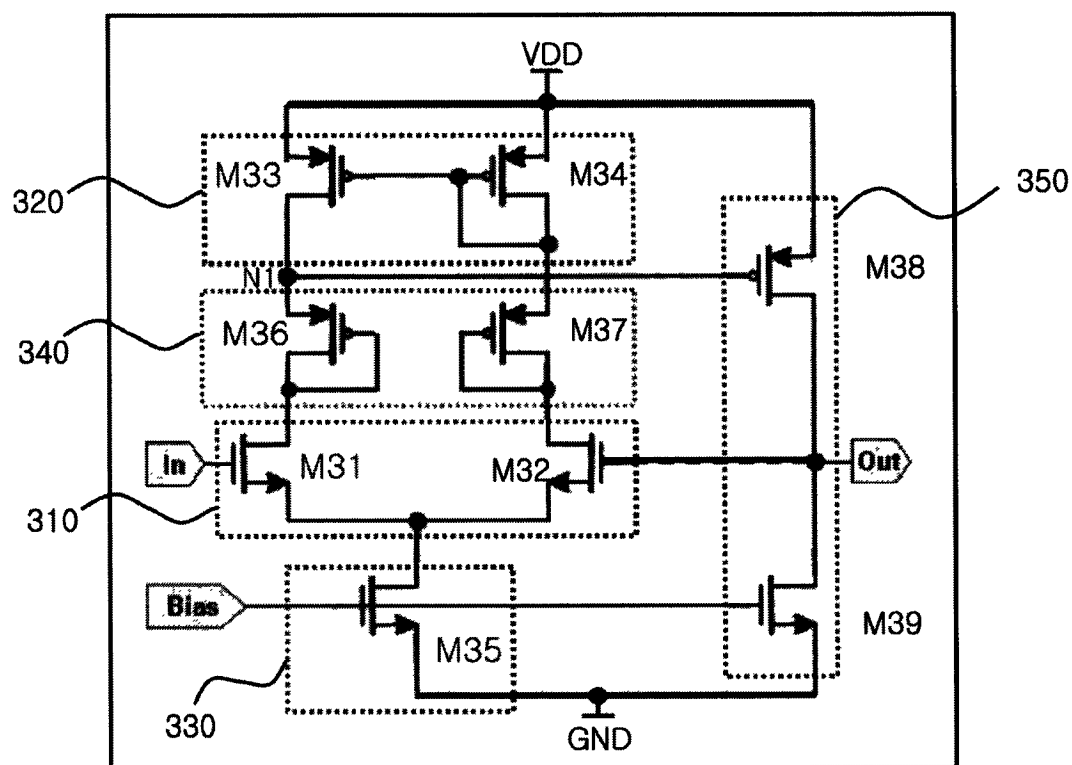


图 3

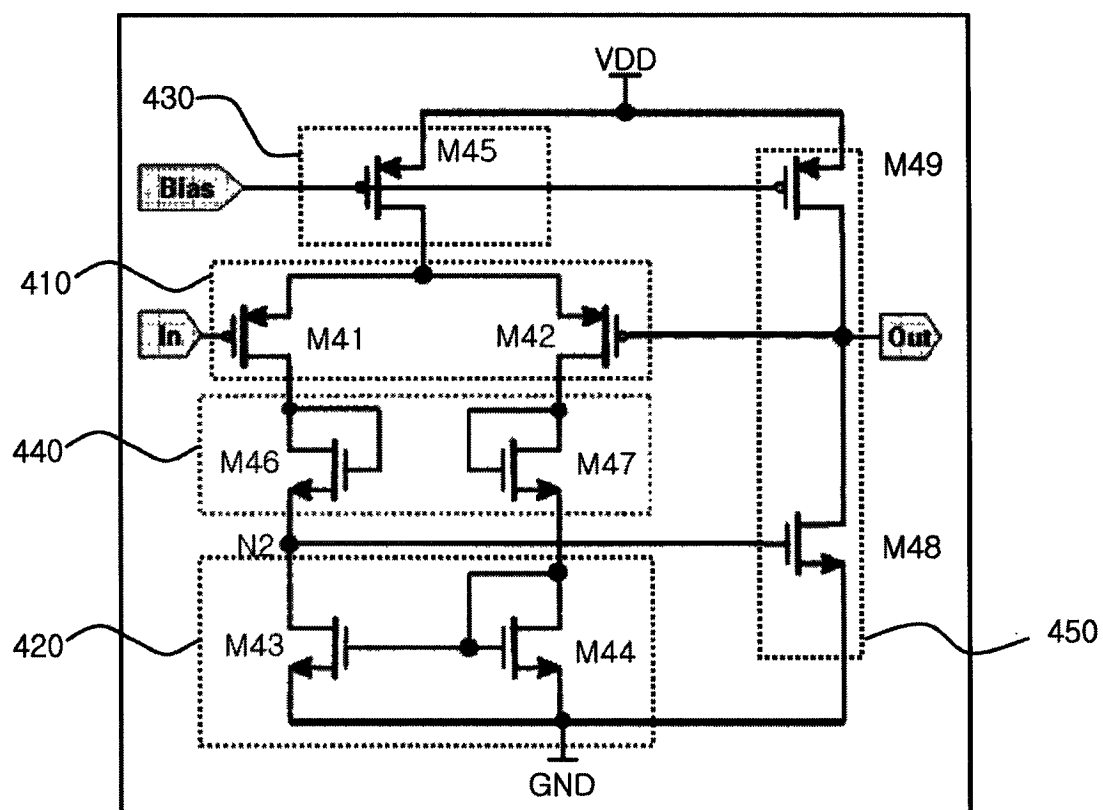


图 4

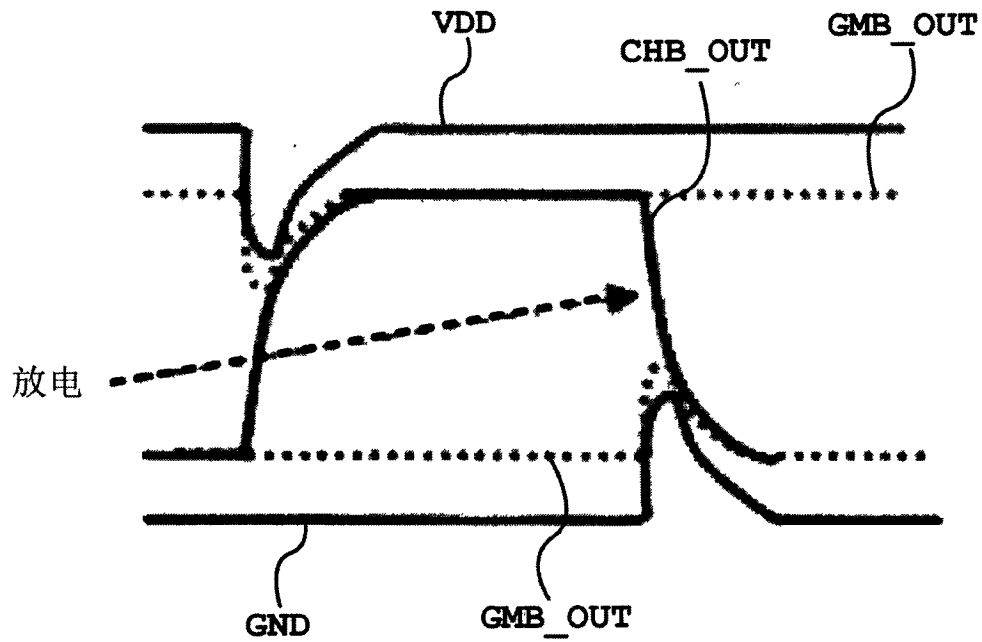


图 5

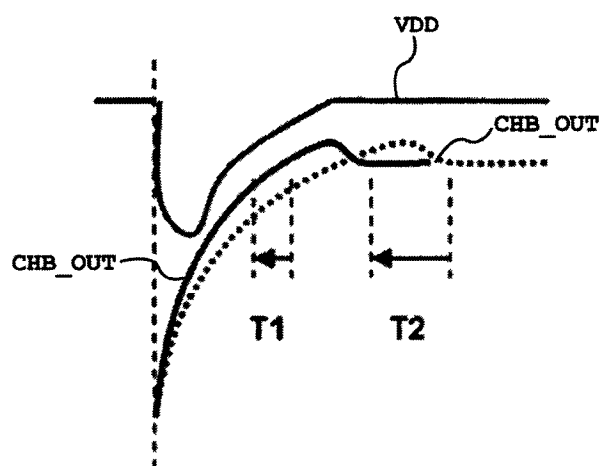


图 6(a)

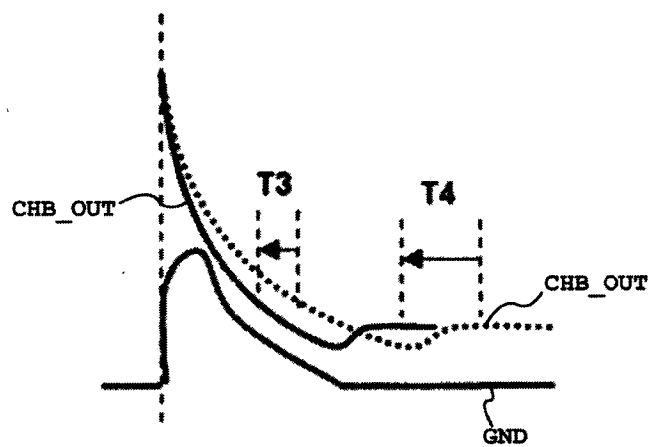


图 6(b)

专利名称(译)	液晶显示装置的源极驱动器电路		
公开(公告)号	CN102110425A	公开(公告)日	2011-06-29
申请号	CN201010602085.2	申请日	2010-12-23
[标]申请(专利权)人(译)	硅工厂股份有限公司		
申请(专利权)人(译)	硅工厂股份有限公司		
当前申请(专利权)人(译)	硅工厂股份有限公司		
[标]发明人	宋贤旻 孙英硕 金志勋 罗俊峰		
发明人	宋贤旻 孙英硕 金志勋 罗俊峰		
IPC分类号	G09G3/36		
CPC分类号	H03F1/22 G09G3/36 G09G3/3685 G09G3/20 G09G2300/0408 G09G2320/0252 G02F1/133 H03K17/687 G09G3/3696		
代理人(译)	刘俊		
优先权	1020090130991 2009-12-24 KR		
外部链接	Espacenet SIPO		

摘要(译)

一种包括伽玛缓冲器的液晶显示装置的源极驱动器电路。该伽玛缓冲器包括差分放大部分，配置以差分地放大输入信号；电流镜部分，配置以操作为电流镜；使能部分，配置以通过偏置电压将差分放大部分从待机模式转换为使能模式；功率下降速度增进部分，配置以通过两个二极管耦联型MOS晶体管分别连接电流镜部分的两个PMOS晶体管的漏极和差分放大部分的NMOS晶体管的漏极，并在功率下降之后缩短恢复时间；以及输出部分，配置以通过该偏置电压决定其中的偏置电平，且根据该电流镜部分一侧上的下游节点的电压来产生输出电压。

