



(12) 发明专利

(10) 授权公告号 CN 101847387 B

(45) 授权公告日 2014. 01. 08

(21) 申请号 201010155622. 3

US 2004/0061547 A1, 2004. 04. 01,

(22) 申请日 2010. 03. 26

审查员 卫研研

(30) 优先权数据

2009-077955 2009. 03. 27 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 梅崎敦司

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 刘佳 胡烨

(51) Int. Cl.

G09G 3/36 (2006. 01)

(56) 对比文件

CN 101187743 A, 2008. 05. 28,

CN 101166023 A, 2008. 04. 23,

CN 1912965 A, 2007. 02. 14,

JP 特开 2006-293299 A, 2006. 10. 26,

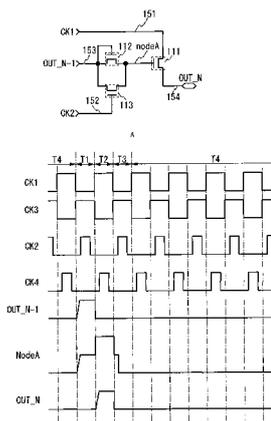
权利要求书2页 说明书30页 附图32页

(54) 发明名称

液晶显示装置

(57) 摘要

本发明通过减少信号的错误工作提高显示质量。在由具有第一晶体管至第三晶体管以及第一信号线至第四信号线的多个脉冲输出电路而构成的驱动电路中, 第一信号线供给有第一时钟信号, 第二信号线供给有前级信号, 第三信号线供给有第二时钟信号, 第四信号线输出输出信号, 第一时钟信号和第二时钟信号的占空比不同, 并且使在第一时钟信号从L信号切换为H信号之后至第二时钟信号从L信号切换为H信号的期间、比前级信号从L信号切换为H信号的期间长。



1. 一种半导体装置,包括:

驱动电路,该驱动电路包括分别具有第一至第三晶体管以及分别连接到第一至第四信号线的第一至第四端子的多个脉冲输出电路;以及

像素部,

其中,所述第一晶体管的第一端子电连接到所述第一信号线,

所述第一晶体管的第二端子电连接到所述第四信号线,

所述第二晶体管的栅极和第一端子电连接到所述第三信号线,

所述第三晶体管的第一端子电连接到所述第三信号线,

所述第三晶体管的栅极电连接到所述第二信号线,

所述第一晶体管的栅极、所述第二晶体管的第二端子以及所述第三晶体管的第二端子彼此电连接,

所述第一晶体管的沟道宽度大于所述第二晶体管和所述第三晶体管的沟道宽度,

第一时钟信号供给到所述第一信号线,

第二时钟信号供给到所述第二信号线,

前级信号供给到所述第三信号线,

从所述第四信号线输出输出信号,

并且,所述第一时钟信号和所述第二时钟信号的占空比互不相同。

2. 根据权利要求 1 所述的半导体装置,其特征在于,

所述第一时钟信号从 H 电平的信号改变为 L 电平的信号之后至所述第二时钟信号从 L 电平的信号改变为 H 电平的信号的期间、比所述前级信号从 L 电平的信号改变为 H 电平的信号的期间长。

3. 根据权利要求 1 所述的半导体装置,其特征在于,

所述驱动电路包括控制电路、第四晶体管以及第五晶体管,

所述第四晶体管的第一端子电连接到所述第四信号线,

所述第四晶体管的第二端子电连接到用来供给低电源电位的布线,

所述第五晶体管的第一端子电连接到所述第一晶体管的栅极、所述第二晶体管的第二端子及所述第三晶体管的第二端子彼此电连接的节点,

所述第五晶体管的第二端子电连接到所述用来供给低电源电位的布线,

并且所述控制电路根据所述第一晶体管的栅极、所述第二晶体管的第二端子及所述第三晶体管的第二端子彼此电连接的所述节点的电位,控制所述第四晶体管的栅极的电位和所述第五晶体管的栅极的电位。

4. 根据权利要求 3 所述的半导体装置,其特征在于,

所述第一至第五晶体管具有相同的极性。

5. 根据权利要求 1 所述的半导体装置,其特征在于,

所述第一时钟信号供给到奇数级的脉冲输出电路中的第一端子,

所述第二时钟信号供给到所述奇数级的脉冲输出电路中的第二端子,

第三时钟信号供给到偶数级的脉冲输出电路中的第一端子,所述第三时钟信号的相位从所述第一时钟信号的相位偏离 180° ,

并且第四时钟信号供给到所述偶数级的脉冲输出电路中的第二端子,所述第四时钟信

号的相位从所述第二时钟信号的相位偏离 180° 。

6. 一种包括根据权利要求 1 所述的半导体装置以及操作开关的电子设备。

液晶显示装置

技术领域

[0001] 本发明涉及一种半导体装置、显示装置、液晶显示装置、发光装置以及上述装置的驱动方法或其制造方法。尤其,本发明涉及一种具有形成在与像素部同一基板上的驱动电路的半导体装置、显示装置、液晶显示装置、发光装置或上述装置的驱动方法。还有,本发明涉及一种包括该半导体装置、该显示装置、该液晶显示装置或该发光装置的设备。

背景技术

[0002] 近年来,随着液晶电视等的大型显示装置增加,对显示装置的研究开发日益加快。特别是,由于使用由非晶半导体构成的晶体管在与像素部相同的基板上构成栅极驱动器等的驱动电路的技术极有利于成本的减少、可靠性的提高,因此积极地对其进行研究开发(参照专利文献1)。

[0003] 专利文献1:日本专利申请公开2006-293299号公报

发明内容

[0004] 本发明的一个方式的课题在于:通过减少电路的错误工作,谋求提高显示质量;减少信号的畸变或延迟;抑制晶体管的特性退化;缩小晶体管的沟道宽度;缩小布局面积;使显示装置的边框变窄;实现显示装置的高精细化;降低成本。注意,这些课题的记载不阻碍其他课题,并且本发明的一个方式不需要解决所有上述课题。

[0005] 本发明的一个方式是一种液晶显示装置,包括:由多个脉冲输出电路构成的驱动电路,该脉冲输出电路包括第一晶体管至第三晶体管以及连接到第一信号线至第四信号线的第一端子至第四端子;以及包括液晶元件的像素,其中,在驱动电路中第一晶体管的第一端子电连接到第一信号线,第一晶体管的第二端子电连接到第四信号线,第二晶体管的栅极及第一端子电连接到第三信号线,第三晶体管的第一端子电连接到第三信号线,第三晶体管的栅极电连接到第二信号线,第一晶体管的栅极、第二晶体管的第二端子和第三晶体管的第二端子彼此电连接,第一信号线被供给第一时钟信号,第二信号线被供给第二时钟信号,第三信号线被供给第二时钟信号,从第四信号线输出输出信号,并且第一时钟信号的占空比和第二时钟信号的占空比不同。

[0006] 本发明的一个方式也可以是一种液晶显示装置,其中,使第一时钟信号从H信号切换为L信号之后至第二时钟信号从L信号切换为H信号的期间、比前级信号从L信号切换为H信号的期间长。

[0007] 本发明的一个方式可以是一种液晶显示装置,其中,驱动电路包括:控制电路;第四晶体管,在该第四晶体管中,第一端子电连接到第四信号线,第二端子电连接到供给低电源电位的布线;以及第五晶体管,在所述第五晶体管中,第一端子电连接到第一晶体管的栅极与第二晶体管的第二端子及第三晶体管的第二端子彼此电连接的节点,第二端子电连接到供给低电源电位的布线,并且,控制电路根据第一晶体管的栅极与第二晶体管的第二端子及第三晶体管的第二端子彼此电连接的节点的电位,控制第四晶体管的栅极及第五晶体

管的栅极的电位。

[0008] 本发明的一个方式可以是一种液晶显示装置,其中,第一晶体管至第五晶体管是具有相同极性的晶体管。

[0009] 本发明的一个方式可以是一种液晶显示装置,其中,奇数级的脉冲输出电路的第一端子供给有第一时钟信号,第二端子供给有第二时钟信号,并且,偶数级的脉冲输出电路的第一端子供给有第三时钟信号,第二端子供给有第四时钟信号。

[0010] 作为开关,可以使用各种方式的开关。作为开关的一个例子,可以使用电开关或机械开关等。换言之,开关只要可以控制电流就不局限于特定的开关。作为开关的一个例子,有晶体管(例如,双极晶体管或MOS晶体管等)、二极管(例如,PN二极管、PIN二极管、肖特基二极管、MIM(Metal Insulator Metal:金属-绝缘体-金属)二极管、MIS(Metal Insulator Semiconductor:金属-绝缘体-半导体)二极管、二极管连接的晶体管等)或组合它们的逻辑电路等。作为机械开关的一个例子,有像数字微镜装置(DMD)那样的利用MEMS(微电子机械系统)技术的开关。该开关具有以机械方式可动的电极,并且通过移动该电极来控制导通和不导通而进行工作。

[0011] 注意,在将晶体管用作开关的情况下,由于该晶体管仅作为开关工作,因此对晶体管的极性(导电型)没有特别限制。

[0012] 也可以使用N沟道型晶体管和P沟道型晶体管双方的CMOS型开关用作开关。

[0013] 显示元件、作为具有显示元件的装置的显示装置、发光元件以及作为具有发光元件的装置的发光装置可以采用各种方式或具有各种元件。作为显示元件、显示装置、发光元件或发光装置的一个例子,有对比度、亮度、反射率、透过率等因电磁作用而变化的显示媒体,如EL(电致发光)元件(包含有机物及无机物的EL元件、有机EL元件、无机EL元件)、LED(白色LED、红色LED、绿色LED、蓝色LED等)、晶体管(根据电流发光的晶体管)、电子发射元件、液晶元件、电子墨水、电泳元件、光栅光阀(GLV)、等离子体显示面板(PDP)、数字微镜设备(DMD)、压电陶瓷显示器、碳纳米管等。此外,作为使用EL元件的显示装置的一个例子,有EL显示器等。作为使用电子发射元件的显示装置的一个例子,有场致发射显示器(FED)或SED方式平面型显示器(SED:Surface-conduction Electron-emitter Display:表面传导电子发射显示器)等。作为使用液晶元件的显示装置的一个例子,有液晶显示器(透过型液晶显示器、半透过型液晶显示器、反射型液晶显示器、直观型液晶显示器、投射型液晶显示器)等。作为使用电子墨水或电泳元件的显示装置的一个例子,有电子纸等。

[0014] 作为液晶元件的一个例子,有利用液晶的光学调制作用来控制光的透过或非透过的元件。该元件可以使用一对电极及液晶构成。另外,液晶的光学调制作用由施加到液晶的电场(包括横向电场、纵向电场或倾斜方向电场)控制。另外,具体地作为液晶元件的一个例子,可以举出向列液晶、胆甾相(cholesteric)液晶、近晶液晶、盘状液晶、热致液晶、溶致液晶、低分子液晶、高分子液晶、高分子分散型液晶(PDLC)、铁电液晶、反铁电液晶、主链型液晶、侧链型高分子液晶、等离子体寻址液晶(PALC)、香蕉型液晶等。另外,作为液晶的驱动方式,可以使用TN(Twisted Nematic:扭转向列)模式、STN(Super Twisted Nematic:超扭曲向列)模式、IPS(In-Plane-Switching:平面内切换)模式、FFS(Fringe Field Switching:边缘场切换)模式、MVA(Multi-domain Vertical Alignment:多象限垂直取向)模式、PVA(Patterned Vertical Alignment:垂直取向构型)

模式、ASV(Advanced Super View:高级超视觉)模式、ASM(Axially Symmetric aligned Micro-cell:轴对称排列微单元)模式、OCB(Optically Compensated Birefringence:光学补偿双折射)模式、ECB(Electrically Controlled Birefringence:电控双折射)模式、FLC(Ferroelectric Liquid Crystal:铁电液晶)模式、AFLC(AntiFerroelectric Liquid Crystal:反铁电液晶)模式、PDLC(Polymer Dispersed Liquid Crystal:聚合物分散液晶)模式、宾主模式、蓝相(Blue Phase)模式等。但是并不局限于此,作为液晶元件及其驱动方式可以使用各种液晶元件及其驱动方式。

[0015] 作为晶体管,可以使用各种结构的晶体管。因此,对所使用的晶体管的种类没有限制。例如,作为晶体管的一个例子,可以使用具有以非晶硅、多晶硅或微晶(也称为微型晶、纳米晶、半非晶(semi-amorphous))硅等为代表的非单晶半导体膜的薄膜晶体管(TFT)等。

[0016] 作为晶体管的一个例子,可以使用具有 ZnO、a-InGaZnO、SiGe、GaAs、IZO、ITO、SnO、TiO、AlZnSnO(AZTO) 等的化合物半导体或氧化物半导体的晶体管或者对这些化合物半导体或氧化物半导体进行了薄膜化的薄膜晶体管等。通过这样,可以降低制造温度,所以例如可以在室温下制造晶体管。其结果,可以在低耐热性基板,例如塑料基板或薄膜基板等上直接形成晶体管。此外,这些化合物半导体或氧化物半导体不仅可以用于晶体管的沟道部分,而且还可以作为其他用途来使用。例如,这些化合物半导体或氧化物半导体可以作为布线、电阻元件、像素电极或具有透光性的电极等来使用。再者,由于可以与晶体管同时成膜或形成它们,所以可以降低成本。

[0017] 作为晶体管的一个例子,可以使用通过喷墨法或印刷法而形成的晶体管等。通过这样,可以在室温下进行制造,以低真空度制造或在大型基板上进行制造。由此,即使不使用掩模(中间掩模(reticule))也可以进行制造,所以可以容易地改变晶体管的布局。或者,因为可以不使用抗蚀剂地进行制造,所以可以减少材料费,并减少工序数。或者,因为可以只在需要的部分上形成膜,所以与在整个面上形成膜之后进行蚀刻的制造方法相比不浪费材料从而可以实现低成本。

[0018] 作为晶体管的一个例子,可以使用具有有机半导体或碳纳米管的晶体管等。通过这样,可以在能够弯曲的基板上形成晶体管。由此能够增强使用有这种基板的半导体装置的耐冲击性。

[0019] 作为晶体管还可以使用其他各种结构的晶体管。例如,作为晶体管可以使用 MOS 型晶体管、结型晶体管、双极晶体管等。

[0020] 作为晶体管的一个例子,可以使用栅电极是两个以上的多栅结构的晶体管。当采用多栅结构时,由于沟道区以串联的方式连接,所以成为多个晶体管串联连接的结构。

[0021] 作为晶体管的一个例子,可以应用在沟道的上下配置有栅电极的结构。通过采用在沟道的上下配置有栅电极的结构,成为多个晶体管如以串联的方式连接的结构。

[0022] 作为晶体管的一个例子,也可以使用具有如下结构的晶体管:将栅电极配置在沟道区之上的结构;将栅电极配置在沟道区之下的结构;正交错结构;反交错结构;将沟道区分割成多个区域的结构;并联连接沟道区的结构;串联连接沟道区的结构等。

[0023] 作为晶体管的一个例子,可以使用具有源电极或漏电极重叠于沟道区(或其一部分)的结构。的晶体管。

[0024] 作为晶体管的一个例子,可以应用设置有 LDD 区的结构的晶体管。

[0025] 可以使用各种基板形成晶体管。基板的种类不局限于特定的基板。作为其基板的一个例子,有半导体基板(例如,单晶基板或硅基板)、SOI 基板、玻璃基板、石英基板、塑料基板、金属基板、不锈钢基板、具有不锈钢箔的基板、钨基板、具有钨箔的基板、柔性基板、贴合薄膜、包含纤维状材料的纸或基膜等。作为玻璃基板的一个例子,有钡硼硅酸盐玻璃、铝硼硅酸盐玻璃或钠钙玻璃等。作为柔性基板的一个例子,有以聚对苯二甲酸乙二醇酯(PET)、聚萘二酸乙二醇酯(PEN)、聚醚砜(PES)为代表的塑料或丙烯酸树脂等的具有柔性的合成树脂等。作为贴合薄膜的一个例子,有聚丙烯、聚酯、乙烯基、聚氟乙烯、聚氯乙烯等。作为基膜的一个例子,有聚酯、聚酰胺、聚酰亚胺、无机蒸镀膜、纸张等。

[0026] 也可以使用某个基板形成晶体管,然后将晶体管转置到其他基板上并进行配置。作为将晶体管转置到其上的基板的一个例子,除了上述可形成晶体管的基板之外还有纸基板、玻璃纸基板、石基板、木基板、布基板(包括天然纤维(例如丝、棉、麻)、合成纤维(例如尼龙、聚氨酯、聚酯)、再生纤维(例如醋酸纤维、铜氨纤维、人造丝、再生聚酯)等)、皮革基板、橡胶基板等。

[0027] 可以将为实现预定的功能而需要的所有电路形成在同一基板(例如,玻璃基板、塑料基板、单晶基板或 SOI 基板等)上。像这样,可以减少部件个数来降低成本或减少与电路部件之间的连接个数来提高可靠性。

[0028] 也可以不将为实现预定的功能而需要的所有电路形成在同一基板上。也就是说,可以将为实现预定的功能而需要的电路的一部分形成在某个基板上,而将为实现预定的功能而需要的电路的另一部分形成在其他基板上。例如,将为实现预定的功能而需要的电路的一部分形成在玻璃基板上,而将为实现预定的功能而需要的电路的另一部分单晶基板(或 SOI 基板)上。然后,可以将形成有为实现预定的功能而需要的电路的另一部分的单晶基板(也称为 IC 芯片)通过 COG(Chip On Glass:玻璃覆晶封装)连接到玻璃基板,并将该 IC 芯片配置在玻璃基板上。或者,使用 TAB(Tape Automated Bonding:带式自动接合)、COF(Chip On Film:薄膜上芯片安装)、SMT(Surface Mount Technology:表面组装技术)或印刷板等将 IC 芯片连接到玻璃基板。

[0029] 此外,晶体管是指包括栅极、漏极以及源极的至少具有三个端子的元件,且在漏区和源区之间具有沟道区,电流能够流过漏区、沟道区以及源区。这里,因为源极和漏极根据晶体管的结构或工作条件等而改变,因此很难限定哪个是源极哪个是漏极。因此,有时不将用作源极的区域及用作漏极的区域称为源极或漏极。在此情况下,作为一个例子,有时将源极和漏极中的一方记为第一端子、第一电极或第一区,并将源极和漏极中的另一方记为第二端子、第二电极或第二区。

[0030] 另外,晶体管也可以是包括基极、发射极及集电极的至少具有三个端子的元件。此时同样地,作为一个例子,有时将发射极和集电极中的一方记为第一端子、第一电极或第一区,并将发射极和集电极中的另一方记为第二端子、第二电极或第二区。另外,当将双极晶体管用作晶体管时,可以将栅极称为基极。

[0031] 此外,当明确地记载“A 和 B 连接”时,包括如下情况:A 和 B 电连接;A 和 B 在功能上连接;以及 A 和 B 直接连接。在此,以 A 和 B 为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜、层等)。因此,还包括附图或文章所示的连接关系以外的连接关系,而不局

限于规定的连接关系例如附图或文章所示的连接关系。

[0032] 作为 A 和 B 电连接的情况的一个例子,可以在 A 和 B 之间连接一个以上的能够电连接 A 和 B 的元件(例如开关、晶体管、电容元件、电感器、电阻元件、二极管等)。

[0033] 作为 A 和 B 在功能上连接的情况的一个例子,可以在 A 和 B 之间连接一个以上的能够在功能上连接 A 和 B 的电路(例如,逻辑电路(反相器、NAND 电路、NOR 电路等)、信号转换电路(DA 转换电路、AD 转换电路、 γ (伽马)校正电路等)、电位电平转换电路(电源电路(升压电路、降压电路等)、改变信号的电位电平的电平转移电路等)、电压源、电流源、切换电路、放大电路(能够增大信号振幅或电流量等的电路、运算放大器、差动放大电路、源极跟随电路、缓冲电路等)、信号产生电路、存储电路、控制电路等)。另外,作为一个例子,即使 A 和 B 之间夹有其他电路,当从 A 输出的信号传送到 B 时, A 和 B 在功能上连接。

[0034] 此外,当明确地记载“A 和 B 电连接”时,包括如下情况:A 和 B 电连接(也就是说, A 和 B 以其之间夹有其他元件或其他电路的方式连接);A 和 B 在功能上连接(也就是说, A 和 B 以其之间夹有其他电路的方式在功能上连接);以及 A 和 B 直接连接(也就是说, A 和 B 之间不夹有其他元件或其他电路地连接)。也就是说,在明确地记载“电连接”的情况下,与仅仅简单地明确记载“连接”的情况相同。

[0035] 此外,当明确地记载“在 A 的上面形成有 B”或“在 A 上形成有 B”时,不局限于 B 直接接触地形成在 A 的上面的情况。还包括不直接接触的情况,即,在 A 和 B 之间夹有其它对象物的情况。这里, A 和 B 是对象物(例如装置、元件、电路、布线、电极、端子、导电膜、层等)。

[0036] 因此,例如,当明确地记载“在层 A 的上面(或层 A 上)形成有层 B”时,包括如下两种情况:层 B 直接接触地形成在层 A 的上面的情况;以及在层 A 的上面直接接触地形成其它层(例如层 C 或层 D 等),并且层 B 直接接触地形成在所述其它层上的情况。另外,其它层(例如层 C 或层 D 等)可以是单层或多层。

[0037] 而且,同样地,当明确地记载“在 A 的上方形成有 B”时,不局限于 B 直接接触 A 的上面的情况,而还包括在 A 和 B 之间夹有其它对象物的情况。因此,例如,“在层 A 的上方形成有层 B”的情况包括如下两种情况:层 B 直接接触地形成在层 A 的上面的情况;以及在层 A 之上直接接触地形成有其它层(例如层 C 或层 D 等),并且层 B 直接接触地形成在所述其它层上的情况。此外,其它层(例如层 C 或层 D 等)可以是单层或多层。

[0038] 当明确地记载“在 A 的上面形成有 B”、“在 A 上形成有 B”、或“在 A 的上方形成有 B”时,还包括在 A 的斜上面形成 B 的情况。

[0039] “在 A 的下面形成 B”或“在 A 的下方形成 B”的情况与上述情况同样。

[0040] 当明确记载为单数时优选是单数。但是本发明不局限于此,也可以是复数。同样地,当明确记载为复数时优选是复数,但是本发明不局限于此,也可以是单数。

[0041] 在附图中,为便于清楚地说明有时对大小、层的厚度或区域进行夸张的描述。因此,不一定局限于这些尺度。

[0042] 在附图中,示意性地示出理想例子,形状或数值等并不局限于附图所示。例如,可以包括制造技术所引起的不均匀、误差所引起的形状不均匀、杂波所引起的信号、电压或电流的不均匀或者定时(timing)偏差所引起的信号、电压或电流的不均匀等。

[0043] 专门用语多用于描述特定的实施方式或实施例等,但是,本发明的一个方式不应

被解释为受限于专门用语的解释。

[0044] 没有被定义的词句（包括专门用语或学术用语等科技词句）可以表示与普通的本领域技术人员所理解的一般意思相同的意思。由词典等定义的词句优选被解释为不与有关技术的背景产生矛盾的意思。

[0045] 另外，第一、第二、第三等词句是用来区分描述各种因素、构件、区域、层、领域的词句。因此，第一、第二、第三等词句不是限定因素、构件、区域、层、领域等的个数的词句。再者，例如，可以用“第二”或“第三”等替换“第一”。

[0046] 注意，“上”、“上方”、“下”、“下方”、“横”、“右”、“左”、“斜”、“里边”、“前边”、“内”、“外”或“中”等表示空间配置的词句多用于根据附图简单地示出某种因素或特征和其他因素或特征的关联的情况。但是，不局限于此，这些表示空间配置的词句除了附图所描述的方向以外还可以包括其他方向。例如，当明确地记载“在 A 之上 B”时，不局限于 B 存在于 A 之上的情况。附图中的装置可以反转或者转动 180°，所以还可以包括 B 存在于 A 之下的情况。如此，“上”这词句除了“上”这方向以外还可以包括“下”这方向。但是，不局限于此，附图中的装置转动为各种方向，所以“上”这词句除了“上”及“下”这些方向以外还可以包括“横”、“右”、“左”、“斜”、“里边”、“前边”、“内”、“外”或“中”等其他方向。换言之，可以根据情况适当地进行解释。

[0047] 本发明的一个方式可以通过减少电路的错误工作谋求显示质量的提高，减少信号的畸变或延迟，抑制晶体管的特性退化，缩小晶体管的沟道宽度，缩小布局面积，使显示装置的边框变窄，实现显示装置的高精细化或降低成本。

附图说明

- [0048] 图 1 是半导体装置的电路图；
- [0049] 图 2 是半导体装置的电路图和用来说明其工作的时序图；
- [0050] 图 3 是用来说明半导体装置的工作的模式图；
- [0051] 图 4 是用来说明半导体装置的工作的时序图；
- [0052] 图 5 是用来说明半导体装置的工作的模式图；
- [0053] 图 6 是用来说明半导体装置的工作的时序图；
- [0054] 图 7 是用来说明半导体装置的工作的模式图；
- [0055] 图 8 是半导体装置的电路图；
- [0056] 图 9 是半导体装置的电路图和用来说明其工作的时序图；
- [0057] 图 10 是用来说明半导体装置的工作的模式图；
- [0058] 图 11 是半导体装置的电路图和用来说明其工作的时序图；
- [0059] 图 12 是用来说明半导体装置的工作的模式图；
- [0060] 图 13 是用来说明半导体装置的工作的模式图；
- [0061] 图 14 是用来说明半导体装置的工作的模式图；
- [0062] 图 15 是用来说明半导体装置的工作的模式图；
- [0063] 图 16 是半导体装置的电路图；
- [0064] 图 17 是半导体装置的电路图；
- [0065] 图 18 是显示装置的框图；

- [0066] 图 19 是显示装置的框图；
- [0067] 图 20 是半导体装置的电路图和用来说明其工作的时序图；
- [0068] 图 21 是保护电路的电路图；
- [0069] 图 22 是保护电路的电路图；
- [0070] 图 23 是晶体管的截面图；
- [0071] 图 24 是显示装置的俯视图和其截面图；
- [0072] 图 25 是说明晶体管的制造工序的截面图；
- [0073] 图 26 是说明电子设备的图；
- [0074] 图 27 是说明电子设备的图；
- [0075] 图 28 是半导体装置的电路图和用来说明其工作的时序图；
- [0076] 图 29 是半导体装置的电路图；
- [0077] 图 30 是半导体装置的电路图；
- [0078] 图 31 是半导体装置的电路图；
- [0079] 图 32 是半导体装置的电路图。

具体实施方式

[0080] 下面,关于本发明的实施方式将参照附图给予说明。但是,实施方式可以以多个不同形式来实施,所属技术领域的普通技术人员可以很容易地理解一个事实,就是其方式和详细内容可以被变换为各种各样的形式而不脱离本发明的宗旨及其范围。因此,不应该被解释为仅限定在本实施方式所记载的内容中。注意,在下面所说明的结构中,在不同的附图中使用相同的附图标记来表示同一部分或具有同样功能的部分,而省略对同一部分或具有相同的功能的部分的重复说明。

[0081] 另外,在某一个实施方式中所说明的内容(也可以是其一部分的内容)对于该实施方式所说明的其它内容(也可以是其一部分的内容)及/或在一个或多个其它实施方式中所说明的内容(也可以是其一部分的内容)可以进行应用、组合或置换等。

[0082] 在实施方式中所说明的内容是指在各种实施方式中使用各种附图而说明的内容或使用说明书所记载的文章而说明的内容。

[0083] 可以通过将在某一个实施方式中所说明的附图(也可以是其一部分)与该附图的其它部分、在该实施方式中所说明的其它附图(也可以其一部分)及/或在一个或多个其它实施方式中所说明的附图(也可以是其一部分)进行组合,从而构成更多的附图。

[0084] 实施方式 1

[0085] 在本实施方式中说明半导体装置的一个例子。作为一个例子,可以将本实施方式的半导体装置用于移位寄存器、栅极驱动器、源极驱动器或显示装置等。注意,可以将本实施方式的半导体装置表示为驱动电路。

[0086] 首先,参照图 1 至图 6 说明用作驱动电路的移位寄存器的半导体装置。半导体装置 100 包括第一脉冲输出电路 101_1 至第 N 脉冲输出电路 101_N ($N \geq 2$) (参照图 1A)。对图 1A 所示的半导体装置 100 的第一脉冲输出信号 101_1 至第 N 脉冲输出电路 101_N 的各级从第一布线 102 输入第一时钟信号 CK1,从第二布线 103 输入第三时钟信号 CK3,从第三布线 104 输入第二时钟信号 CK2,从第四布线 105 输入第四时钟信号 CK4。对各级的脉冲输出电

路输入来自起始脉冲 SP 或前一级的脉冲输出电路的输出信号（也称为前级信号 OUT_{N-1}）。从各级的脉冲输出电路输出用来输出于栅极线或数据线等的输出信号 OUT_N。脉冲输出电路也可以设置输出不影响到显示部的显示的信号的虚设级（dummy stage），例如在用于移位寄存器的栅极驱动器并对 n 个栅极线按顺序输出脉冲的结构中，将级数设定为 $n \leq N$ 即可。至于输出信号的输出数，可以根据输出的目的地的负荷设置多个。通过采用根据负荷输出多个输出信号的结构，可以减少信号的畸变或延迟等。

[0087] 作为第三时钟信号 CK3 的一个例子，举出相位从第一时钟信号 CK1 偏离 180° 的信号。第一时钟信号 CK1 是占空比 50% 的信号，并且第三时钟信号 CK3 也可以是第一时钟信号 CK1 的反相时钟信号。作为第四时钟信号 CK4 的一个例子，举出相位从第二时钟信号 CK2 偏离 180° 的信号。

[0088] 另外，在奇数级的脉冲输出电路和偶数级的脉冲输出电路中，输入第一时钟信号 CK1 和第三时钟信号 CK3 以及第二时钟信号 CK2 和第四时钟信号 CK4 的信号替换。具体地，如图 1B 所示，在奇数级（在此，以第一级为例）的脉冲输出电路 101_1 中，对第一端子输入第一时钟信号 CK1，对第二端子输入第二时钟信号 CK2，对第三端子输入起始脉冲 SP（在第三级之后的奇数级中为前级信号 OUT_{N-1}），从第四端子输出输出信号 OUT_N。此外，如图 1C 所示，在偶数级（在此，以第二级为例）的脉冲输出电路 101_2 中，对第一端子输入第三时钟信号 CK3，对第二端子输入第四时钟信号 CK4，对第三端子输入前级信号 OUT₁（在第四级之后的奇数级中为前级信号 OUT_{N-1}），从第四端子输出输出信号 OUT₂。注意，第一时钟信号 CK1 和第三时钟信号 CK3 以及第二时钟信号 CK2 和第四时钟信号 CK4 是以一定间隔反复 H 信号（高电源电位电平，也称为 H 电平）和 L 信号（低电源电位电平，也称为 L 电平）的信号。

[0089] 接着，参照图 1D 说明脉冲输出电路的电路结构的一个例子。此外，在图 1D 中作为一个例子说明奇数级的脉冲输出电路的结构。另外，奇数级和偶数级的脉冲输出电路的互不相同，即如上所述，第一时钟信号 CK1 和第三时钟信号 CK3，第二时钟信号 CK2 和第四时钟信号 CK4 这样输入的信号是替换的。

[0090] 脉冲输出电路包括第一晶体管 111 至第五晶体管 115 以及控制电路 131。此外，在图 1D 中，除了输入到第一端子至第四端子的信号之外，还示出从第一电源线 141 供给的高电源电位 VDD 和从第二电源线 142 供给的低电源电位 VSS。注意，在图 1D 中，将对第一端子输入第一时钟信号 CK1 的布线称为第一信号线 151，将对第二端子输入第二时钟信号 CK2 的布线称为第二信号线 152，将对第三端子输入前级信号 OUT_{N-1} 的布线称为第三信号线 153，对第四端子输出输出信号 OUT_N 的布线称为第四信号线 154。在进行说明时，如图 1D 所示，将第一晶体管 111 的栅极、第二晶体管 112 的第二端子、第三晶体管 113 的第二端子以及第五晶体管 115 的第一端子的连接部分记为节点 A (node A)。此外，将第四晶体管 114 的栅极以及第五晶体管 115 的栅极的连接部分记为节点 B (node B)。

[0091] 在第一晶体管 111 中，第一端子连接到第一信号线 151，第二端子连接到第四晶体管 114 的第一端子及第四信号线 154，栅极连接到节点 A。在第二晶体管 112 中，第一端子连接到第二晶体管 112 的栅极、第三晶体管 113 的第一端子及第三信号线 153，第二端子连接到节点 A，栅极连接到第二晶体管 112 的第一端子、第三晶体管 113 的第一端子及第三信号线 153。在第三晶体管 113 中，第一端子连接到第二晶体管 112 的栅极、第二晶体管 112

的第一端子及第三信号线 153, 第二端子连接到节点 A, 栅极连接到第二信号线 152。在第四晶体管 114 中, 第一端子连接到第一晶体管 111 的第二端子及第四信号线 154, 第二端子连接到第二电源线 142, 栅极连接到节点 B。在第五晶体管 115 中, 第一端子连接到节点 A, 第二端子连接到第二电源线 142, 栅极连接到节点 B。控制电路 131 是具有根据节点 A 的电位控制节点 B 的电位的高低的功能的电路, 并且其连接到节点 A、第一电源线 141、第二电源线 142、节点 B。

[0092] 另外, 也可以在第一晶体管 111 的栅极和第二端子之间另外设置用来通过使第一晶体管 111 的栅极成为浮动状态来进行自举 (bootstrap) 工作的电容元件。如果能够利用第一晶体管 111 的栅极和第二端子之间的寄生电容进行自举工作, 则可以去除电容元件。

[0093] 注意, 电压多指与接地电位之间的电位差。因此, 可以代替表示电压、电位、电位差。

[0094] 另外, 第一晶体管 111 至第五晶体管 115 优选具有相同极性, 在很多情况下采用 N 沟道型。但是, 不局限于此, 第一晶体管 111 至第五晶体管 115 也可以是 P 沟道型。

[0095] 在此, 在对本实施方式所述的电路工作进行详细说明之前, 作为比较例子说明之前示出的专利文献 1 所记载的电路结构的工作, 并且对本实施方式所述的结构的优点进行详细说明。注意, 图 28 至图 32 所说明的比较例子是与图 1A 至 1D 所示的结构进行比较的例子, 而不是与本说明书所公开的所有结构进行比较的例子。

[0096] 图 28A 示出构成专利文献 1 的图 5 以及图 6 所说明的移位寄存器的晶体管 M1 至 M8。专利文献 1 所记载的电路结构可以如图 28B 所示那样地根据时序图缩短栅极驱动器的输出信号 OUT_N 的下降时间。接着, 在图 28B 中, 将整个期间分割为第一期间 T1、第二期间 T2、第三期间 T3、第四期间 T4、第五期间 T5 来说明各晶体管的导通或截止及各布线中的电位。将各布线的电位简略地记为“H”(基于高电源电位的信号, H 信号)、“L”(基于低电源电位的信号, L 信号)来进行说明。图 28C 与专利文献 1 的图 8 同样, 具体地示出时钟信号 CK 和输出信号 OUT_N 的波形。由于图 28A 至 28C 的记载与专利文献 1 的图 6 至图 8 的记载相同, 对于其详细说明援用专利文献 1。图 28A 的虚线 280 所围绕的区域的晶体管 M3、M5、M8 相当于具有根据节点 A (node A) 的电位控制节点 B (node B) 的电位的高低的功能的控制电路, 并控制晶体管 M4 的导通或非导通。该控制电路是具有与本实施方式 1 的图 1 所说明的控制电路 131 相同的功能的电路。

[0097] 在第一期间 T1 中, 首先在图 29A 中将前半工作表示为期间 T1-1。注意, 这里所说的“前半”是指因对第一期间 T1 供给预定的电位而产生的过渡期。首先, 前级信号 OUT_N-1 成为 H 信号, 时钟信号 CK 成为 L 信号, 用来复位的信号 OUT_N+2 (以下称为复位信号) 成为 L 信号。其结果是, 节点 A 成为低电源电位 VSS 加对应于阈值电压的电压的值 ($V_{SS}+V_{th}$), 并且如附图所示, 晶体管 M1、M3 导通 (附图中的没有附图标记的晶体管)。此外, 如图 29A 所示, 其他晶体管 M5、M7、M8 导通, 并且晶体管 M2、M4、M6 变成非导通 (附图中的附图标记为 X 的晶体管)。而且, 电流如图 29A 中的虚线箭头那样流过。接着, 在图 29B 中作为第一期间 T1 的后半工作, 示出期间 T1-2。注意, 这里所说的“后半”是指因对第一期间 T1 供给预定的电位而经过过渡期之后成为稳定状态的期间。通过使电流如图 29A 所示那样地流过, 节点 A 的电位上升到从高电源电位 VDD 减去对应于阈值电压的电压的值 ($V_{DD}-V_{th}$), 而如图 29B 所示, 晶体管 M7 变成非导通。此时, 节点 A 成为浮动状态。而且, 第一期间 T1 中

的各布线的电位确定为如图 28B 那样的状态。

[0098] 另外,在图 28B 中,如图 28C 所示那样简单地示出成为前级信号 OUT_{N-1} 的其他级的输出信号 OUT_N 迟于时钟信号 CK 的上升的波形。前级信号 OUT_{N-1} 的延迟反映于节点 A 的电位的上升、节点 B 的电位的下降。这是由于连接到晶体管 M1 的后级的布线等的负荷增大而将晶体管的尺寸设计得较大的缘故。由此,晶体管 M1 的栅极电容增大,并且当晶体管 M1 切换为导通状态或非导通状态时,对晶体管 M1 的栅极进行电荷充电或放电所需的时间变长而该现象呈现为信号的上升或下降的延迟(图 28B 中的双点虚线 281)。但是,在第一期间 T1 中不容易产生因该信号的上升或下降的延迟而引起的电路的错误工作。

[0099] 接着,在第二期间 T2 中,时钟信号 CK 成为 H 信号,前级信号 OUT_{N-1} 及复位信号 OUT_{N+2} 成为 L 信号。其结果是,输出信号 OUT_N 的电位上升,因自举工作而成为浮动状态的节点 A 的电位上升,电流如图 30A 中的虚线箭头那样地流过,并且输出信号 OUT_N 可以输出 H 信号。

[0100] 接着,在第三期间 T3 中,时钟信号 CK、前级信号 OUT_{N-1} 及复位信号 OUT_{N+2} 成为 L 信号。此时,由于节点 A 的电位因第二期间 T2 中的自举工作而成为高于 (VDD+V_{th}) 的值,因此晶体管 M1 维持导通状态。而且,通过如图 30B 中的虚线箭头那样使电流从输出处于 H 电平的输出信号 OUT_N 的端子流过,输出信号 OUT_N 降低到 L 电平。这样,由于晶体管 M1 的寄生电容所引起的电容耦合,节点 A 的电位降低到 (VDD-V_{th}) 附近。像这样,输出信号 OUT_N 成为 L 电平。在第三期间 T3 中,通过将节点 A 的电位维持在较高的值,使晶体管 M1 维持导通状态。在第三期间 T3 中,通过使晶体管 M1 成为导通状态,可以将 L 电平的时钟信号 CK 通过晶体管 M1 供给到输出信号 OUT_N。由于晶体管 M1 的沟道宽度用于驱动栅极线,所以其宽度大于其他晶体管的沟道宽度,因此可以流过较多的电流从而可以缩短输出信号 OUT_N 的下降时间。

[0101] 接着,在第四期间 T4 中,首先在图 31A 中使用期间 T4-1 对刚从第三期间 T3 成为第四期间 T4 之后的各布线及晶体管的导通、非导通的状态进行说明。在期间 T4-1 中,时钟信号 CK 成为 H 信号,前级信号 OUT_{N-1} 成为 L 信号。此时,复位信号 OUT_{N+2} 成为 H 信号,但是与上述的前级信号 OUT_{N-1} 同样地出现信号的上升或下降的延迟现象(参照图 28B 中的双点虚线 282)。因此,如图 28C 所示,由于成为复位信号 OUT_{N+2} 的其他级的输出信号 OUT_N 迟于时钟信号 CK 的上升,因此在期间 T4-1 的短期间中复位信号 OUT_{N+2} 用作 L 信号,时钟信号用作 H 信号。其结果是,电流通过晶体管 M1 如图 31A 中的虚线箭头那样地流过,而不能将输出信号 OUT_N 的电位保持为 L 电平并呈现为如图 28B 中的双点虚线 283 所示的杂波。另外,在期间 T4-1 之后,如图 31B 所示,在期间 T4-2 中由于复位信号 OUT_{N+2} 成为 H 信号,晶体管 M2、M4、M6 成为导通状态,电流如图 31A 中的虚线箭头那样地流过,节点 A 的电荷被放电,并且输出信号 OUT_N 的电位变为 L 电平。

[0102] 使用图 32 说明其次的第五期间 T5。在第五期间 T5 中,时钟信号 CK 成为 H 信号或 L 信号。前级信号 OUT_{N-1} 及复位信号 OUT_{N+2} 成为 L 信号。此时,因为节点 A 的电荷被放电,所以晶体管 M3 成为非导通状态,并且晶体管 M2、M4 成为导通状态。而且,通过使电流如图 32 中的虚线箭头那样地流过,将输出信号 OUT_N 的电位保持为 L 电平。

[0103] 如上所述,在现有技术(专利文献 1)中,由于在期间 T4-1 中在晶体管 M1 处于导通状态的期间中有时时钟信号 CK 成为 H 电平,因此有时非意图性的输出信号 OUT_N 会被供

给到栅极线等。其结果有可能导致显示不良。

[0104] 接着,参照图 2 说明可用于本实施方式的半导体装置的基本电路,并且对通过与现有结构的图 28 至图 32 所记载的电路进行比较而得出的优点等进行详细说明。本实施方式所公开的结构可以使输出信号 OUT_N 的信号的下落时间变快并提供防止输出信号 OUT_N 的电位上升的栅极驱动器。

[0105] 接着,在图 2A 的电路中着重示出图 1 所说明的布线、晶体管中的第一晶体管 111、第二晶体管 112 及第三晶体管 113 的三个晶体管以及第一信号线 151 至第四信号线 154。另外,图 2A 的电路的各晶体管中的端子之间的连接与图 1D 相同,所以省略其详细说明。此外,为了参照图 2A 所示的电路具体地说明用作驱动电路的移位寄存器的半导体装置的工作,将整个期间分割为图 2B 的时序图中所示的第一期间 T1、第二期间 T2、第三期间 T3、第四期间 T4 来进行说明。注意,在下面的说明中,第一晶体管 111 至第三晶体管 113 是 N 沟道型的晶体管,并且其在栅极和源极之间的电压 (V_{gs}) 超过阈值电压 (V_{th}) 时变为导通状态。此外,在图 2B 所示的时序图中示出第一时钟信号 CK1、第三时钟信号 CK3、第二时钟信号 CK2、第四时钟信号 CK4、前级信号 OUT_N-1、节点 A 及输出信号 OUT_N 的波形的具体例子。此外,除了节点 A 之外,各信号的高电源电位电平及低电源电位电平分别为 VDD 及 VSS。

[0106] 注意,如图 2B 所示,第一时钟信号 CK1 和第三时钟信号 CK3 以及第二时钟信号 CK2 和第四时钟信号 CK4 是具有不同的占空比的信号。例如,如图 2B 所示,第一时钟信号 CK1 及第三时钟信号 CK3 是占空比为 50% 的时钟信号,第二时钟信号 CK2 及第四时钟信号 CK4 是占空比低于 50% 的时钟信号。

[0107] 在第一期间 T1 中,首先在图 3A 中将前半工作表示为期间 T1-1。注意,这里所说的“前半”是指在第一期间 T1 中被供给到各信号线的预定电位中的第二时钟信号 CK2 成为 H 信号之前的期间。在期间 T1-1 中,前级信号 OUT_N-1 成为 H 信号,第一时钟信号 CK1 成为 L 信号,第二时钟信号 CK2 成为 L 信号。其结果是,节点 A 成为低电源电位 VSS 加阈值电压的电压的值 ($V_{SS}+V_{th}$),并且如图示那样,第一晶体管 111、第二晶体管 112 导通,第三晶体管 113 变为非导通。并且,电流如图 3A 中的虚线箭头那样地流过。而且,当节点 A 的值从 ($V_{SS}+V_{th}$) 上升到 ($V_{DD}-V_{th}$) 时第一晶体管 111 变为非导通。接着,图 3B 示出期间 T1-2 作为第一期间 T1 的后半工作。注意,这里所说的“后半”是指在第一期间 T1 中被供给到各信号线的预定电位中的第二时钟信号成为 H 信号或在成为 H 信号之后成为 L 信号的期间。在期间 T1-2 中,前级信号 OUT_N-1 成为 H 信号,第一时钟信号 CK1 成为 L 信号,第二时钟信号 CK2 成为 H 信号(之后变为 L 信号)。而且,节点 A 的值并不从 ($V_{DD}-V_{th}$) 变化,并且如图示那样,第一晶体管 111 导通,第二晶体管 112 变为非导通,第三晶体管 113 变为导通或非导通。而且,电流如图 3B 中的虚线箭头那样地流过。

[0108] 另外,在图 4 中示出一个例子来说明第一期间 T1 中的期间 T1-1 及期间 T1-2。如图 4 所图示,以第一期间 T1 中的第二时钟信号 CK2 从 L 信号切换为 H 信号的期间为期间 T1-1,在其之后的期间为期间 T1-2。注意,至于期间 T1-2,虽然在图 2B 所示的例子中采用 H 信号和 L 信号切换的结构,但是也可以采用保持 H 信号的结构。另外,如图示那样,优选将期间 T1-1 设定为比前级信号 OUT_N-1 从 L 信号切换为 H 信号的期间 t_1 长。

[0109] 另外,在图 2B 中与如图 28B 同样地简单地示出成为前级信号 OUT_N-1 的其他级的输出信号 OUT_N 迟于第一时钟信号 CK1 的上升的波形。对于该波形的延迟的说明与图 28B

同样。

[0110] 接着,在第二期间 T2 中,第一时钟信号 CK1 成为 H 信号,前级信号的 OUT_{N-1} 及第二时钟信号 CK2 成为 L 信号。其结果是,输出信号 OUT_N 的电位上升,并且因自举工作而成为浮动状态的节点 A 的电位上升,电流如图 3C 中的虚线箭头那样地流过,且输出信号 OUT_N 输出 H 信号。

[0111] 接着,至于第三期间 T3,使用图 5A 的期间 T3-1 对第三期间 T3 的前半工作进行说明。注意,这里所说的“前半”是指在第三期间 T3 中被供给到各信号线的预定电位中的第二时钟信号 CK2 成为 H 信号之前的期间。在期间 T3-1 中,第一时钟信号 CK1、前级信号 OUT_{N-1} 及第二时钟信号 CK2 成为 L 信号。此时,由于节点 A 的电位通过第二期间 T2 中的自举工作成为比 (VDD+V_{th}) 高的值,因此第一晶体管 111 维持导通状态。而且,通过使电流从输出处于 H 电平的输出信号 OUT_N 的端子如图 5A 中的虚线箭头那样地流过,输出信号 OUT_N 降低到 L 电平。这样,由于第一晶体管 111 的寄生电容所引起的电容耦合,节点 A 的电位降低到 (VDD-V_{th}) 附近。像这样,输出信号 OUT_N 成为 L 电平。在第三期间 T3 的期间 T3-1 中,通过将节点 A 的电位维持在较高的值,使第一晶体管 111 保持导通状态。在第三期间 T3 的期间 T3-1 中使第一晶体管 111 保持导通状态,从而可以通过过第一晶体管 111 将输出信号 OUT_N 供给到 L 电平的第一时钟信号 CK1。由于第一晶体管 111 的沟道宽度用于驱动栅极线,所以其宽度大于其他晶体管的沟道宽度,因此可以流过较多的电流从而可以缩短输出信号 OUT_N 的下降时间。接着,图 5B 示出期间 T3-2 作为第三期间 T3 的后半工作。注意,这里所说的“后半”是指在第三期间 T3 中被供给到各信号线的预定电位中,第二时钟信号 CK2 成为 H 信号或在成为 H 信号之后成为 L 信号的期间。在期间 T3-2 中,前级信号 OUT_{N-1} 成为 L 信号,第一时钟信号 CK1 成为 L 信号,第二时钟信号 CK2 成为 H 信号(之后变为 L 信号)。而且,电流如图 5B 中的虚线箭头那样地流过,并且第二晶体管 112 变为非导通,第三晶体管 113 变为导通,而节点 A 的电位为 L 电平。

[0112] 另外,对于第三期间 T3 中的期间 T3-1 及期间 T3-2,在图 6 中示出一个例子而进行说明。如图 6 所示,以第三期间 T3 中的第二时钟 CK2 从 L 信号切换为 H 信号的期间为 T3-1,在其之后的期间为期间 T3-2。注意,至于期间 T3-2,虽然在图 2B 所示的例子中采用 H 信号和 L 信号切换的结构,但是也可以采用保持 H 信号的结构(图 6 中的 CK2-1)。此外,期间 T3-2 的 H 信号也可以在经过第三期间 T3 之后保持 H 信号(图 6 中的 CK2-2)。另外,优选与期间 T1-1 同样地将期间 T3-1 设定为比输出信号 OUT_{N+1}(未图示)从 L 信号切换为 H 信号的期间长。也就是说,优选将在第一信号 CK1 从 H 信号切换为 L 信号之后至第二时钟信号 CK2 从 L 信号切换为 H 信号的期间(图 6 中的期间 T3-1)、设定为比输出信号 OUT_{N+1} 从 L 信号切换为 H 信号的期间长。

[0113] 接着,在第四期间 T4 中,首先在图 7A 中使用期间 T4-1 对第四期间 T4 中第二时钟信号 CK2 成为 L 信号时的期间中的各布线及晶体管的导通、非导通的状态进行说明。在期间 T4-1 中,前级信号 OUT_{N-1} 成为 L 信号,并且第一时钟信号 CK1 交替成为 H 信号或 L 信号。此时,由于节点 A 的电位因第三期间 T3 中的工作而成为 L 信号的电位,因此第一晶体管 111 保持非导通状态。像这样,输出信号 OUT_N 成为 L 电平。图 7B 示出期间 T4-2 作为第四期间 T4 的后半工作。注意,这里所说的“后半”是指在第四期间 T4 中第二时钟信号 CK2 成为 H 信号的期间。在期间 T4-2 中,前级信号 OUT_{N-1} 成为 L 信号,且第一时钟信号 CK1 成为 L

信号。此外,在期间 T4-2 中,由于第二时钟信号 CK2 成为 H 信号,因此第三晶体管 113 成为导通状态,第一晶体管 111 及第二晶体管 112 成为非导通状态。其结果是,电流如图 7B 中的虚线箭头那样地流过。而且,第二晶体管 112 变为非导通,第三晶体管 113 变为导通,而节点 A 的电位为 L 电平。

[0114] 如上所述,通过采用本实施方式的结构图 1 的结构,可以在第三期间 T3 的期间 T3-1 中,通过将第二时钟信号 CK2 设定为 L 电平之后再设定为 H 电平,可以将 L 电平的时钟信号 CK1 通过第一晶体管 111 输出,并缩短输出信号 OUT_N 的信号的下陷时间。此外,因为通过在第三期间 T3 的期间 T3-2 中,在将第二时钟信号 CK2 设定为 L 电平之后再设定为 H 电平,可以在第一时钟信号 CK1 再次成为 H 电平之前使第一晶体管 111 成为非导通状态,所以可以防止 H 电平的第一时钟信号 CK1 通过第一晶体管 111 输出。由此,可以缩短输出信号 OUT_N 的下陷时间并防止输出信号 OUT_N 的电位上升。

[0115] 另外,图 8A 示出与图 2A 所示的奇数级的脉冲输出电路的结构不同的结构。图 8A 所示的结构与图 2A 所示的结构的不同之处在于,第三晶体管 113 的第一端子连接到被供给低电源电位 VSS 的第二电源线 142。图 8B 示出另一结构。图 8B 所示的结构与图 2A 所示的结构的不同之处在于,第三晶体管 113 的第一端子连接到被供给第一时钟信号 CK1 的第一信号线 151。图 8C 示出又一结构。图 8C 所示的结构与图 2A 所示的结构的不同之处在于,第三晶体管 113 的第一端子连接到被供给第四时钟信号 CK4 的第一信号线 155(也称为第五信号线)。通过采用图 8A 至 8C 的结构,可以防止输入到第三晶体管 113 的栅极的信号传送到输入到第三信号线 153 的前级信号 OUT_N-1。例如,在图 2A 中,第三晶体管 113 的栅极和第三信号线 153 之间存在寄生电容。由于该寄生电容导致第二时钟信号 CK2 传送到第三信号线 153 的电位。图 8A 至 8C 的结构可以防止该寄生电容所引起的信号的传送。此外,由于当采用图 8B 至 8C 的结构时,对第三晶体管 113 的第一端子或第二端子输入第一时钟信号 CK1 或第四时钟信号 CK4,因此可以施加与第三晶体管 113 成为导通状态时的电压相反的反偏置电压。因此,可以缓和因使第三晶体管 113 处于导通状态时电子被捕获而产生的晶体管退化。

[0116] 另外,图 9A 示出与图 2A、图 8A 至 8C 所示的奇数级的脉冲输出电路的结构不同的结构,具体地,示出使用二极管元件替换第三晶体管 113 的结构。图 9A 所示的结构与图 2A 所示的结构的不同之处在于设置二极管元件 413 替代第三晶体管 113,二极管元件 413 的第一端子连接到被供给第二时钟信号 CK2 的第二信号线 152,二极管元件 413 的第二端子连接到节点 A。此外,图 9B 示出另一结构。图 9B 所示的结构与图 2A 所示的结构的不同之处在于,设置二极管连接的第三晶体管 513 替代第三晶体管 113,第三晶体管 513 的第一端子连接到被供给第二时钟信号 CK2 的第二信号线 152,第三晶体管 513 的栅极及第二端子连接到节点 A。在图 9B 的电路结构中,优选如图 9C 所示那样使第二时钟信号 CK2 的占空比为 50% 以上,即 H 电平的期间比 L 电平的期间长。在图 9A 及 9B 的结构中,可以减少控制晶体管的栅极电位的布线。另外,由于在图 9B 的结构中可以施加与晶体管 513 成为导通状态时的电压相反的反偏置电压,所以可以缓和因使晶体管 513 处于导通状态时电子被捕获而产生的晶体管退化。

[0117] 另外,作为奇数级的脉冲输出电路的结构,如图 10A 所示,也可以采用对连接到第二晶体管 112 的第一端子的信号线 156(也称为第五信号线)供给高电源电位 VDD、第三时

钟信号 CK3 或第二时钟信号 CK2 的结构。图 10A 所示的结构与图 2A 所示的结构的不同之处在于,用来供给高电源电位 VDD、第三时钟信号 CK3 或第二时钟信号 CK2 的信号线 156 连接到第二晶体管 112 的第一端子。此外,作为奇数级的脉冲输出电路的结构,如图 10B 所示,也可以采用对连接到第二晶体管 112 的栅极的信号线 157(也称为第六信号线)供给第三时钟信号 CK3 或第二时钟信号 CK2 的结构。图 10B 所示的结构与图 2A 所示的结构的不同之处在于,用来供给第三时钟信号 CK3 或第二时钟信号 CK2 的信号线 157 连接到第二晶体管 112 的栅极。此外,由于在图 10A 及 10B 的结构中可以施加与晶体管 112 成为导通状态时的电压相反的反偏置电压,所以可以缓和因使晶体管 112 处于导通状态时电子被捕获而晶体管退化的情况。此外,在图 10B 的结构中,晶体管 112 根据第三时钟信号 CK3 或第二时钟信号 CK2 反复导通状态和非导通状态。由此,可以每隔一定时间对节点 A 供给前级信号 OUT_{N-1}。其结果可以使节点 A 的电位保持稳定的值。

[0118] 如上所述,本实施方式的半导体装置可以减少输入信号所引起的错误工作,从而可以减少显示不良。因此,不需要设置用来减少电路的错误工作的校正电路等,从而可以获得显示质量的提高、显示装置的小型化、低成本化、窄边框化等的间接效果。

[0119] 注意,在本实施方式中,各附图所描述的内容可以适当地与其他实施方式所描述的内容进行自由的应用、组合或置换等。

[0120] 实施方式 2

[0121] 在本实施方式中,具体地说明半导体装置的一个例子。本实施方式的半导体装置对实施方式 1 的半导体装置的、具体而言为图 1D 的结构进行更具体地说明。本实施方式的半导体装置可以用于触发器、移位寄存器、栅极驱动器、源极驱动器或显示装置等。注意,本实施方式的半导体装置可以表示为触发器或驱动电路。

[0122] 首先,参照图 11A 说明本实施方式的半导体装置的一个例子。图 11A 的半导体装置与图 1D 相同,而图 11B 的时序图与图 2B 相同,所以其详细说明援用实施方式 1 的记载。

[0123] 在第一期间 T1 中,首先在图 12A 中将前半工作表示为期间 T1-1。注意,这里所说的“前半”是指在第一期间 T1 中供给到的各信号线的预定的电位中的第二时钟信号 CK2 成为 H 信号之前的期间。在期间 T1-1 中,前级信号 OUT_{N-1} 成为 H 信号,第一时钟信号 CK1 成为 L 信号,第二时钟信号 CK2 成为 L 信号。其结果是,节点 A 成为低电源电位 VSS 加对应于阈值电压的电压的值 (VSS+V_{th}),并且如图所示,第一晶体管 111、第二晶体管 112 导通,第三晶体管 113 变为非导通。而且,电流如图 12A 中的虚线箭头那样地电流通过第一晶体管 111 流过。然后,当节点 A 的值从 (VSS+V_{th}) 上升而成为到 (VDD-V_{th}) 时,第一晶体管 111 成为非导通。此外,当节点 A 的电位上升到 (VDD-V_{th}) 时,控制电路 131 控制节点 B 的电位以使其下降,并且第四晶体管 114 及第五晶体管 115 成为非导通状态。接着,图 12B 示出期间 T1-2 作为第一期间 T1 的后半工作。注意,这里所说的“后半”是指在第一期间 T1 中被供给到各信号线的预定电位中的第二时钟信号成为 H 信号或在成为 H 信号之后成为 L 信号的期间。在期间 T1-2 中,前级信号 OUT_{N-1} 成为 H 信号,第一时钟信号 CK1 成为 L 信号,第二时钟信号 CK2 成为 H 信号(之后变为 L 信号)。而且,节点 A 的值不从 (VDD-V_{th}) 变化,并且如图示那样,第一晶体管 111 导通,第二晶体管 112、第四晶体管 114 及第五晶体管 115 变为非导通,第三晶体管 113 变为导通或非导通。而且,电流如图 12B 中的虚线箭头那样地流过。

[0124] 接着,在第二期间 T2 中,第一时钟信号成为 H 信号,前级信号 OUT_{N-1} 及复位信号 OUT_{N+2} 成为 L 信号。其结果是,输出信号 OUT_N 的电位上升,因自举工作而成为浮动状态的节点 A 的电位上升,电流如图 13 中的虚线箭头那样地流过,且输出信号 OUT_N 输出 H 信号。此外,与之前的期间同样地,当节点 A 的电位比 (VDD-V_{th}) 高时,控制电路 131 控制节点 B 的电位以使其下降,并且第四晶体管 114 及第五晶体管 115 成为非导通状态。

[0125] 接着,至于第三期间 T3,图 14A 说明前半工作作为期间 T3-1。注意,这里所说的“前半”是指在第三期间 T3 中被供给到各信号线的预定电位中的第二时钟信号 CK2 成为 H 信号之前的期间。在期间 T3-1 中,第一时钟信号 CK1、前级信号 OUT_{N-1} 及第二时钟信号成为 L 信号。此时,由于节点 A 的电位通过第二期间 T2 中的自举工作成为比 (VDD+V_{th}) 高的电位,因此第一晶体管 111 维持导通状态。此外,与之前的期间同样地,当节点 A 的电位比 (VDD+V_{th}) 高时,控制电路 131 控制节点 B 的电位以使其下降,并且第四晶体管 114 及第五晶体管 115 成为非导通状态。而且,通过使电流从输出处于 H 电平的输出信号 OUT_N 的端子如图 14B 中的虚线箭头那样地电流流过,输出信号 OUT_N 降低到 L 电平。这样,由于第一晶体管 111 的寄生电容所引起的电容耦合而节点 A 的电位降低到 (VDD-V_{th}) 附近。像这样,输出信号 OUT_N 成为 L 电平。在第三期间 T3 的期间 T3-1 中,通过将节点 A 的电位维持在较高的值,使第一晶体管 111 保持导通状态。在第三期间 T3 的期间 T3-1 中使第一晶体管 111 保持导通状态,从而可以通过第一晶体管 111 将 L 电平的第一时钟信号 CK1 供给到输出信号 OUT_N。由于第一晶体管 111 的沟道宽度用于驱动栅极线,所以其宽度比其他晶体管(第四晶体管 114、第五晶体管 115)的沟道宽度大,因此可以流过较多的电流且缩短输出信号 OUT_N 的下降时间。接着,图 14B 示出期间 T3-2 作为第三期间 T3 的后半工作。注意,这里所说的“后半”是指在第三期间 T3 中被供给到各信号线的预定电位中,第二时钟信号 CK2 成为 H 信号或在成为 H 信号之后成为 L 信号的期间的状态。在期间 T3-2 中,前级信号 OUT_{N-1} 成为 L 信号,第一时钟信号 CK1 成为 L 信号,第二时钟信号 CK2 成为 H 信号(之后变为 L 信号)。而且,电流如图 14B 中的虚线箭头那样地电流流过,并且第二晶体管 112 变为非导通,第三晶体管 113 变为导通而节点 A 的电位为 L 电平。当节点 A 的电位成为 L 电平时,控制电路 131 控制节点 B 的电位以使其上升,并且使第四晶体管 114 及第五晶体管 115 处于导通状态。

[0126] 接着,在第四期间 T4 中,首先在图 15A 中使用期间 T4-1 对第四期间 T4 中第二时钟信号 CK2 成为 L 信号时的期间中的各布线及晶体管的导通、非导通的状态进行说明。在期间 T4-1 中,前级信号 OUT_{N-1} 成为 L 信号,并且第一时钟信号 CK1 交替成为 H 信号或 L 信号的期间。此时,由于节点 A 的电位因第三期间 T3 中的工作而成为 L 信号的电位,因此第一晶体管 111 保持非导通状态,并且由控制电路 131 使第四晶体管 114 及第五晶体管 115 保持导通状态。像这样,输出信号 OUT_N 成为 L 电平。图 15B 示出期间 T4-2 作为第四期间 T4 的后半工作。注意,这里所说的“后半”是指在第四期间 T4 中第二时钟信号 CK2 成为 H 信号的期间。在期间 T4-2 中,前级信号 OUT_{N-1} 成为 L 信号,且第一时钟信号 CK1 为 L 信号。此外,在期间 T4-2 中,由于第二时钟信号 CK2 成为 H 信号,因此第三晶体管 113 成为导通状态,第一晶体管 111 及第二晶体管 112 成为非导通状态。其结果是,电流如图 15B 中的虚线箭头那样地流过。而且,第二晶体管 112 成为非导通,第三晶体管 113 成为导通,而节点 A 的电位为 L 电平。而且,当节点 A 的电位成为 L 电平时,控制电路 131 控制节点 B 的电

位以使其上升,并且使第四晶体管 114 及第五晶体管 115 处于导通状态。

[0127] 如上所述,通过采用本实施方式的结构图 1 的结构,可以在第三期间 T3 的期间 T3-1 中,通过将第二时钟信号 CK2 设定为 L 电平之后再设定为 H 电平,以将 L 电平的第一时钟信号 CK1 通过第一晶体管 111 输出,并缩短输出信号 OUT_N 的信号的下陷时间。此外,因为通过在第三期间 T3 的期间 T3-2 中,在将第二时钟信号 CK2 设定为 L 电平之后再设定为 H 电平,可以在第一时钟信号 CK1 再次成为 H 电平之前使第一晶体管 111 成为非导通状态,所以可以防止第一时钟信号 CK1 通过第一晶体管 111 输出。由此,可以缩短输出信号 OUT_N 的下陷时间并防止输出信号 OUT_N 的电位上升。

[0128] 接着,在本实施方式中,对于图 11A 所示的控制电路 131 的具体电路结构进行举例说明。

[0129] 图 16A 所示的控制电路 131 如图 11A 所示地连接到节点 A、节点 B、被供给高电源电位的第一电源线 141 以及被供给低电源电位的第二电源线 142,并包括 n 沟道型晶体管 1601 及晶体管 1602。在晶体管 1601 中,连接到第一电源线 141 的第一端子连接到栅极。在晶体管 1602 中,栅极连接到节点 A,第二端子连接到第二电源线 142。晶体管 1601 的第二端子、晶体管 1602 的第一端子及节点 B 彼此连接。此外,图 16B 所示的其他结构的控制电路 131 连接到节点 A、节点 B、被供给高电源电位的第一电源线 141、被供给低电源电位的第二电源线 142,并包括 n 沟道型晶体管 1601、晶体管 1602、晶体管 1603 及晶体管 1604。在晶体管 1601 中,连接到第一电源线 141 的第一端子连接到栅极。在晶体管 1602 中,栅极连接到节点 A 及晶体管 1604 的栅极,第二端子连接到第二电源线 142。晶体管 1601 的第二端子、晶体管 1602 的第一端子及晶体管 1603 的栅极彼此连接。在晶体管 1603 中,第一端子连接到第一电源线 141。在晶体管 1604 中,第二端子连接到第二电源线 142。晶体管 1603 的第二端子、晶体管 1604 的第一端子及节点 B 彼此连接。

[0130] 此外,说明与图 16A 和 16B 不同的电路结构。与图 11A 不同,图 17A 所示的控制电路 131 连接到节点 A、节点 B、被供给高电源电位的第一电源线 141、被供给低电源电位的第二电源线 142、被供给第三时钟信号 CK3 的布线 1651 (也称为信号线),并包括 n 沟道型晶体管 1601、晶体管 1602 及晶体管 1605。在晶体管 1601 中,连接到第一电源线 141 的第一端子连接到栅极。在晶体管 1602 中,栅极连接到节点 A,第二端子连接到第二电源线 142。晶体管 1601 的第二端子、晶体管 1602 的第一端子、晶体管 1605 的第一端子及节点 B 彼此连接。在晶体管 1605 中,栅极连接到布线 1651,第二端子连接到第二电源线 142。此外,图 17B 所示的其他结构的控制电路 131 连接到节点 A、节点 B、被供给高电源电位的第一电源线 141、被供给低电源电位的第二电源线 142、被供给第三时钟信号 CK3 的布线 1651,并包括 n 沟道型晶体管 1601、晶体管 1602、晶体管 1603、晶体管 1604、晶体管 1605 及晶体管 1606。在晶体管 1601 中,连接到电源线 141 的第一端子连接到栅极。在晶体管 1602 中,栅极连接到节点 A 及晶体管 1604 的栅极,第二端子连接到第二电源线 142。晶体管 1601 的第二端子、晶体管 1602 的第一端子、晶体管 1605 的第一端子及晶体管 1603 的栅极彼此连接。在晶体管 1603 中,第一端子连接到第一电源线 141。在晶体管 1604 中,第二端子连接到第二电源线 142。在晶体管 1605 中,栅极连接到布线 1651 及晶体管 1606 的栅极,第二端子连接到第二电源线 142。晶体管 1603 的第二端子、晶体管 1604 的第一端子、晶体管 1606 的第一端子及节点 B 彼此连接。通过配置第三时钟信号 CK3 输入到栅极的晶体管 1605,可以在第四期间

T4 中使节点 B 的电位反复 H 电平和 L 电平。由此,可以减少晶体管 114 及晶体管 115 成为导通状态的期间并抑制晶体管的退化。

[0131] 此外,说明与图 16A、16B、图 17A、17B 不同的电路结构。图 17C 所示的控制电路 131 与图 11A 不同而连接到节点 A、节点 B、被供给第一时钟信号的布线 1651、被供给低电源电位的第二电源线 142,并包括电容元件 1611 及 n 沟道型晶体管 1612。在电容元件 1611 中,第一电极(也称为第一端子、一方电极)连接到布线 1651。在晶体管 1602 中,栅极连接到节点 A,第二端子连接到第二电源线 142。电容元件 1611 的第二电极(也称为第二端子、另一方电极)、晶体管 1602 的第一端子及节点 B 彼此连接。通过设置电容元件 1611,可以实现与设置晶体管时同样的工作并缩减恒定电流,从而可以谋求低耗电量化。

[0132] 此外,说明与图 16A、16B、图 17A、17B、17C 不同的电路结构。图 17D 所示的控制电路 131 与图 11A 不同而连接到节点 A、节点 B、被提供第一时钟信号的布线 1651、被提供低电源电位的第二电源线 142,并包括 n 沟道型晶体管 1601、晶体管 1602、晶体管 1603 及晶体管 1604。在晶体管 1601 中,连接到布线 1651 的第一端子连接到栅极。在晶体管 1602 中,栅极连接到节点 A 及晶体管 1604 的栅极,第二端子连接到第二电源线 142。晶体管 1601 的第二端子、晶体管 1602 的第一端子及晶体管 1603 的栅极彼此连接。在晶体管 1603 中,第一端子连接到布线 1651。在晶体管 1604 中,第二端子连接到第二电源线 142。晶体管 1603 的第二端子、晶体管 1604 的第一端子及节点 B 彼此连接。通过采用图 17D 的控制电路的结构,在第四期间 T4 中,节点 B 的电位可以反复 H 电平和 L 电平。从而,可以缩短晶体管 114 及晶体管 115 成为导通状态的期间,并可以抑制晶体管 114 及晶体管 115 的退化。此外,当节点 B 输出 H 信号时,可以增大晶体管 114 及晶体管 115 的栅极和源极之间的电压。由此,可以缩小晶体管 114 及晶体管 115 的沟道宽度或降低输出信号的延迟。

[0133] 如上所述,本实施方式的半导体装置可以与实施方式 1 同样地减少输入信号所引起的错误工作,从而可以减少显示不良。因此,不需要设置用来减少电路的错误工作的校正电路等,从而可以获得显示装置的小型化、低成本化、窄边框化等的间接效果。

[0134] 注意,在本实施方式中,各附图所描述的内容可以适当地与其他实施方式所描述的内容进行自由的应用、组合或置换等。

[0135] 实施方式 3

[0136] 在本实施方式中说明显示装置的一个例子。

[0137] 首先,参照图 18A 说明液晶显示装置的系统框图的一个例子。液晶显示装置包括电路 5361、电路 5362、电路 5363_1、电路 5363_2、像素部 5364、电路 5365 及照明装置 5366。在像素部 5364 中,配置有从电路 5362 延伸的多个布线 5371 以及从电路 5363_1 及电路 5363_2 延伸的多个布线 5372。而且,在多个布线 5371 和多个布线 5372 的交叉区中矩阵状地配置有分别具有液晶元件等的显示元件的像素 5367。

[0138] 电路 5361 具有根据视频信号 5360 对电路 5362、电路 5363_1、电路 5363_2 及电路 5365 供给信号、电压或电流等的功能,并可以用作控制器、控制电路、时序产生器、电源电路或调整器等。在本实施方式中,作为一个例子,电路 5361 对电路 5362 供给信号线驱动电路用起始信号(SSP)、信号线驱动电路用时钟信号(SCK)、信号线驱动电路用反相时钟信号(SCKB)、视频信号用数据(DATA)及锁存信号(LAT)。或者,作为一个例子,电路 5361 对电路 5363_1 及电路 5363_2 供给扫描线驱动电路用起始信号(GSP)、扫描线驱动电路用时钟信

号 (GCK) 及扫描线驱动电路用反相时钟信号 (GCKB)。或者, 电路 5361 对电路 5365 供给背光灯控制信号 (BLC)。但是不局限于此, 电路 5361 还可以对电路 5362、电路 5363_1、电路 5363_2 及电路 5365 供给各种信号、各种电压或各种电流等。

[0139] 电路 5362 具有根据从电路 5361 供给的信号 (例如, SSP、SCK、SCKB、DATA、LAT) 将视频信号输出到多个布线 5371 的功能, 并可以用作信号线驱动电路。电路 5363_1 及电路 5363_2 具有根据从电路 5361 供给的信号 (GSP、GCK、GCKB) 将扫描信号输出到多个布线 5372 的功能, 并可以用作扫描线驱动电路。电路 5365 具有通过根据从电路 5361 供给的信号 (BLC) 控制供给照明装置 5366 的电力量或时间等来控制照明装置 5366 的亮度 (或平均亮度) 的功能, 并可以用作电源电路。

[0140] 另外, 当对多个布线 5371 输入视频信号时, 多个布线 5371 可以用作信号线、视频信号线或源极线等。当对多个布线 5372 输入扫描信号时, 多个布线 5372 可以用作信号线、扫描线或栅极线等。但是, 不局限于此。

[0141] 另外, 当从电路 5361 对电路 5363_1 及电路 5363_2 输入相同的信号时, 在很多情况下电路 5363_1 对多个布线 5372 输出的扫描信号的时序和电路 5363_2 对多个布线 5373 输出的扫描信号的时序大致相同。因此, 可以减少电路 5363_1 及电路 5363_2 驱动的负荷。从而可以将显示装置形成得较大。或者, 可以实现显示装置的高精细化。或者, 因为可以缩小电路 5363_1 及电路 5363_2 所具有的晶体管的沟道宽度, 所以可以获得窄边框的显示装置。但是, 不局限于此, 电路 5361 可以对电路 5363_1 和电路 5363_2 供给不同的信号。

[0142] 另外, 可以省略电路 5363_1 和电路 5363_2 中的一方。

[0143] 此外, 在像素部 5364 中可以重新配置电容线、电源线、扫描线等的布线。而且, 电路 5361 可对这些布线输出信号或电压等。或者, 追加与电路 5363_1 或电路 5363_2 同样的电路, 并且该追加的电路可以对追加的布线输出扫描信号等的信号。

[0144] 另外, 像素 5367 可以包括用作显示元件的 EL 元件等的发光元件。在此情况下, 如图 18B 所示, 显示元件可以发射光, 所以可以省略电路 5365 及照明装置 5366。为了对显示元件供给电力, 可以在像素部 5364 配置可用作电源线的多个布线 5373。电路 5361 可以将称为电压 (ANO) 的电源电压供给到布线 5373。该布线 5373 可以分别按照像素的色彩单元连接或共同连接到所有像素。

[0145] 此外, 在图 18B 中, 作为一个例子示出电路 5361 对电路 5363_1 和电路 5363_2 分别供给不同的信号的情况。电路 5361 对电路 5363_1 供给扫描线驱动电路用起始信号 (GSP1)、扫描线驱动电路用时钟信号 (GCK1) 及扫描线驱动电路用反相时钟信号 (GCKB1) 等的信号。而且, 电路 5361 对电路 5363_2 供给扫描线驱动电路用起始信号 (GSP2)、扫描线驱动电路用时钟信号 (GCK2) 及扫描线驱动电路用反相时钟信号 (GCKB2) 等的信号。在此情况下, 电路 5363_1 可以只对多个布线 5372 中的奇数行的布线进行扫描, 电路 5363_2 可以只对多个布线 5372 中的偶数行的布线进行扫描。因此, 可以缩小电路 5363_1 及电路 5363_2 的驱动频率, 可以谋求减少耗电量。或者, 可以扩大可对一个级的触发器进行布局的面积。因此, 可以实现显示装置的高精细化。或者, 可以实现显示装置的大型化。但是, 不局限于此, 电路 5361 可以与图 18A 同样地对电路 5363_1 和电路 5363_2 输出相同的信号。

[0146] 另外, 与图 18B 同样, 在图 18A 中电路 5361 也可以对电路 5363_1 和电路 5363_2 供给不同的信号。

[0147] 以上,对显示装置的系统框图的一个例子进行了说明。

[0148] 接着,参照图 19A、19B、19C、19D 及 19E 说明显示装置的结构的一个例子。

[0149] 在图 19A 中,具有对像素部 5364 输出信号的功能的电路(例如,电路 5362、电路 5363_1 及电路 5363_2 等)形成在与像素部 5364 相同的基板 5380 上。而且,电路 5361 形成在与像素部 5364 不同的基板上。像这样,外部部件的个数减少,所以可以谋求降低成本。或者,输入到基板 5380 的信号或电压的个数减少,所以可以减少基板 5380 和外部部件之间的连接个数。由此,可以谋求可靠性的提高或成品率的提高。

[0150] 另外,当电路形成在与像素部 5364 不同的基板上时,该基板可以通过 TAB(Tape Automated Bonding:带式自动接合)方式安装到 FPC(Flexible Printed Circuit:柔性印刷电路)。或者,该基板可以通过 COG(Chip On Glass:玻璃覆晶封装)方式安装到与像素部 5364 相同的基板 5380。

[0151] 此外,当电路形成在与像素部 5364 不同的基板上时,在该基板上可以形成使用单晶半导体的晶体管。因此,形成在该基板上的电路可以获得以下优点:如驱动频率的提高、驱动电压的提高、输出信号的不均匀的减少等。

[0152] 另外,在很多情况下,从外围电路通过输入端子 5381 输入信号、电压或电流等。

[0153] 在图 19B 中,驱动频率低的电路(例如,电路 5363_1、电路 5363_2)形成在与像素部 5364 相同的基板 5380 上。而且,电路 5361 及电路 5362 形成在与像素部 5364 不同的基板上。像这样,可以利用迁移率低的晶体管构成形成在基板 5380 上的电路。因此,作为晶体管的半导体层,可以使用非单晶半导体、非晶半导体、微晶半导体、有机半导体或氧化物半导体等。由此,可以谋求显示装置的大型化、工序数的缩减、成本的减少或成品率的提高。

[0154] 另外,如图 19C 所示,电路 5362 的一部分(电路 5362a)可以形成在与像素部 5364 相同的基板 5380 上,并且电路 5362 的其他部分(电路 5362b)可以形成在与像素部 5364 不同的基板上。在很多情况下,电路 5362a 包括可以由迁移率低的晶体管构成的电路(例如,移位寄存器、选择器、开关等)。而且,在很多情况下,电路 5362b 包括优选由迁移率高且特性不均匀少的晶体管构成的电路(例如,移位寄存器、锁存电路、缓冲电路、DA 转换电路、AD 转换电路等)。通过上述步骤,可以与图 19B 同样地将非单晶半导体、非晶半导体、微晶半导体、有机半导体或氧化物半导体等用作晶体管的半导体层。再者,还可以缩减外部部件。

[0155] 在图 19D 中,用来对像素部 5364 输出信号的电路(例如,电路 5362、电路 5363_1 及电路 5363_2 等)及用来控制这些电路的电路(例如,电路 5361)形成在与像素部 5364 不同的基板上。像这样,可以将像素部和其外围电路分别形成在不同的基板上,从而可以谋求成品率的提高。

[0156] 另外,与图 19D 同样,在图 19A 至 19C 中也可以将电路 5361_1 及电路 5362_2 形成在与像素部 5364 不同的基板上。

[0157] 在图 19E 中,电路 5361 的一部分(电路 5361a)形成在与像素部 5364 相同的基板 5380 上,并且电路 5361 的其他部分(电路 5361b)可以形成在与像素部 5364 不同的基板上。在很多情况下,电路 5361a 包括可以由迁移率低的晶体管构成的电路(例如,开关、选择器、电平转移电路等)。而且,在很多情况下,电路 5361b 包括优选由迁移率高且特性不均匀少的晶体管构成的电路(例如,移位寄存器、时序产生器、振荡器、调整器或模拟缓冲器等)。

[0158] 另外,在图 19A 至 19D 中也可以将电路 5361a 形成在与像素部 5364 相同的基板上,

并将电路 5361b 形成在与像素部 5364 不同的基板上。

[0159] 在此,作为电路 5363_1 及电路 5363_2,可以使用实施方式 1 或实施方式 2 的半导体装置或移位寄存器。在此情况下,通过在相同的基板上形成电路 5363_1、电路 5363_2 及像素部,可以使形成在该基板上的所有晶体管的极性为 N 沟道型或 P 沟道型。因此,可以谋求工序数的缩减、成品率的提高、可靠性的提高或成本的削减。特别是,在所有晶体管的极性为 N 沟道型时,作为晶体管的半导体层,可以使用非单晶半导体、非晶半导体、微晶半导体、有机半导体或氧化物半导体等。由此,可以谋求显示装置的大型化、成本的减少或成品率的提高等。

[0160] 或者,实施方式 1 或实施方式 2 的半导体装置或移位寄存器可以缩小晶体管的沟道宽度。因此,可以缩小布局面积,从而可以缩小边框。或者,可以缩小布局面积,从而可以提高分辨率。

[0161] 或者,实施方式 1 或实施方式 2 的半导体装置或移位寄存器可以缩小寄生电容。因此可以减少耗电量。或者,可以缩小外围电路的电流能力。或者,可以缩小外围电路的尺寸或包括该外围电路的显示装置的尺寸。

[0162] 注意,在很多情况下,将非单晶半导体、非晶半导体、微晶半导体、有机半导体或氧化物半导体等用作半导体层的晶体管出现如阈值电压的增加或迁移率的降低等的特性退化。但是,由于实施方式 1 或实施方式 2 的半导体装置或移位寄存器可以抑制晶体管的特性退化,因此可以延长显示装置的使用寿命。

[0163] 另外,可以将实施方式 1 或实施方式 2 的半导体装置或移位寄存器用作电路 5362 的一部分。例如,电路 5362a 可以具有实施方式 1 或实施方式 2 的半导体装置或移位寄存器。

[0164] 实施方式 4

[0165] 在本实施方式中对信号线驱动电路的一个例子进行说明。注意,可以将信号线驱动电路表示为半导体装置或信号生成电路。

[0166] 参照图 20A 对信号线驱动电路的一个例子进行说明。信号线驱动电路包括电路 2001 及电路 2002。电路 2002 包括多个电路,即电路 2002_1 至 2002_N(N 是自然数)。电路 2002_1 至 2002_N 分别具有多个晶体管,即晶体管 2003_1 至 2003_k(k 是自然数)。晶体管 2003_1 至 2003_k 是 N 沟道型。但是,不局限于此,晶体管 2003_1 至 2003_k 也可以为 P 沟道型或 CMOS 型开关。

[0167] 以电路 2002_1 为例子对信号线驱动电路的连接关系进行说明。晶体管 2003_1 至 2003_k 的第一端子分别连接到布线 2004_1 至 2004_k。晶体管 2003_1 至 2003_k 的第二端子分别连接到布线 S1 至 Sk。晶体管 2003_1 至 2003_k 的栅极连接到布线 2004_1。

[0168] 电路 2001 具有对布线 2005_1 至 2005_N 按顺序输出高电平的信号的功能。或者,它具有按顺序选择电路 2002_1 至 2002_N 的功能。像这样,电路 2001 具有移位寄存器的功能。但是,不局限于此。电路 2001 可以对布线 2005_1 至 2005_N 以各种顺序输出高电平的信号。或者,可以以各种顺序选择电路 2002_1 至 2002_N。像这样,电路 2001 可以具有解码器的功能。

[0169] 电路 2002_1 具有控制布线 2004_1 至 2004_k 和布线 S1 至 Sk 的导通状态的功能。或者,电路 2002_1 具有将布线 2004_1 至 2004_k 的电位供给到布线 S1 至 Sk 的功能。像这

样,电路 2002_1 可以具有选择器的功能。但是,不局限于此。另外,电路 2002_2 至 2002_N 可以具有与电路 2002_1 同样的功能。

[0170] 晶体管 2003_1 至 2003_N 分别具有控制布线 2004_1 至 2004_k 和布线 S1 至 Sk 的导通状态的功能。或者,晶体管 2003_1 至 2003_N 分别具有对布线 S1 至 Sk 供给布线 2004_1 至 2004_k 的电位的功能。例如,晶体管 2003_1 具有控制布线 2004_1 和布线 S1 的导通状态的功能。或者,晶体管 2003_1 具有对布线 S1 供给布线 2004_1 的电位的功能。像这样,晶体管 2003_1 至 2003_N 可以分别具有开关的功能。但是,不局限于此。

[0171] 另外,在很多情况下,对布线 2004_1 至 2004_k 分别输入不同的信号。该信号主要是根据图像信息或图像信号的模拟信号。像这样,该信号可以具有视频信号的功能。因此,布线 2004_1 至 2004_k 可以具有信号线的功能。但是,不局限于此。例如,根据像素结构,可以是数字信号、模拟电压或模拟电流。

[0172] 接着,参照图 20B 的时序图说明图 20A 的信号线驱动电路的工作。图 20B 示出信号 2015_1 至 2015_N 及信号 2014_1 至 2014_k 的一个例子。信号 2015_1 至 2015_N 分别是电路 2001 的输出信号的一个例子,信号 2014_1 至 2014_k 分别是输入到布线 2004_1 至 2004_k 的信号的一个例子。注意,信号线驱动电路的一个工作期间对应于显示装置中的一个栅极选择期间。作为一个例子,一个栅极选择期间被分割为期间 T0 及期间 T1 至期间 TN。期间 T0 是用来同时对属于被选择的行的像素施加预充电电压的期间,并且期间 T0 可以具有预充电期间的功能。期间 T1 至 TN 分别是用来对属于被选择的行的像素写入视频信号的期间,并可以具有写入期间的功能。

[0173] 首先,在期间 T0 中,电路 2001 对布线 2005_1 至 2005_N 供给高电平的信号。这样,例如在电路 2002_1 中晶体管 2003_1 至 2003_k 导通,所以布线 2004_1 至 2004_k 和布线 S1 至 Sk 成为导通状态。此时,对布线 2004_1 至 2004_k 供给预充电电压 V_p 。因此,预充电电压 V_p 通过晶体管 2003_1 至 2003_k 分别输出到布线 S1 至 Sk。如此,预充电电压 V_p 写入到属于被选择的行的像素来对属于被选择的行的像素进行预充电。

[0174] 在期间 T1 至期间 TN 中,电路 2001 对布线 2005_1 至 2005_N 按顺序输出高电平的信号。例如,在期间 T1 中,电路 2001 将高电平的信号输出到布线 2005_1。然后,晶体管 2003_1 至 2003_k 导通,所以布线 2004_1 至 2004_k 和布线 S1 至 Sk 成为导通状态。此时,对布线 2004_1 至 2004_k 输入 Data(S1) 至 Data(Sk)。Data(S1) 至 Data(Sk) 分别通过 2003_1 至 2003_k 写入到属于被选择的行的像素中的第一列至第 k 列像素。通过上述步骤,在期间 T1 至 TN 中,对属于被选择的行的像素的每 k 列按顺序写入视频信号。

[0175] 如上所述,通过对每多个列的像素写入视频信号,可以减少视频信号的数量或布线的数量。因此,可以减少与外围电路的连接个数,所以可以谋求成品率的提高、可靠性的提高、部件个数的缩减及 / 或成本的削减。或者,通过对每多个列的像素写入视频信号,可以延长写入时间。因此,可以防止视频信号的写入不足,从而可以谋求显示质量的提高。

[0176] 另外,通过使 k 增大,可以减少与外围电路的连接个数。但是,若是 k 过大,对像素的写入时间变短。因此,优选 $k \leq 6$ 。更优选的是 $k \leq 3$ 。进一步优选的是 $k = 2$ 。但是,不局限于此。

[0177] 特别是,当像素的色彩单元为 n(n 是自然数) 个时,优选 $k = n$ 或 $k = n \times d$ (d 是自然数)。例如,当像素的色彩单元分割为三个,即红 (R)、绿 (G)、蓝 (B) 时,优选的是, $k =$

3 或 $k = 3 \times d$ 。但是,不局限于此。例如,当像素分割为 m (m 是自然数) 个子像素 (下面也称为子像素) 时,优选 $k = m$ 或 $k = m \times d$ 。例如,当像素分割为两个子像素时,优选 $k = 2$ 。或者,当像素的色彩单元为 n 个时,优选 $k = m \times n$ 或 $k = m \times n \times d$ 。但是,不局限于此。

[0178] 另外,如图 20C 所示,由于在很多情况下电路 2001 的驱动频率及电路 2002 的驱动频率慢,因此电路 2001 及电路 2002 可以形成在与像素部 2007 相同的基板上。由此可以减少形成像素部的基板与外围电路的连接个数,所以可以谋求成品率的提高、可靠性的提高、部件个数的缩减或成本的削减等。特别是,通过将信号线驱动电路 2006 也形成在与像素部 2007 相同的基板上,可以更进一步减少与外围电路的连接个数。但是,不局限于此。例如,如图 20D 所示,电路 2001 可以形成在与像素部 2007 不同的基板上,并且电路 2002 可以形成在与像素部 2007 相同的基板上。由于在此情况下也可以减少形成像素部的基板与外围电路的连接数,因此可以谋求成品率的提高、可靠性的提高、部件个数的缩减或成本的削减等。或者,由于形成在与像素部 2007 相同的基板的电路减少,因此可以缩小边框。

[0179] 另外,作为电路 2001,可以使用实施方式 1 或实施方式 2 的半导体装置或移位寄存器。在此情况下,可以使电路 2001 所具有的所有晶体管的极性为 N 沟道型或 P 沟道型。因此,可以谋求工序数的缩减、成品率的提高或成本的削减。

[0180] 此外,除了电路 2001 之外,还可以使电路 2002_1 至 2002_N 所具有的所有晶体管的极性也为 N 沟道型或 P 沟道型。因此,当电路 2001 及电路 2002_1 至 2002_N 形成在与像素部相同的基板上时,可以谋求工序数的缩减、成品率的提高或成本的削减。特别是,通过使所有晶体管的极性为 N 沟道型,作为晶体管的半导体层可以使用非单晶半导体、非晶半导体、微晶半导体、有机半导体或氧化物半导体等。这是因为如下缘故:在很多情况下,电路 2001 及电路 2002_1 至 2002_N 的驱动频率低。

[0181] 实施方式 5

[0182] 在本实施方式中,对保护电路的一个例子进行说明。

[0183] 首先,参照图 21A 对保护电路的一个例子进行说明。为了防止连接到布线 3011 的半导体器件 (例如,晶体管、电容元件、电路等) 等因 ESD (静电放电) 被破坏,设置保护电路 3000。保护电路 3000 包括晶体管 3001 及晶体管 3002。在很多情况下,晶体管 3001 及晶体管 3002 是 N 沟道型。但是,不局限于此,也可以是 P 沟道型。

[0184] 晶体管 3001 的第一端子连接到布线 3012,晶体管 3001 的第二端子连接到布线 3011,晶体管 3001 的栅极连接到布线 3011。晶体管 3002 的第一端子连接到布线 3013,晶体管 3002 的第二端子连接到布线 3011,晶体管 3002 的栅极连接到布线 3013。

[0185] 作为一个例子,布线 3011 可以被供给信号 (例如,扫描信号、视频信号、时钟信号、起始信号、复位信号或选择信号等) 或电压 (负电源电压、接地电压、正电源电压等)。作为一个例子,布线 3012 被供给正电源电压 (VDD)。作为一个例子,布线 3013 被供给负电源电压 (VSS) 或接地电压等。但是,不局限于此。

[0186] 若是布线 3011 的电位是 VSS 至 VDD 之间的值,则晶体管 3001 及晶体管 3002 截止。因此,供给到布线 3011 的电压或信号等被供给到与布线 3011 连接的半导体器件。但是,有时由于静电等的影响,有时布线 3011 被供给比电源电压高的电位或比电源电压低电位。而且,有时由于该比电源电压高的电位或比电源电压低电位,与布线 3011 连接的半导体器件被破坏。当为防止这种半导体器件的静电破坏而对布线 3011 供给比电源电压

高的电位时,晶体管 3001 导通。于是,布线 3011 的电荷通过晶体管 3001 移动到布线 3012,布线 3011 的电位降低。另一方面,当对布线 3011 供给比电源电压低的电位时,晶体管 3002 导通。于是,布线 3011 的电荷通过晶体管 3002 移动到布线 3013,所以布线 3011 的电位上升。像这样,可以防止与布线 3011 连接的半导体器件的静电破坏。

[0187] 另外,在图 21A 所描述的结构中,如图 21B 所示,可以省略晶体管 3002。或者,在如图 21A 所描述的结构中,如图 21C 所示,可以省略晶体管 3001。但是,不局限于此。

[0188] 此外,在图 21A 至 21C 所描述的结构中,如图 21D 所示,可以在布线 3011 和布线 3012 之间将晶体管串联连接。另外,可以在布线 3011 和布线 3013 之间使晶体管串联连接。晶体管 3003 的第一端子与布线 3012 连接,晶体管 3003 的第二端子与晶体管 3001 的第一端子连接,晶体管 3003 的栅极与晶体管 3001 的第一端子连接。晶体管 3004 的第一端子与布线 3013 连接,晶体管 3004 的第二端子与晶体管 3004 的第一端子连接,晶体管 3004 的栅极与晶体管 3002 的第一端子连接。但是,不局限于此。例如,还可以如图 21E 所示,晶体管 3001 的栅极和晶体管 3003 的栅极连接。或者,晶体管 3002 的栅极和晶体管 3004 的栅极连接。

[0189] 另外,在图 21A 至 21E 所描述的结构中,如图 21F 所示,可以在布线 3011 和布线 3012 之间使晶体管并联连接。或者,可以在布线 3011 和布线 3013 之间使晶体管并联连接。晶体管 3003 的第一端子与布线 3012 连接,晶体管 3003 的第二端子与布线 3011 连接,晶体管 3003 的栅极与布线 3011 连接。晶体管 3004 的第一端子与布线 3013 连接,晶体管 3004 的第二端子与布线 3011 连接,晶体管 3004 的栅极与布线 3013 连接。

[0190] 此外,在图 21A 至 21F 所描述的结构中,如图 21G 所示,可以在晶体管 3001 的栅极和第一端子之间使电容元件 3005 和电阻元件 3006 并联连接。或者,可以在晶体管 3002 的栅极和第一端子之间使电容元件 3007 和电阻元件 3008 并联连接。由此,可以防止保护电路 3000 本身的破坏或退化。例如,当对布线 3011 供给比电源电压高的电位时,晶体管 3001 的 V_{gs} 增大。从而,晶体管 3001 导通,所以布线 3011 的电位降低。但是,由于晶体管 3001 的栅极和第二端子之间施加有大电压,因此有时产生晶体管 3001 的破坏或退化。为了防止这种现象,使晶体管 3001 的栅极的电位上升来降低晶体管 3001 的 V_{gs} 。使用电容元件 3005 以实现该操作。当晶体管 3001 导通时,晶体管 3001 的第一端子瞬时上升。于是,因电容元件 3005 的电容耦合而晶体管 3001 的栅极的电位上升。像这样,可以缩小晶体管 3001 的 V_{gs} ,从而可以抑制晶体管 3001 的破坏或退化。但是,不局限于此。同样地,当对布线 3011 供给比电源电压低的电位时,晶体管 3002 的第一端子的电位瞬时下降。于是,因电容元件 3007 的电容耦合而晶体管 3002 的栅极电位降低。像这样,由于可以降低晶体管 3002 的 V_{gs} ,因此可以抑制晶体管 3002 的破坏或退化。

[0191] 在此,图 21A 至 21G 所描述的保护电路可以用于各种部分。在图 22A 中作为一个例子示出在栅极信号线设置保护电路时的结构。在此情况下,布线 3012 及布线 3013 可以连接到与栅极驱动器 3100 连接的布线的任一个。由此,可以减少电源的数量及布线的数量。在图 22B 中作为一个例子示出在对接收来自 FPC 等的外部的信号或电压的端子设置保护电路时的结构。在此情况下,布线 3012 及布线 3013 可以与外部端子的任一个连接。例如,布线 3012 与端子 3101a 连接,布线 3013 与端子 3101b 连接。在此情况下,在设置在端子 3101a 中的保护电路中可以省略晶体管 3001。同样地,在设置在端子 3101b 中的保护电

路中,可以省略晶体管 3002。由此,可以减少晶体管的数量,从而可以谋求缩小布局面积。

[0192] 实施方式 6

[0193] 在本实施方式中,参照图 23A、23B 及 23C 对晶体管的结构的一个例子进行说明。

[0194] 图 23A 是示出顶栅型晶体管的结构的一个例子或显示装置的结构的一个例子的图。图 23B 是示出底栅型晶体管的结构的一个例子或显示装置的结构的一个例子的图。图 23C 是示出利用半导体基板而制造的晶体管的结构的一个例子的图。

[0195] 图 23A 的晶体管的一个例子包括:基板 5260;形成在基板 5260 上的绝缘层 5261;形成在绝缘层 5261 上并且包括区域 5262a、区域 5262b、区域 5262c、区域 5262d、以及区域 5262e 的半导体层 5262;覆盖半导体层 5262 地形成的绝缘层 5263;形成在半导体层 5262 及绝缘层 5263 上的导电层 5264;形成在绝缘层 5263 及导电层 5264 上并包括开口部的绝缘层 5265;以及形成在绝缘层 5265 上及绝缘层 5265 的开口部中的导电层 5266。

[0196] 图 23B 的晶体管的一个例子包括:基板 5300;形成在基板 5300 上的导电层 5301;覆盖导电层 5301 地形成的绝缘层 5302;形成在导电层 5301 上及绝缘层 5302 上的半导体层 5303a;形成在半导体层 5303a 上的半导体层 5303b;形成在半导体层 5303b 及绝缘层 5302 上的导电层 5304;形成在绝缘层 5302 上及导电层 5304 上并包括开口部的绝缘层 5305;以及形成在绝缘层 5305 上及绝缘层 5305 的开口部中的导电层 5306。

[0197] 图 23C 的晶体管的一个例子包括:包括区域 5353 及区域 5355 的半导体基板 5352;形成在半导体基板 5352 上的绝缘层 5356;形成在半导体基板 5352 上的绝缘层 5354;形成在绝缘层 5356 上的导电层 5357;形成在绝缘层 5354、绝缘层 5356、以及导电层 5357 上并包括开口部的绝缘层 5358;以及形成在绝缘层 5358 上及绝缘层 5358 的开口部中的导电层 5359。如此,在区域 5350 和区域 5351 中分别制造晶体管。

[0198] 在图 23A 至 23C 所述的晶体管的结构中,如图 23A 所示,可以在晶体管上形成:形成在导电层 5266 上及绝缘层 5265 上并包括开口部的绝缘层 5267;形成在绝缘层 5267 上及绝缘层 5267 的开口部中的导电层 5268;形成在绝缘层 5267 上及导电层 5268 上并包括开口部的绝缘层 5269;形成在绝缘层 5269 上及绝缘层 5269 的开口部中的发光层 5270;以及形成在绝缘层 5269 上及发光层 5270 上的导电层 5271。

[0199] 另外,在图 23A 至 23C 所描述的晶体管的结构中,如图 23B 所示,可以在晶体管上形成配置在绝缘层 5305 上及导电层 5306 上的液晶层 5307 以及形成在液晶层 5307 上的导电层 5308。

[0200] 绝缘层 5261 可以用作基底膜。绝缘层 5354 用作元件间分离层(element isolation layer)(例如,场氧化膜)。绝缘层 5264、绝缘层 5302、绝缘层 5356 可以用作栅极绝缘膜。导电层 5264、导电层 5301、导电层 5357 可以用作栅电极。绝缘层 5265、绝缘层 5267、绝缘层 5305 及绝缘层 5358 可以用作层间膜或者平坦化膜。导电层 5266、导电层 5304、以及导电层 5359 可以用作布线、晶体管的电极或电容元件的电极等。导电层 5268 以及导电层 5306 可以用作像素电极或反射电极等。绝缘层 5269 可以用作分隔壁。导电层 5271 及导电层 5308 可以用作对置电极或者公共电极等。

[0201] 作为基板 5260 及基板 5300 的一个例子,有玻璃基板、石英基板、单晶基板(例如,硅基板)、SOI 基板、塑料基板、金属基板、不锈钢基板、具有不锈钢箔的基板、钨基板、具有钨箔的基板或者柔性基板等。作为玻璃基板的一个例子,有钡硼硅酸盐玻璃、铝硼硅酸盐玻

璃等。作为柔性基板的一个例子,有如下具有柔性的合成树脂:以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)为典型的塑料;丙烯酸树脂等。此外,还有贴合薄膜(聚丙烯、聚酯、乙烯、聚氟化乙烯、氯乙烯等)、包括纤维状材料的纸、基材薄膜(聚酯、聚酰胺、聚酰亚胺、无机蒸镀薄膜、纸类等)等。

[0202] 作为一个例子,半导体基板 5352 可以采用具有 n 型或 p 型的导电型的单晶 Si 基板。作为一个例子,区域 5353 是对半导体基板 5352 添加有杂质的区域,并且用作阱。例如,在半导体基板 5352 具有 p 型导电型的情况下,区域 5353 具有 n 型导电型,并且用作 n 阱。另一方面,在半导体基板 5352 具有 n 型导电型的情况下,区域 5353 具有 p 型导电型,并且用作 p 阱。作为一个例子,区域 5355 是对半导体基板 5352 添加有杂质的区域,并且用作源区或漏区。另外,可以在半导体基板 5352 中形成 LDD 区域。

[0203] 作为绝缘层 5261 的一个例子,有氧化硅(SiO_x)膜、氮化硅(SiN_x)膜、氧氮化硅(SiO_xN_y)($x > y > 0$)膜、氮氧化硅(SiN_xO_y)($x > y > 0$)膜等具有氧或氮的膜或这些膜的层叠结构等。作为在绝缘层 5261 由两层结构设置的情况下的一个例子,作为第一层的绝缘层可以设置氮化硅膜,并且作为第二层的绝缘层可以设置氧化硅膜。作为在绝缘层 5261 由三层结构设置的情况下的一个例子,作为第一层的绝缘层可以设置氧化硅膜,作为第二层的绝缘层可以设置氮化硅膜,并且作为第三层的绝缘层可以设置氧化硅膜。

[0204] 作为半导体层 5262、半导体层 5303a 以及半导体层 5303b 的一个例子,有非单晶半导体(例如,非晶硅、多晶硅、微晶硅等)、单晶半导体、化合物半导体(例如, SiGe 、 GaAs 等)或者氧化物半导体(例如, ZnO 、 InGaZnO 、 IZO (氧化铟锌)、 ITO (氧化铟锡)、 SnO 、 TiO 、 AlZnSnO (AZTO))、有机半导体或碳纳米管等。

[0205] 另外,例如,区域 5262a 处于不对半导体层 5262 添加杂质的本征的状态,并且用作沟道区域。但是,可以对区域 5262a 添加杂质,并且添加到区域 5262a 的杂质的浓度优选比添加到区域 5262b、区域 5262c、区域 5262d 或区域 5262e 的杂质的浓度低。区域 5262b 及区域 5262d 是添加有其浓度比区域 5262c 或区域 5262e 低的杂质的区域,并且用作 LDD(Lightly Doped Drain:轻掺杂漏)区域。但是,可以省略区域 5262b 及区域 5262d。区域 5262c 及区域 5262e 是对半导体层 5262 以高浓度添加杂质的区域,并且用作源区或漏区。

[0206] 另外,半导体层 5303b 是添加有磷等作为杂质元素的半导体层,并且具有 n 型导电型。

[0207] 另外,当作为半导体层 5303a 使用氧化物半导体或化合物半导体时,可以省略半导体层 5303b。

[0208] 作为绝缘层 5263、绝缘层 5302、以及绝缘层 5356 的一个例子,有氧化硅(SiO_x)膜、氮化硅(SiN_x)膜、氧氮化硅(SiO_xN_y)($x > y > 0$)膜、氮氧化硅(SiN_xO_y)($x > y > 0$)膜等具有氧或氮的膜或它们的层叠结构等。

[0209] 作为导电层 5264、导电层 5266、导电层 5268、导电层 5271、导电层 5301、导电层 5304、导电层 5306、导电层 5308、导电层 5357 以及导电层 5359 的一个例子,有单层结构的导电膜或者这些膜的层叠结构等。作为该导电膜的一个例子,有选自自由铝(Al)、钽(Ta)、钛(Ti)、钼(Mo)、钨(W)、钕(Nd)、铬(Cr)、镍(Ni)、铂(Pt)、金(Au)、银(Ag)、铜(Cu)、锰(Mn)、钴(Co)、铌(Nb)、硅(Si)、铁(Fe)、钯(Pd)、碳(C)、钪(Sc)、锌(Zn)、镓(Ga)、铟(In)、

锡 (Sn)、锆 (Zr)、铈 (Ce) 构成的组中的一种元素的单质膜或包含选自上述组中的一种或多种元素的化合物等。另外,该单质膜或化合物可以包含磷 (P)、硼 (B)、砷 (As) 及 / 或氧 (O) 等。作为该化合物的一个例子,有包含选自上述多个元素中的一种或多种的元素的合金 (例如,氧化铟锡 (ITO)、氧化铟锌 (IZO)、包含氧化硅的氧化铟锡 (ITSO)、氧化锌 (ZnO)、氧化锡 (SnO)、氧化锡镉 (CTO)、铝钕 (Al-Nd)、铝钨 (Al-W)、铝锆 (Al-Zr)、铝钛 (Al-Ti)、铝铈 (Al-Ce)、镁银 (Mg-Ag)、钼铌 (Mo-Nb)、钼钨 (Mo-W)、钼钽 (Mo-Ta) 等合金材料)、选自上述多个元素中的一种或多种元素和氮的化合物 (例如,氮化钛、氮化钽、氮化钼等氮化物膜) 或选自上述多个元素中的一种或多种元素和硅的化合物 (例如,硅化钨、硅化钛、硅化镍、铝硅、钼硅等硅化物膜) 等。此外,例如还有碳纳米管、有机纳米管、无机纳米管或金属纳米管等纳米管材料。

[0210] 此外,导电层既可以采用单层结构,又可以采用多层结构。

[0211] 作为绝缘层 5265、绝缘层 5267、绝缘层 5269、绝缘层 5305 及绝缘层 5358 的一个例子,有单层结构的绝缘层或者这些膜的层叠结构等。作为该绝缘层的一个例子,有氧化硅 (SiO_x) 膜、氮化硅 (SiN_x) 膜、氧氮化硅 (SiO_xN_y) ($x > y > 0$) 膜、氮氧化硅 (SiN_xO_y) ($x > y > 0$) 膜等具有氧或氮的膜;DLC(类金刚石碳)膜等具有碳的膜;硅烷氧树脂、环氧树脂、聚酰亚胺、聚酰胺、聚乙烯基苯酚、苯并环丁烯或丙烯酸树脂等有机材料等。

[0212] 另外,在绝缘层 5305 及导电层 5306 上可以形成用作取向膜的绝缘层、用作突起部的绝缘层等。

[0213] 另外,在导电层 5308 上可以形成用作滤色片、黑矩阵或者突起部的绝缘层等。在导电层 5308 下可以形成用作取向膜的绝缘层。

[0214] 可以将本实施方式的晶体管用于实施方式 1 及实施方式 2 所描述的移位寄存器。因为实施方式 1 及实施方式 2 所描述的移位寄存器可以抑制晶体管的退化,所以在图 23B 中,作为半导体层,可以使用非晶半导体或微晶半导体等的非单晶半导体、有机半导体或氧化物半导体等。因此,可以实现制造工序的缩减、制造成本的削减、成品率的提高或显示装置的大型化。

[0215] 实施方式 7

[0216] 在本实施方式中,参照图 24A、24B 及 24C 说明显示装置的界面结构的一个例子。

[0217] 图 24A 是显示装置的俯视图的一个例子。在基板 5391 上形成有驱动电路 5392 和像素部 5393。作为驱动电路 5392 的一个例子,有扫描线驱动电路或信号线驱动电路等。

[0218] 图 24B 示出沿着图 24A 的 A-B 截断的截面的一个例子。而且,图 24B 示出:基板 5400;形成在基板 5400 上的导电层 5401;覆盖导电层 5401 地形成的绝缘层 5402;形成在导电层 5401 及绝缘层 5402 上的半导体层 5403a;形成在半导体层 5403a 上的导电层 5403b;形成在半导体层 5403b 上及绝缘层 5402 上的导电层 5404;形成在绝缘层 5402 上及导电层 5404 上并包括开口部的绝缘层 5405;形成在绝缘层 5405 上及导电层 5405 的开口部中的导电层 5406;配置在绝缘层 5405 上及导电层 5406 上的绝缘层 5408;形成在绝缘层 5405 上的液晶层 5407;形成在液晶层 5407 上及绝缘层 5405 上的导电层 5409;以及形成在导电层 5409 上的基板 5410。

[0219] 导电层 5401 可以用作栅电极。绝缘层 5402 可以用作栅极绝缘膜。导电层 5404 可以用作布线、晶体管的电极或电容元件的电极等。绝缘层 5405 可以用作层间膜或平坦化

膜。导电层 5406 用作布线、像素电极或反射电极。绝缘层 5408 可以用作密封材料。导电层 5409 可以用作对置电极或共同电极。

[0220] 在此,有时在驱动电路 5392 和导电层 5409 之间产生寄生电容。其结果是,在驱动电路 5392 的输出信号或各节点的电位产生畸变或延迟等。或者,耗电量增大。但是,如图 24B 所示,通过在驱动电路 5392 上形成可用作密封材料的绝缘层 5408,可以减少产生在驱动电路 5392 和导电层 5409 之间的寄生电容。这是因为在很多情况下密封材料的介电常数比液晶层的介电常数低。因此,可以减少驱动电路 5392 的输出信号或各节点的电位的畸变或延迟。或者,可以降低驱动电路 5392 的耗电量。

[0221] 另外,如图 24C 所示,可以在驱动电路 5392 的一部分上形成还可以用作密封材料的绝缘层 5408。由于在此情况下也可以减少产生在驱动电路 5392 和导电层 5409 之间的寄生电容,因此可以减少驱动电路 5392 的输出信号或各节点的电位的畸变或延迟。但是,不局限于此,也可以不在驱动电路 5392 上形成可用作密封材料的绝缘层 5408。

[0222] 另外,显示元件不局限于液晶元件而可以使用 EL 元件或电泳元件等的各种显示元件。

[0223] 可以组合本实施方式的显示装置的结构和实施方式 1 及实施方式 2 所描述的移位寄存器。例如,当使用非晶半导体或微晶半导体等的非单晶半导体、有机半导体或氧化物半导体等用作晶体管的半导体层时,在很多情况下晶体管的沟道宽度增大。但是,若是能够如本实施方式那样地减少驱动电路的寄生电容,则可以缩小晶体管的沟道宽度。因此,可以谋求缩小布局面积,从而可以使显示装置的边框变窄。或者,可以实现显示装置的高精细化。

[0224] 实施方式 8

[0225] 在本实施方式中示出晶体管及电容元件的制造工序的一个例子。特别是,说明作为半导体层使用氧化物半导体的制造工序。

[0226] 参照图 25A 至 25C 说明晶体管及电容元件的制造工序的一个例子。图 25A 至 25C 是晶体管 5441 及电容元件 5442 的制造工序的一个例子。晶体管 5441 是反交错型薄膜晶体管的一个例子,其中在氧化物半导体层上隔着源电极或漏电极设置有布线。

[0227] 首先,在基板 5420 的整个面上通过溅射法形成第一导电层。接着,使用通过使用第一光掩模的光刻工序形成的抗蚀剂掩模选择性地对第一导电层进行蚀刻,从而形成导电层 5421 及导电层 5422。导电层 5421 可以用作栅电极,导电层 5422 可以用作电容元件的一个电极。但是不局限于此,导电层 5421 及导电层 5422 可以具有用作布线、栅电极或电容元件的电极的部分。然后,去除抗蚀剂掩模。

[0228] 接着,在整个面上通过等离子体 CVD 法或溅射法形成绝缘层 5423。绝缘层 5423 可以用作栅极绝缘层,且覆盖导电层 5421 及导电层 5422 地形成。另外,在很多情况下,绝缘层 5423 的膜厚度为 50nm 至 250nm。

[0229] 接着,使用通过使用第二光掩模的光刻工序形成的抗蚀剂掩模对绝缘层 5423 选择性地蚀刻来形成达到导电层 5421 的接触孔 5424。然后,去除抗蚀剂掩模。但是不局限于此,也可以省略接触孔 5424。或者,可以在形成氧化物半导体层之后形成接触孔 5424。到此为止的阶段的截面图相当于图 25A。

[0230] 接着,在整个面上通过溅射法形成氧化物半导体层。但是,不局限于此,也可以通过溅射法形成氧化物半导体层,且在其上形成缓冲层(例如, n^+ 层)。另外,在很多情况下,

氧化物半导体层的膜厚度为 5nm 至 200nm。

[0231] 接着,使用第三光掩模对氧化物半导体层选择性地蚀刻。然后,去除抗蚀剂掩模。

[0232] 接着,在整个面上通过溅射法形成第二导电层。然后,使用通过使用第四光掩模的光刻工序形成的抗蚀剂掩模对第二导电层选择性地蚀刻来形成导电层 5429、导电层 5430 及导电层 5431。导电层 5429 通过接触孔 5424 与导电层 5421 连接。导电层 5429 及导电层 5430 可以用作源电极或漏电极,并且导电层 5431 可以用作电容元件的另一个电极。但是,不局限于此,导电层 5429、导电层 5430 及导电层 5431 也可以包括用作布线、源电极或漏电极、或电容元件的电极的部分。到此为止的阶段的截面图相当于图 25B。

[0233] 接着,在大气气氛下或氮气气氛下以 200℃至 600℃进行加热处理。通过该热处理,进行 In-Ga-Zn-O 类非单晶层的原子级的重新排列。像这样,通过热处理(还包括光退火)消除阻碍载流子移动的畸变。另外,进行该加热处理的时序不局限于此,只要在形成氧化物半导体之后,就可以以各种时序进行该加热处理。

[0234] 接着,在整个面上形成绝缘层 5432。绝缘层 5432 可以采用单层结构或层叠结构。例如,当作为绝缘层 5432 使用有机绝缘层时,涂敷有机绝缘层的材料的组成物,在大气气氛下或氮气气氛下以 200℃至 600℃的加热处理形成有机绝缘层。像这样,通过形成与氧化物半导体层接触的有机绝缘层,可以制造电特性可靠性高的薄膜晶体管。另外,当使用用作绝缘层 5432 的有机绝缘层时,可以在有机绝缘层之下设置氮化硅膜或氧化硅膜。

[0235] 接着,在整个面上形成第三导电层。然后,使用通过使用第五光掩模的光刻工序形成的抗蚀剂掩模对第三导电层选择性地蚀刻来形成导电层 5433 及导电层 5434。到此为止的阶段的截面图相当于图 25C。导电层 5433 及导电层 5434 可以用作布线、像素电极、反射电极、透光电极或电容元件的电极。特别是,由于导电层 5434 与导电层 5422 连接,因此可以用作电容元件 5442 的电极。但是,不局限于此,导电层 5434 还可以具有连接第一导电层和第二导电层的功能。例如,通过连接导电层 5433 和导电层 5434,可以使导电层 5422 和导电层 5430 通过第三导电层(导电层 5433 及导电层 5434)连接。

[0236] 通过上述工序,可以制造晶体管 5441 和电容元件 5442。

[0237] 另外,如图 25D 所示,可以在氧化物半导体层 5425 上形成绝缘层 5435。

[0238] 此外,如图 25E 所示,可以在对第二导电层进行图案形成之后形成氧化物半导体层 5425。

[0239] 注意,作为本实施方式的基板、绝缘层、导电层及半导体层,可以使用与其他实施方式所描述的材料或本说明书所描述的材料相同的材料。

[0240] 通过将本实施方式的晶体管用于实施方式 1 及实施方式 2 所描述的移位寄存器或包括它的显示装置,可以将显示部形成得较大。或者,可以实现显示部的高精细化。

[0241] 实施方式 9

[0242] 在本实施方式中说明电子设备的例子。

[0243] 图 26A 至 26H 以及图 27A 至 27D 是示出电子设备的图。这些电子设备可以包括框体 5000、显示部 5001、扬声器 5003、LED 灯 5004、操作键 5005(电源开关或控制显示装置的工作的操作开关)、连接端子 5006、传感器 5007(它包括测定如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电

流、电压、电力、射线、流量、湿度、倾斜度、振动、气味或红外线)、麦克风 5008 等。

[0244] 图 26A 示出移动计算机,该移动计算机除了上述以外还可以包括开关 5009、红外端口 5010 等。图 26B 示出具备记录媒体的便携式图像再现装置(例如 DVD 再现装置),该便携式图像再现装置除了上述以外还可以包括第二显示部 5002、记录媒体读取部 5011 等。图 26C 示出护目镜型显示器,该护目镜型显示器除了上述以外还可以包括第二显示部 5002、支撑部 5012、耳机 5013 等。图 26D 示出便携式游戏机,该便携式游戏机除了上述以外还可以包括记录媒体读取部 5011 等。图 26E 示出投影仪装置,该投影仪装置除了上述以外还可以包括光源 5033、投射透镜 5034 等。图 26F 示出便携式游戏机,该便携式游戏机除了上述以外还可以包括第二显示部 5002、记录媒体读取部 5011 等。图 26G 示出电视接收机,该电视接收机除了上述以外还可以包括调谐器、图像处理部等。图 26H 示出便携式电视接收机,该便携式电视接收机除了上述以外还可以包括能够收发信号的充电器 5017 等。图 27A 示出显示器,该显示器除了上述以外还可以包括支撑台 5018 等。图 27B 示出照相机,该照相机除了上述以外还可以包括外部连接端口 5019、快门按钮 5015、图像接收部 5016 等。图 27C 示出计算机,该计算机除了上述以外还可以包括定位装置 5020、外部连接端口 5019、读写器 5021 等。图 27D 示出移动电话机,该移动电话机除了上述以外还可以包括天线 5014、用于移动电话·移动终端的单波段广播(one-segment broadcasting)部分接收服务用调谐器等。

[0245] 图 26A 至 26H、图 27A 至 27D 所示的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上;触控面板;显示日历、日期或时刻等;通过利用各种软件(程序)控制处理;进行无线通信;通过利用无线通信功能来连接到各种计算机网络;通过利用无线通信功能,进行各种数据的发送或接收;读出储存在记录媒体中的程序或数据来将其显示在显示部上;等等。再者,在具有多个显示部的电子设备中,可以具有如下功能:一个显示部主要显示图像信息,而另一个显示部主要显示文字信息;或者,在多个显示部上显示考虑到视差的图像来显示立体图像;等等。再者,在具有图像接收部的电子设备中,可以具有如下功能:拍摄静态图像;拍摄动态图像;对所拍摄的图像进行自动或手动校正;将所拍摄的图像储存在记录媒体(外部或内置于影像拍摄装置)中;将所拍摄的图像显示在显示部上等。注意,图 26A 至 26H、图 27A 至 27D 所示的电子设备的可具有的功能不局限于上述功能,而可以具有各种各样的功能。

[0246] 本实施方式所述的电子设备的特征在于,具有用来显示某些信息的显示部。特别是,因为当显示装置具有实施方式 1 及实施方式 2 所描述的移位寄存器时,可以防止电路的错误工作,所以可以谋求显示质量的提高。

[0247] 下面,说明半导体装置的应用例子。

[0248] 图 27E 表示将半导体装置和建筑物设置为一体的例子。图 27E 包括框体 5022、显示部 5023、作为操作部的遥控装置 5024、扬声器 5025 等。半导体装置以壁挂式的方式结合到建筑物内并且可以不需要较大的空间而设置。

[0249] 图 27F 表示在建筑物内将半导体装置和建筑物设置为一体的另一个例子。显示面板 5026 被结合到浴室 5027 内,并且洗澡的人可以观看显示面板 5026。

[0250] 注意,在本实施方式中,举出墙、浴室作为建筑物的例子。但是,本实施方式不局限于此,也可以将半导体装置安装到各种建筑物。

[0251] 下面,表示将半导体装置和移动体设置为一体的例子。

[0252] 图 27G 表示将半导体装置设置到汽车中的例子。显示面板 5028 被安装到汽车的车体 5029,并且可以根据需要而显示车体的工作或从车体内部或外部输入的信息。另外,也可以具有导航功能。

[0253] 图 27H 表示将半导体装置和旅客用飞机设置为一体的例子。图 27H 表示在将显示面板 5031 设置在旅客用飞机的座位上方的天花板 5030 上的情况下的使用形状。显示面板 5031 通过铰链部 5032 被结合到天花板 5030,并且利用铰链部 5032 的伸缩乘客可以观看显示面板 5031。显示面板 5031 具有通过乘客的操作来显示信息的功能。

[0254] 注意,在本实施方式中,举出汽车、飞机作为移动体,但是不限于此,还可以设置在各种移动体诸如摩托车、自动四轮车(包括汽车、公共汽车等)、电车(包括单轨、铁路等)以及船舶等。

[0255] 本说明书根据 2009 年 3 月 27 日在日本专利局受理的日本专利申请编号 2009-077955 而制作,所述申请内容包括在本说明书中。

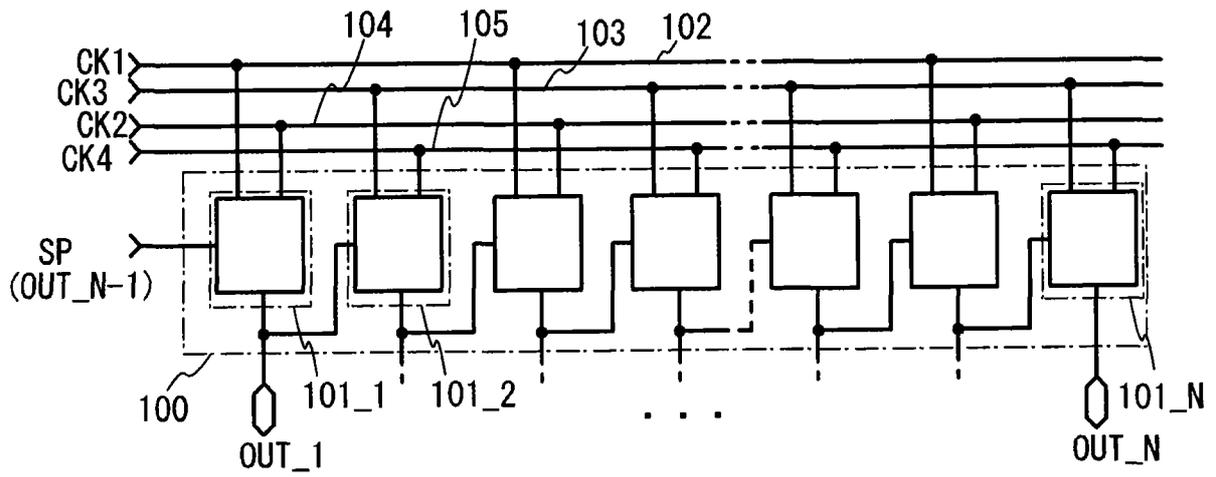


图 1A

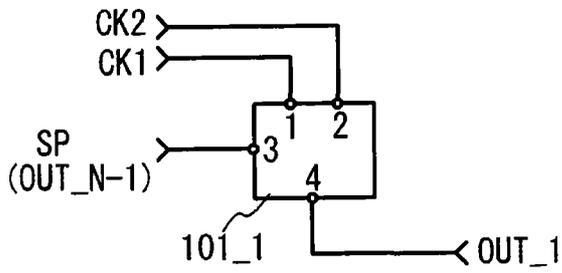


图 1B

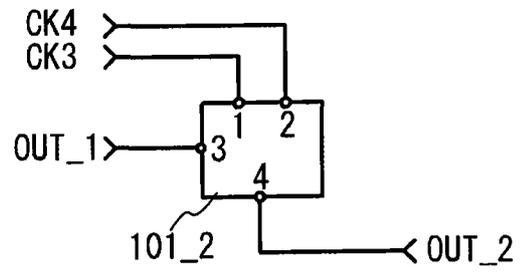


图 1C

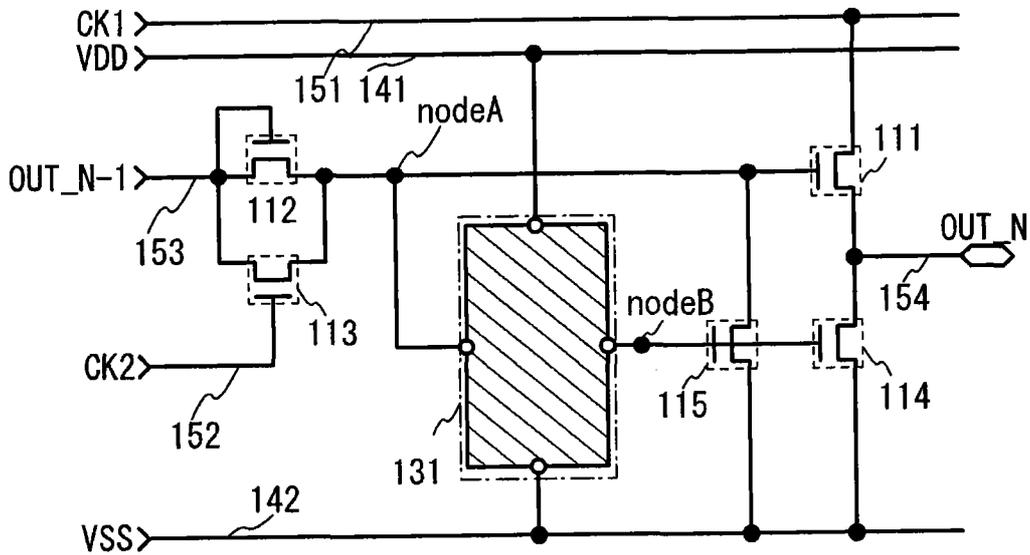


图 1D

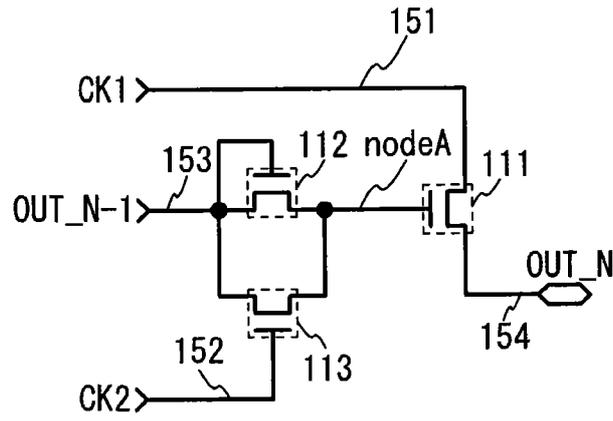


图 2A

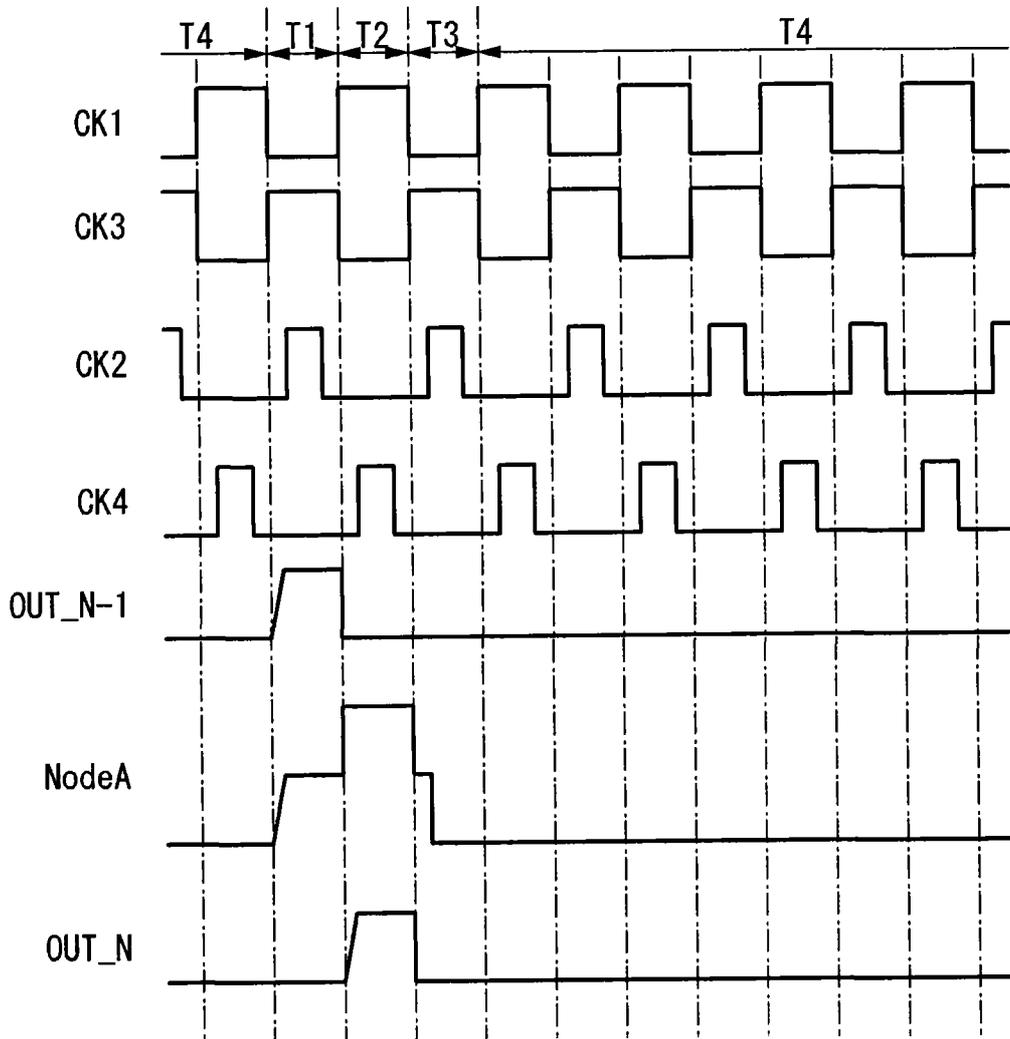


图 2B

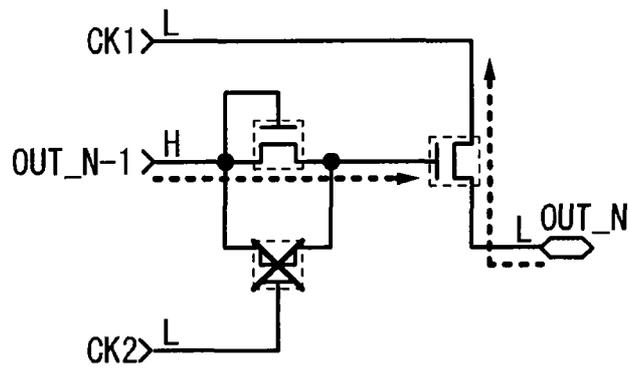


图 3A

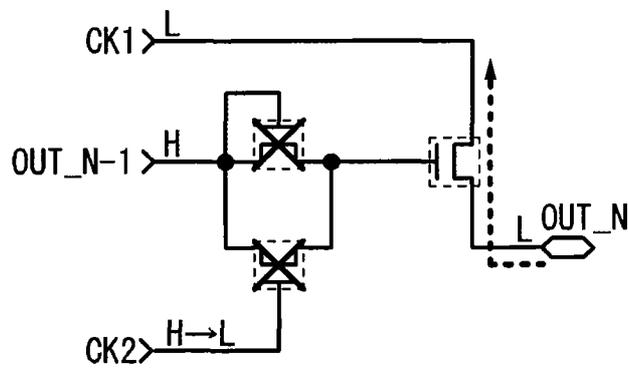


图 3B

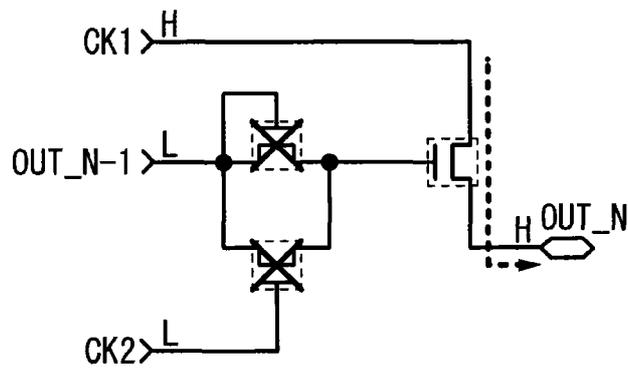


图 3C

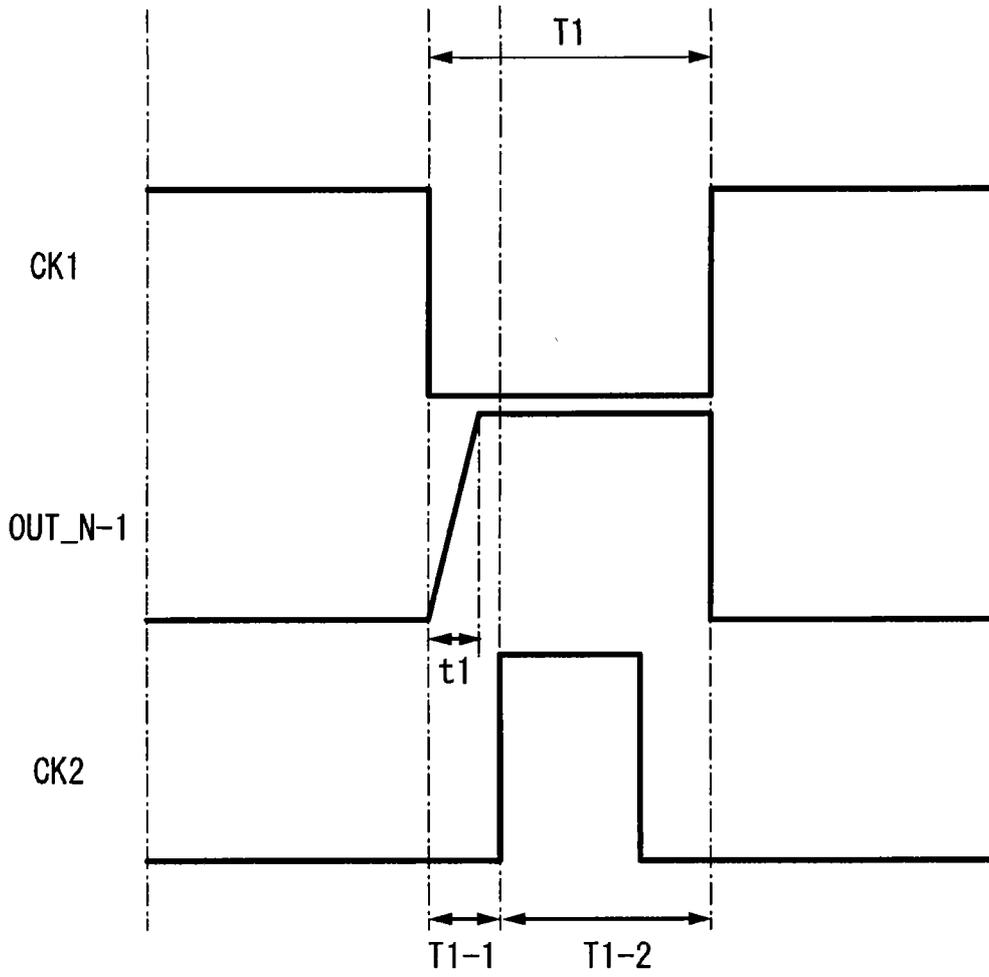


图 4

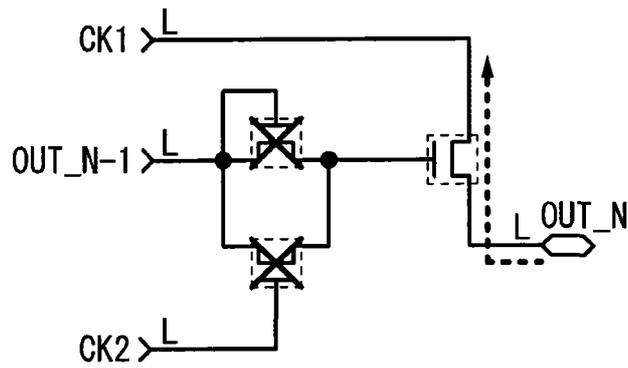


图 5A

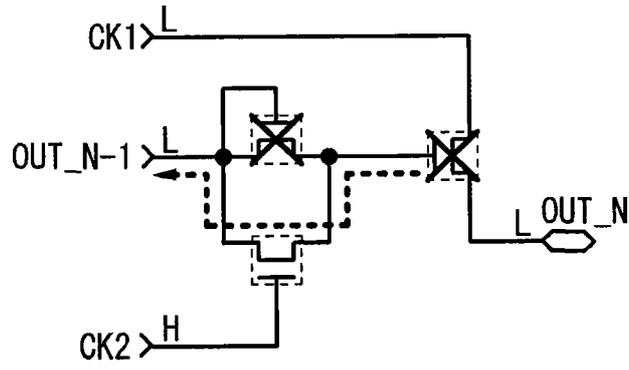


图 5B

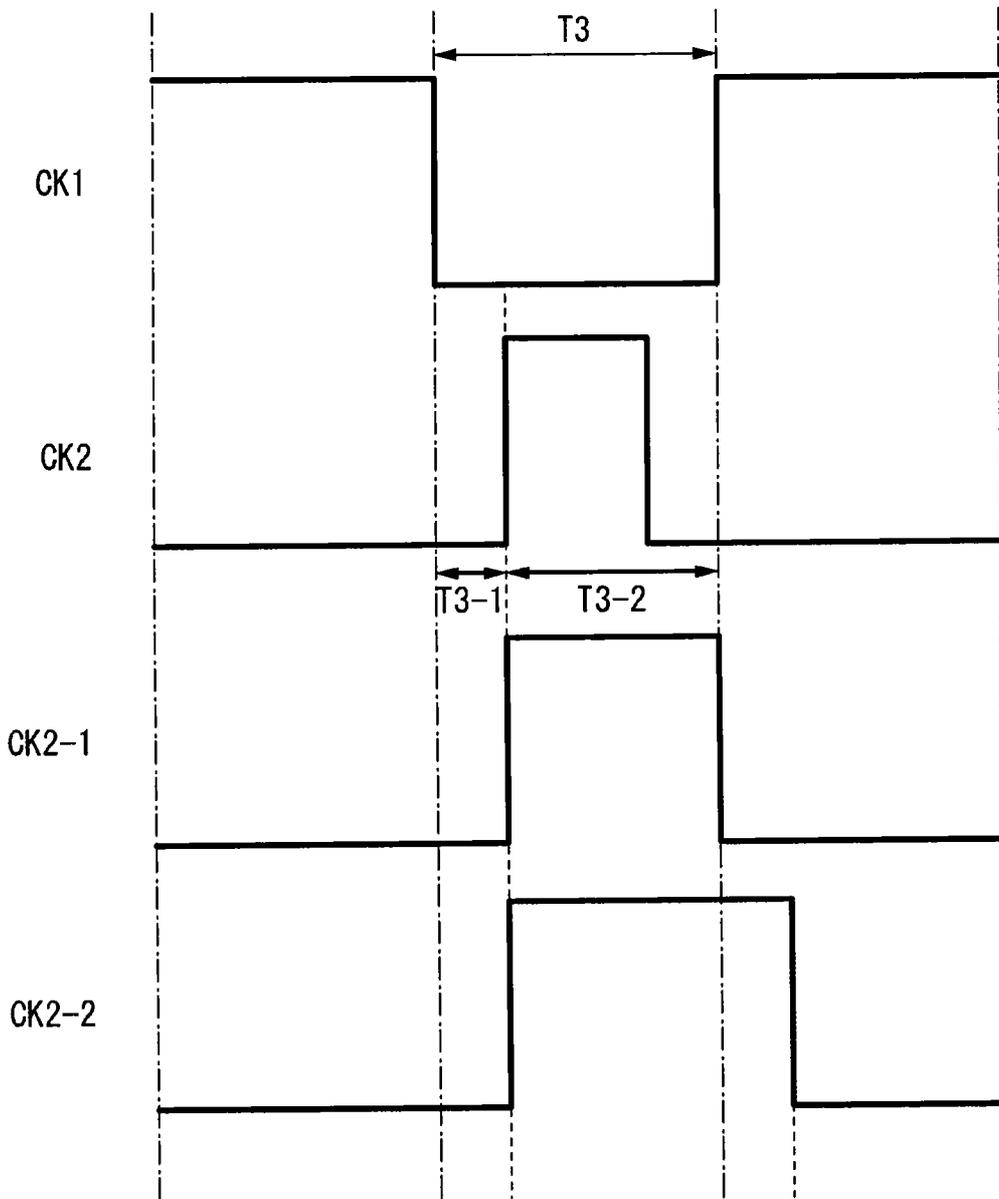


图 6

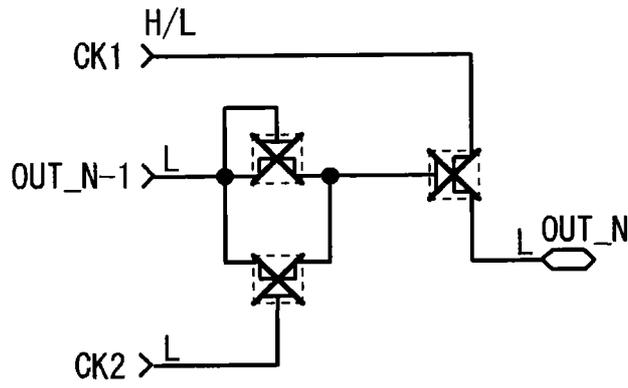


图 7A

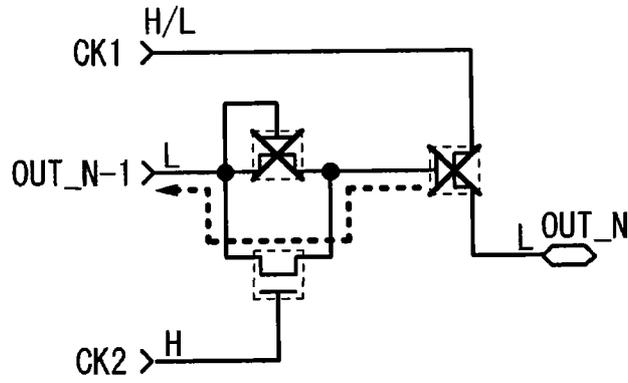


图 7B

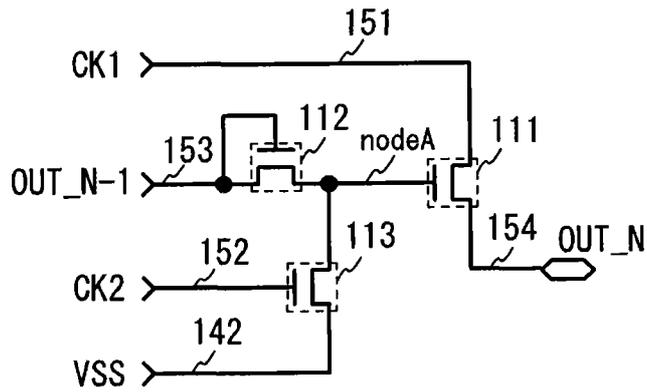


图 8A

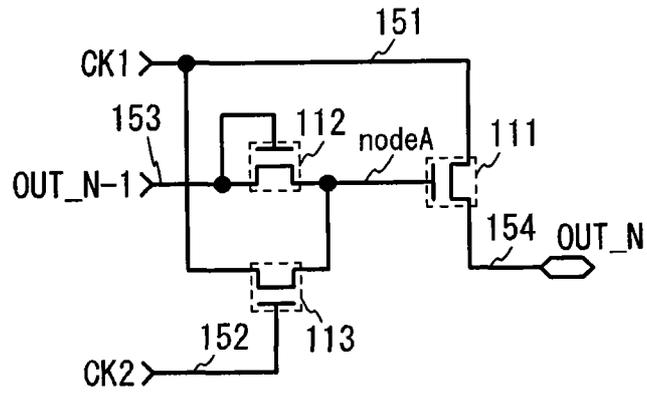


图 8B

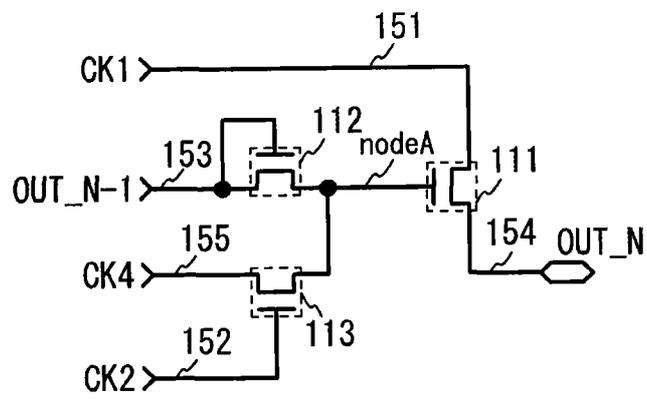


图 8C

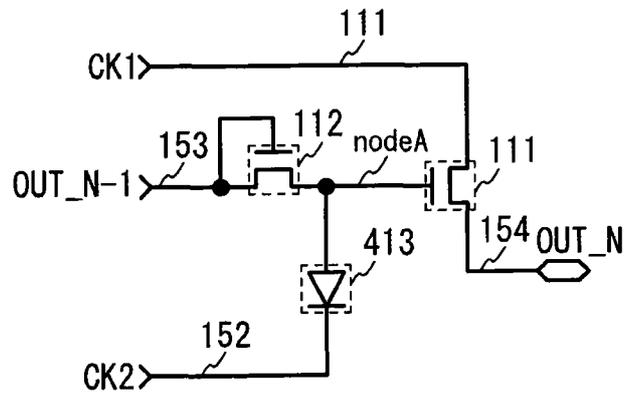


图 9A

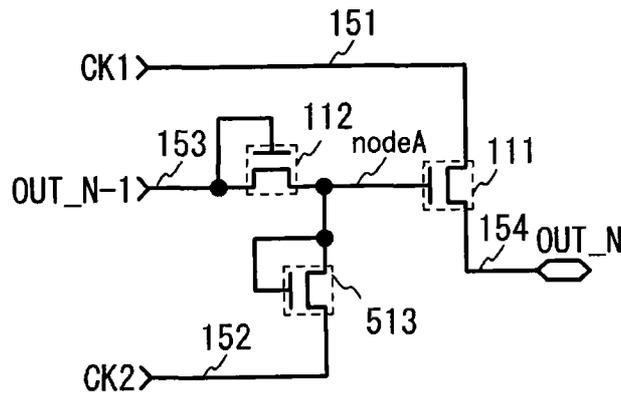


图 9B

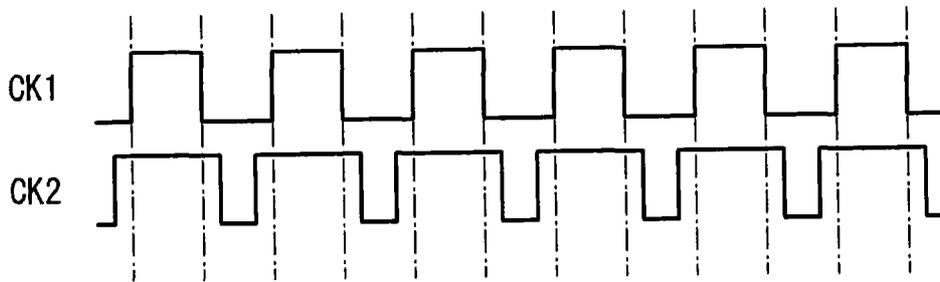


图 9C

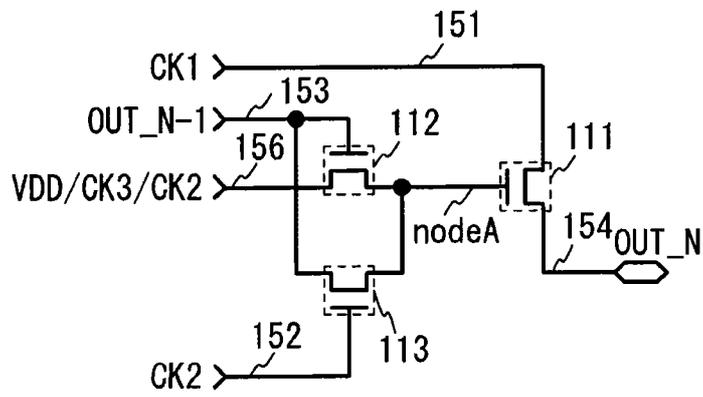


图 10A

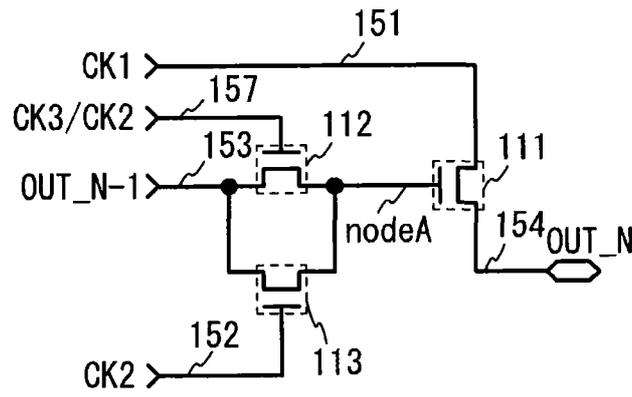


图 10B

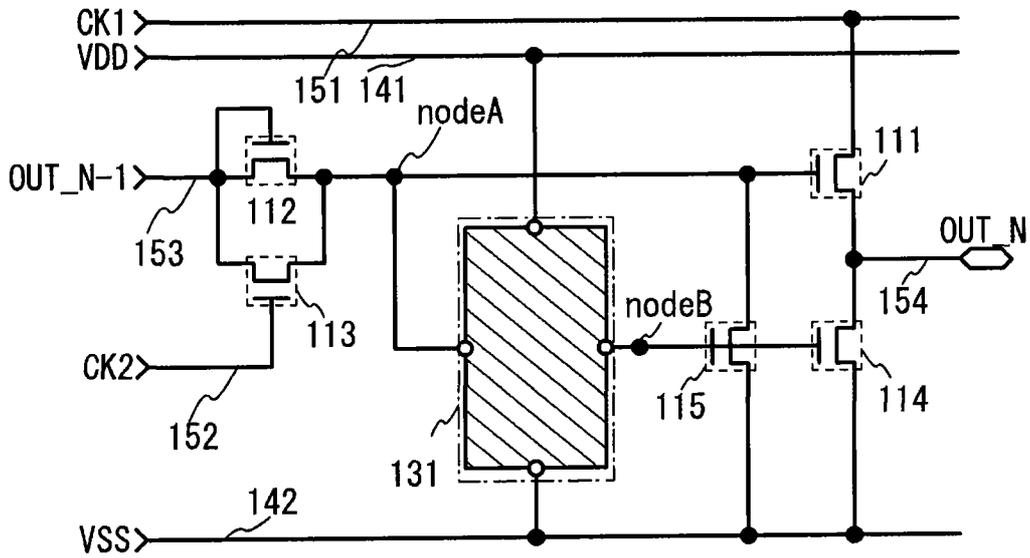


图 11A

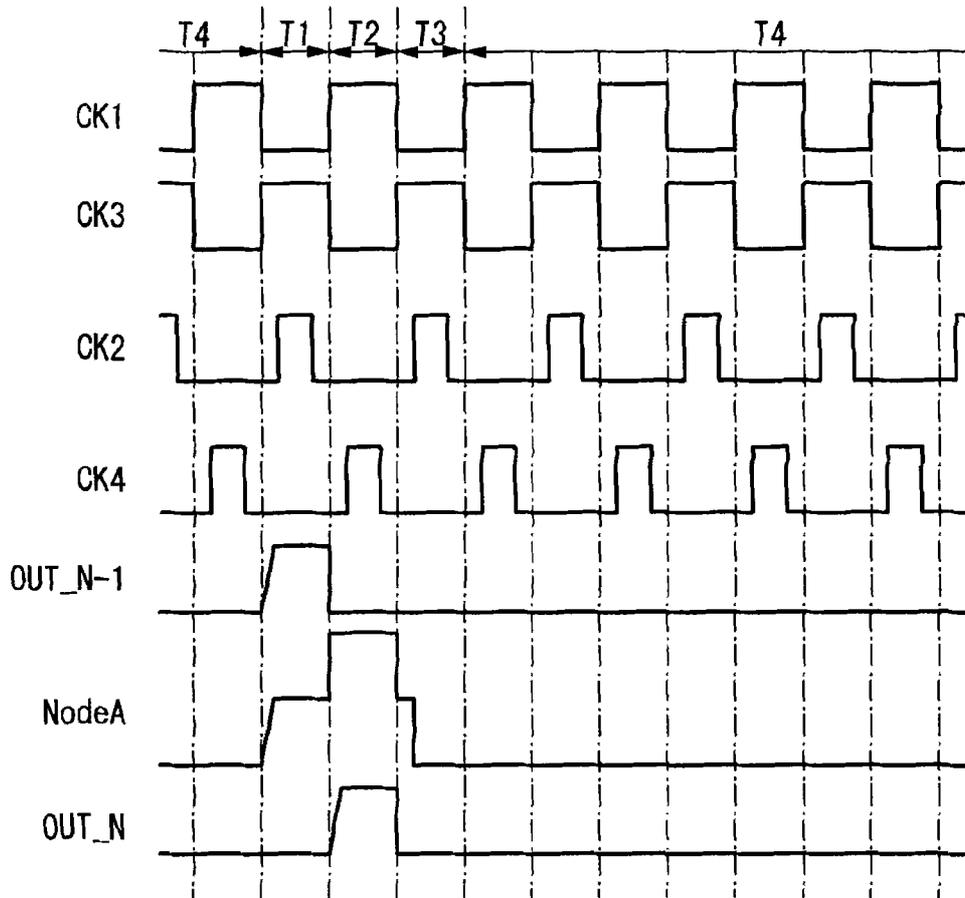


图 11B

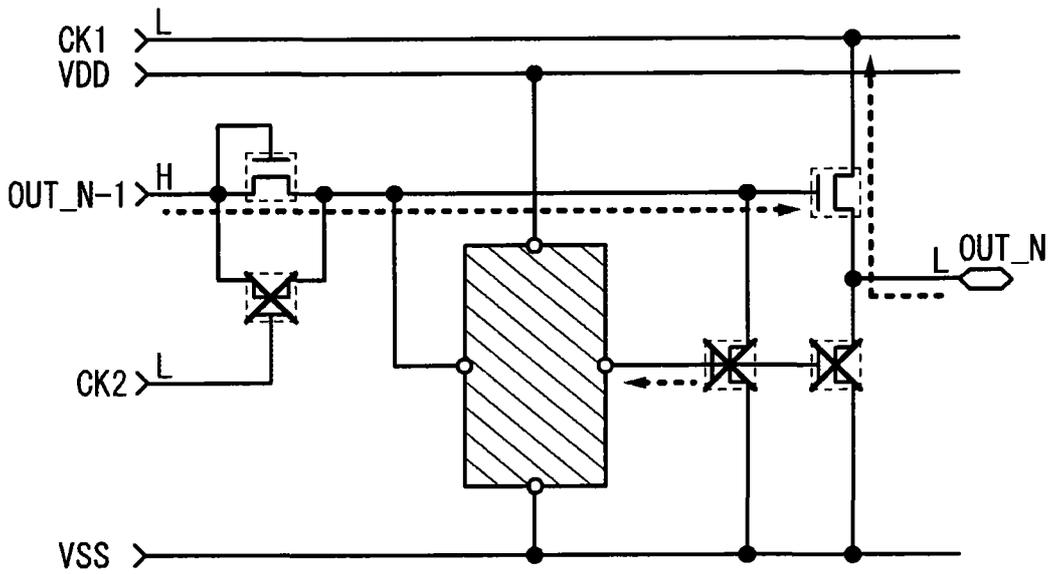


图 12A

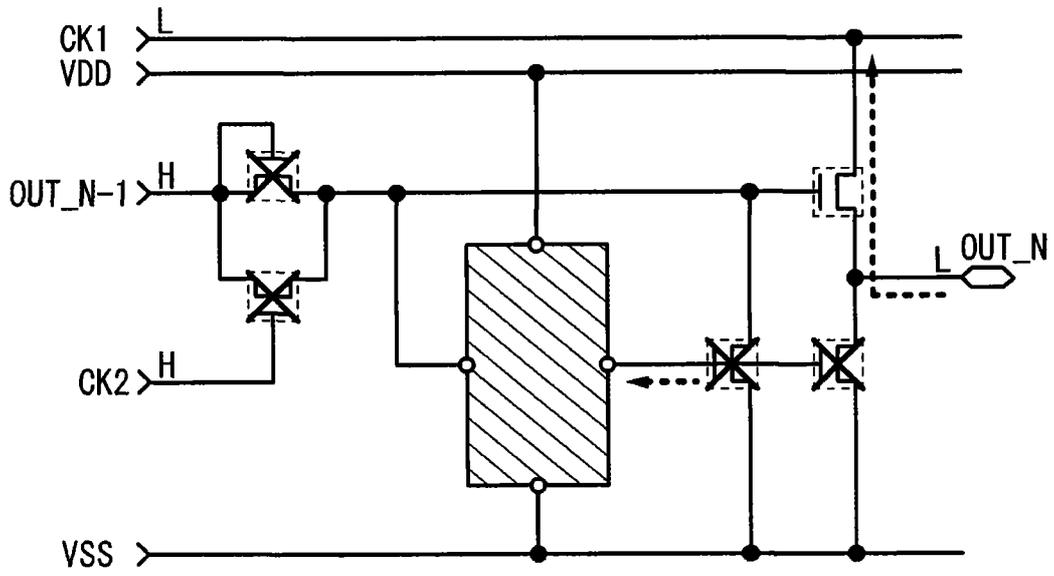


图 12B

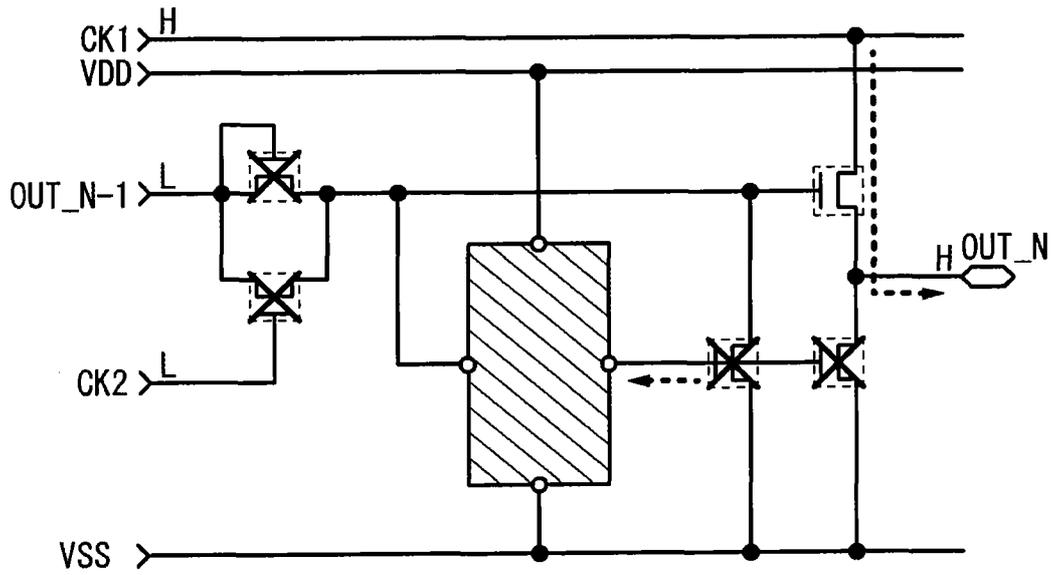


图 13

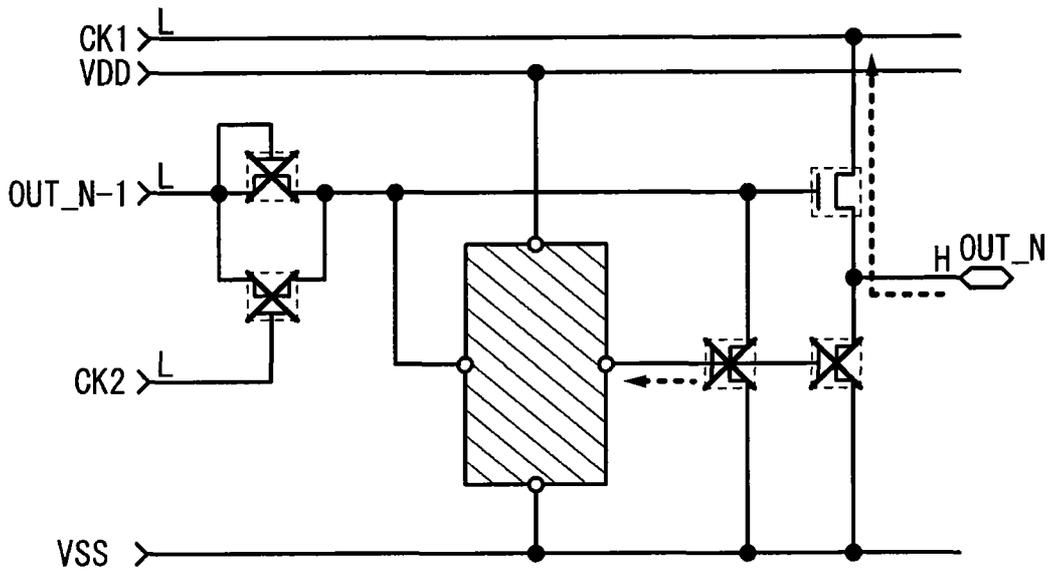


图 14A

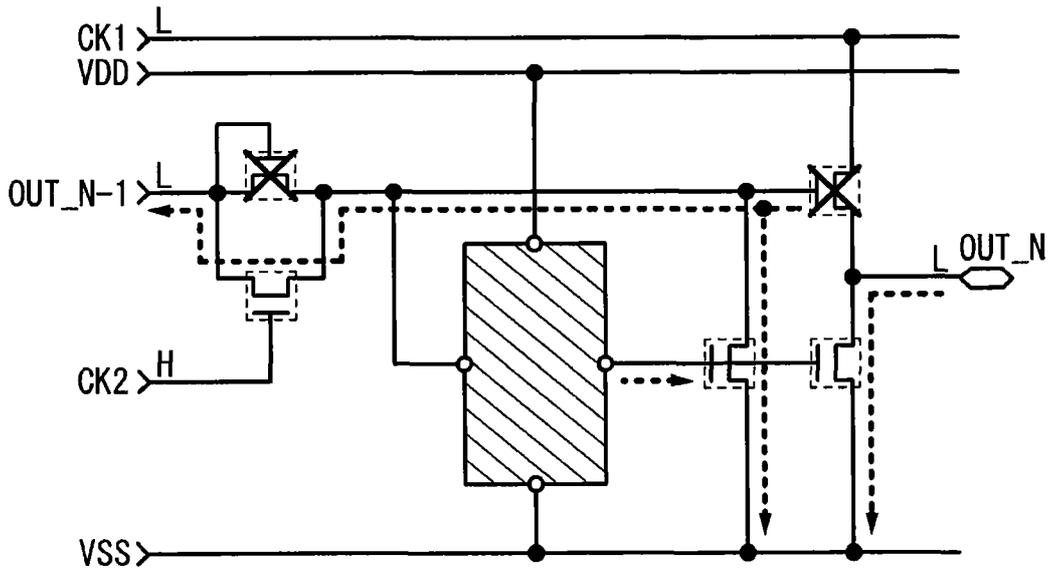


图 14B

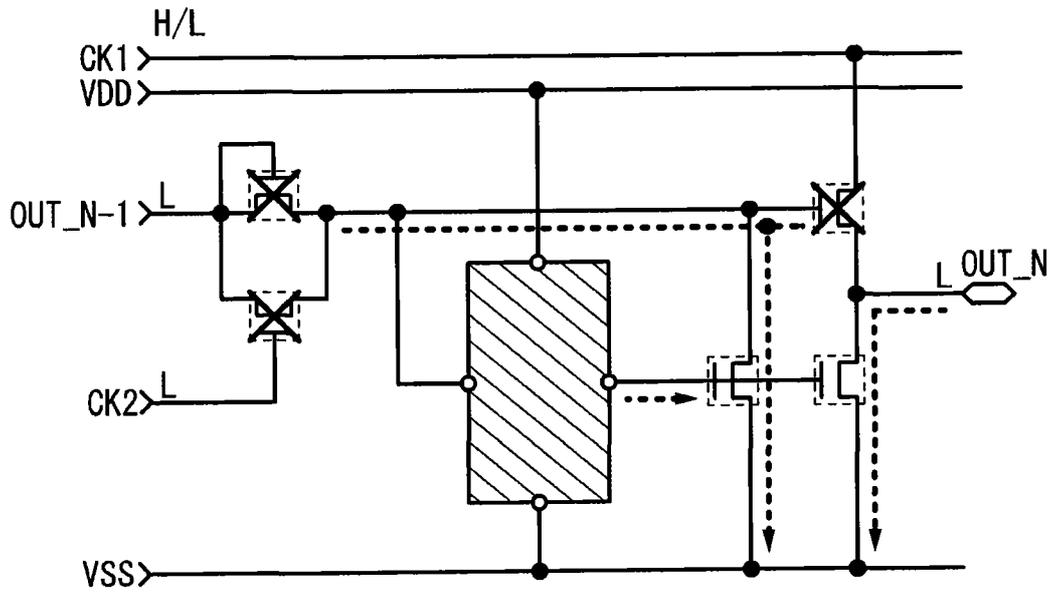


图 15A

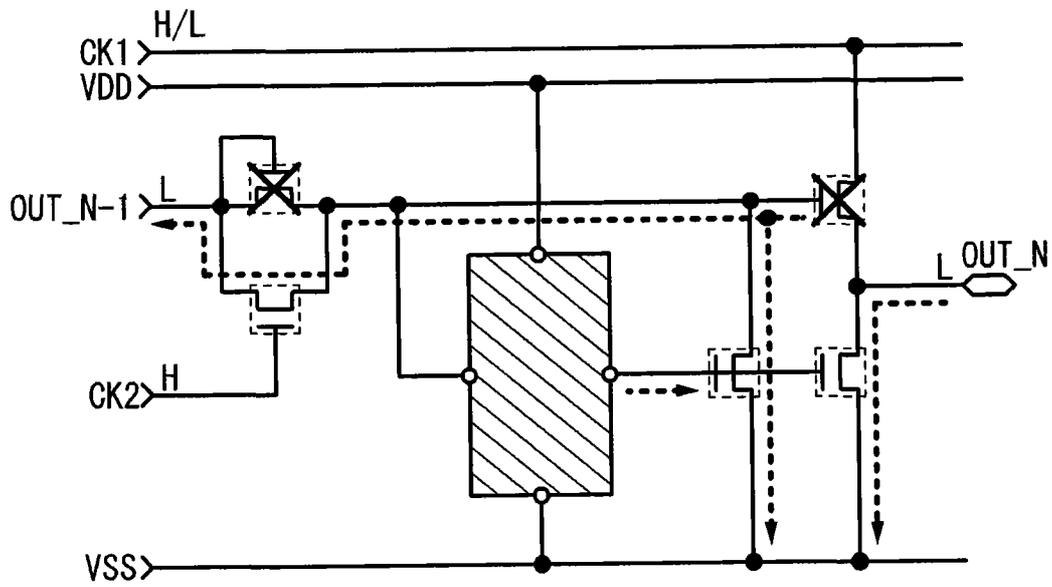


图 15B

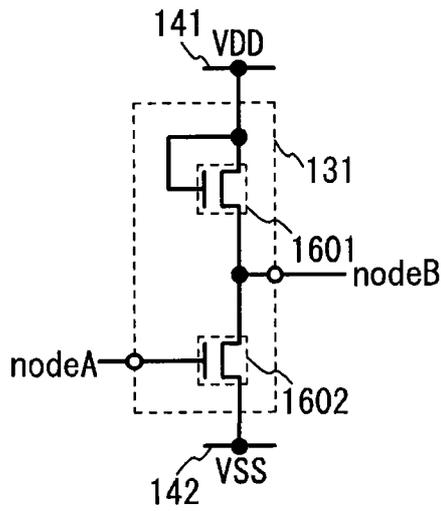


图 16A

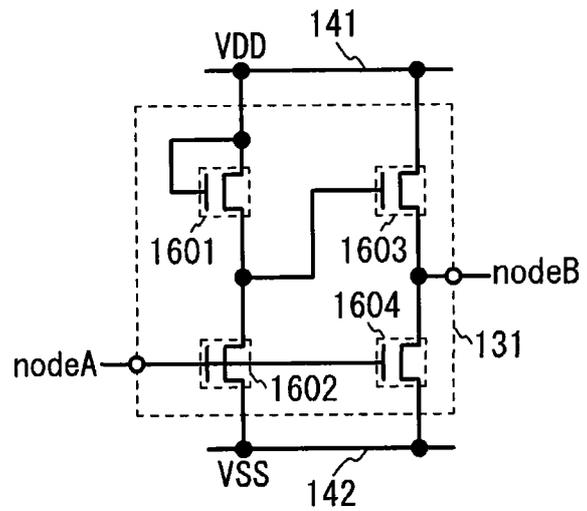


图 16B

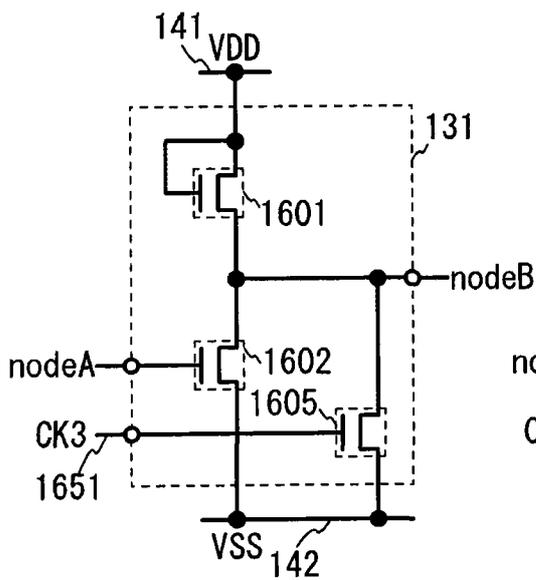


图 17A

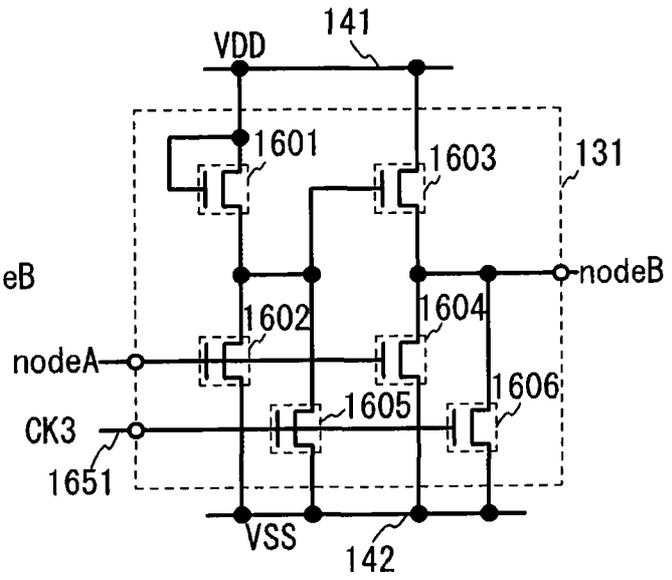


图 17B

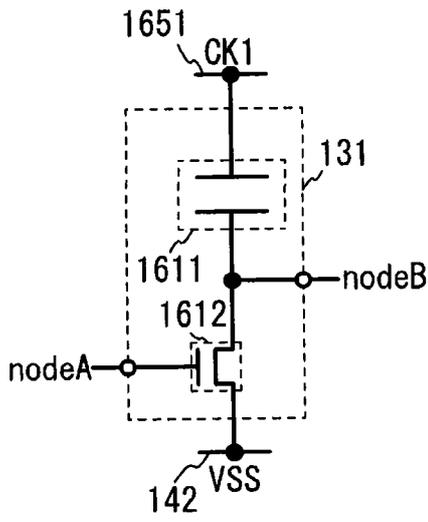


图 17C

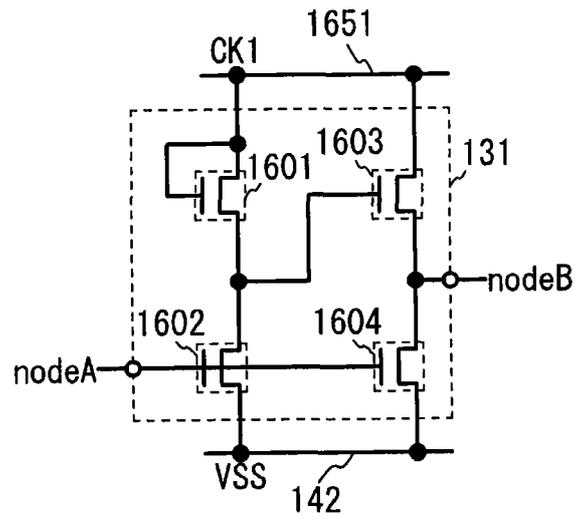


图 17D

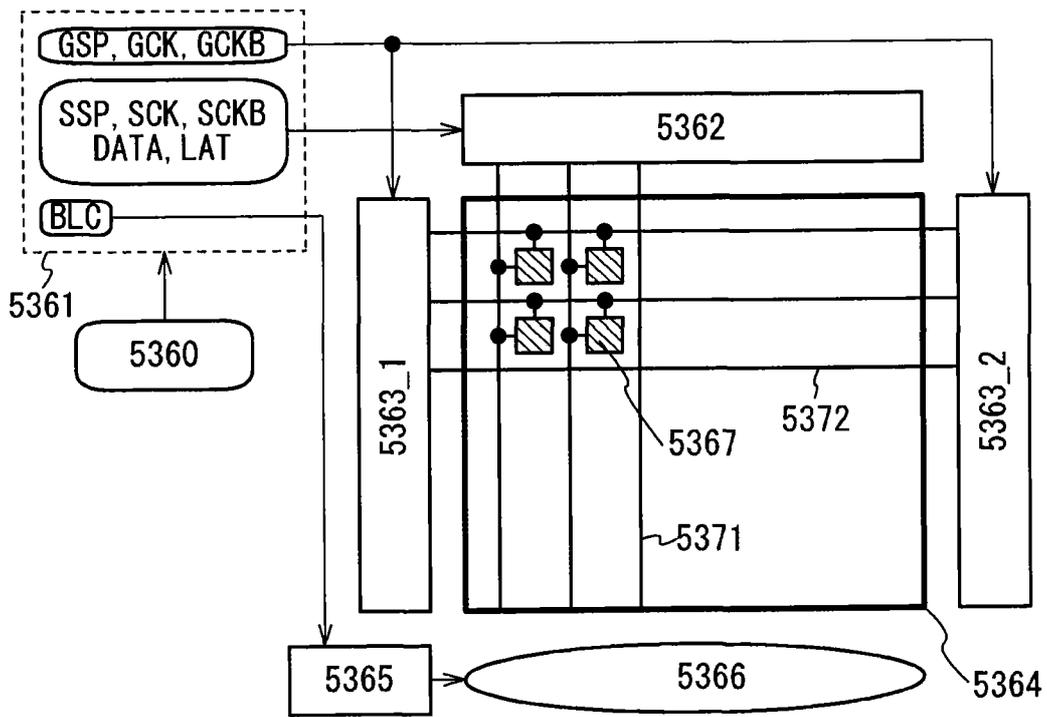


图 18A

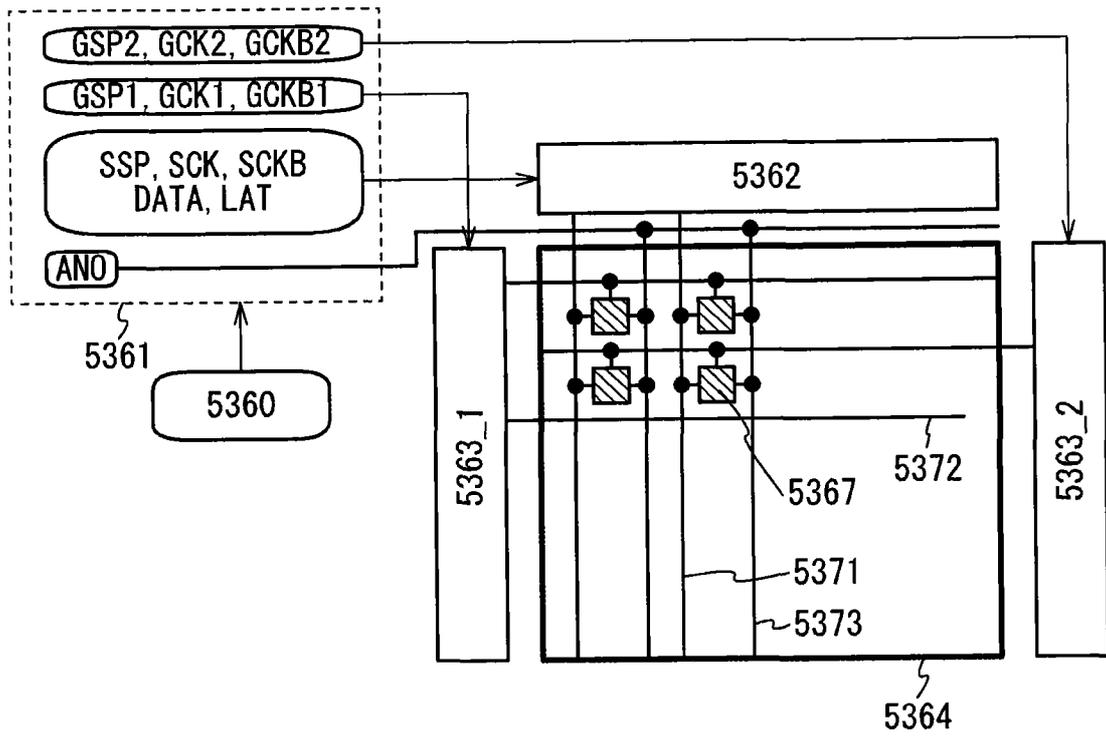


图 18B

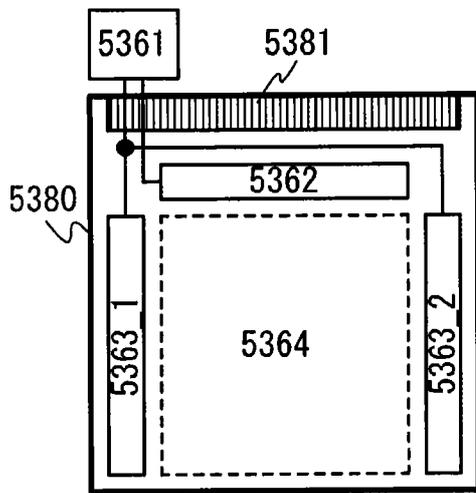


图 19A

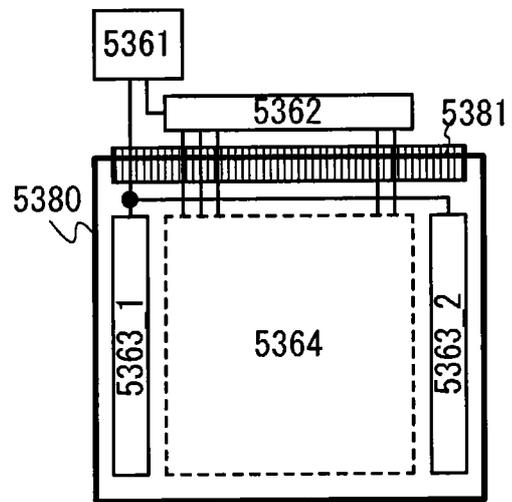


图 19B

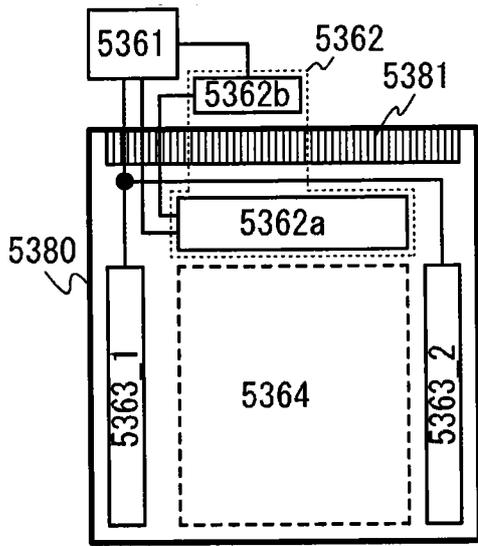


图 19C

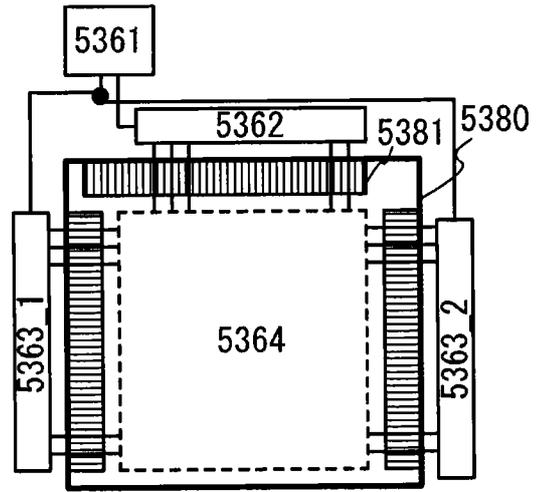


图 19D

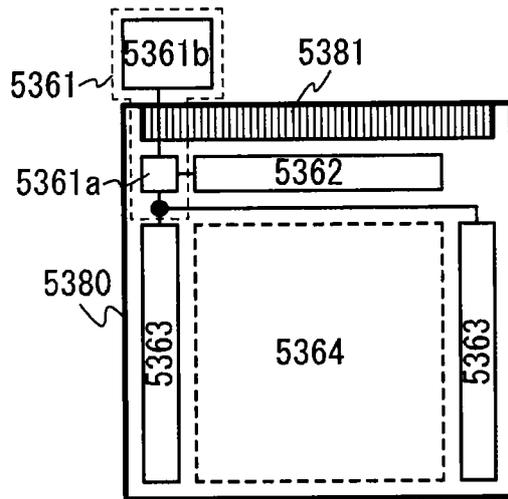


图 19E

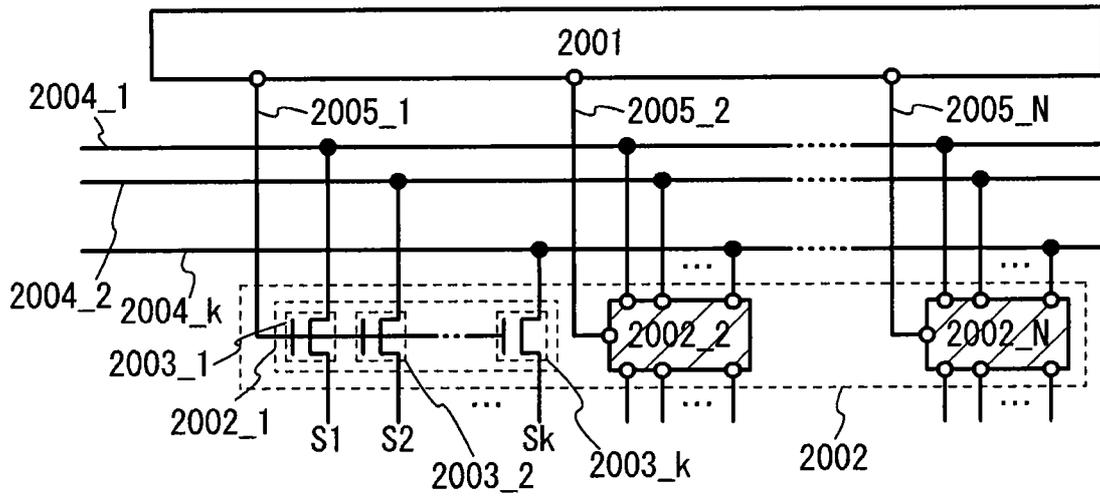


图 20A

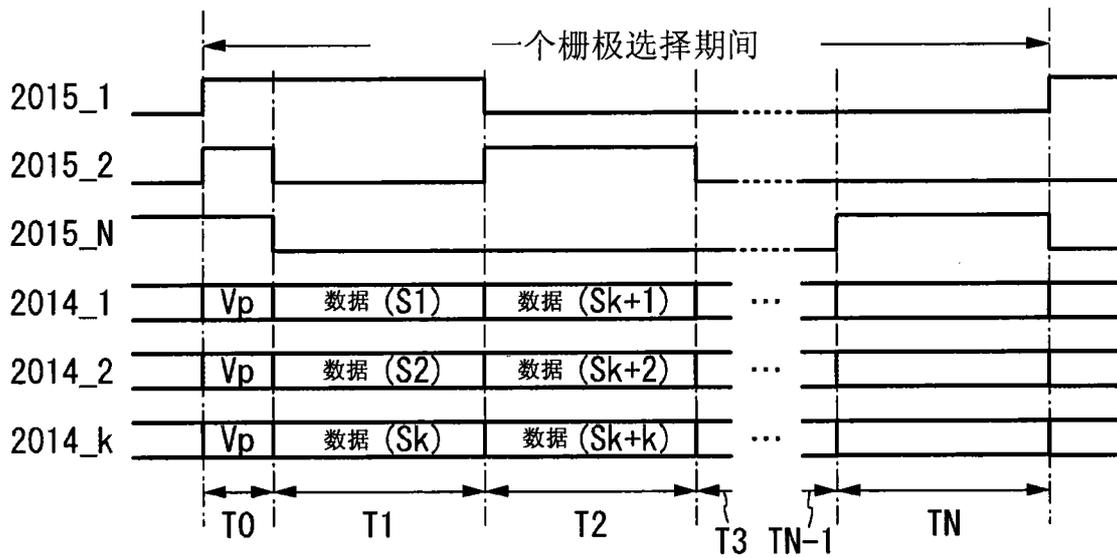


图 20B

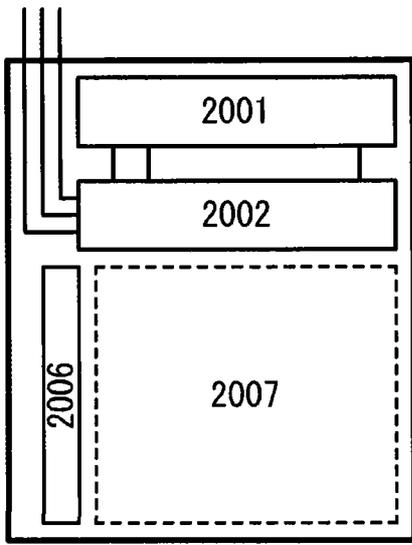


图 20C

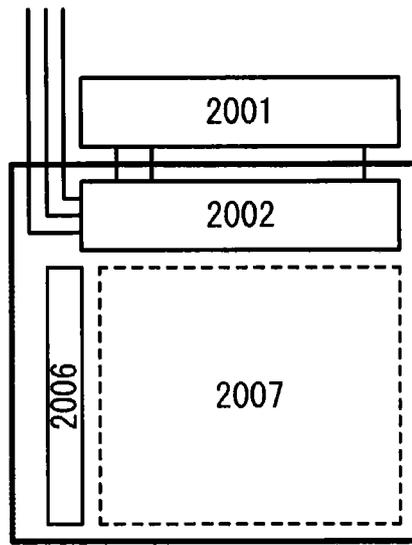


图 20D

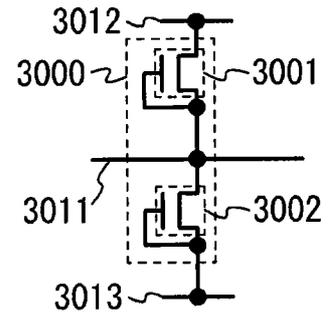


图 21A

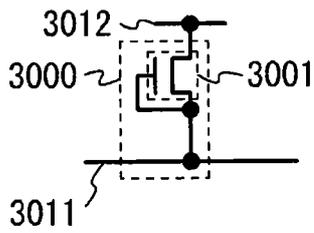


图 21B

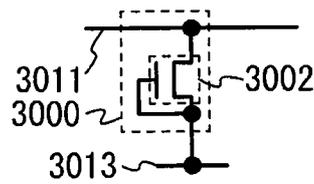


图 21C

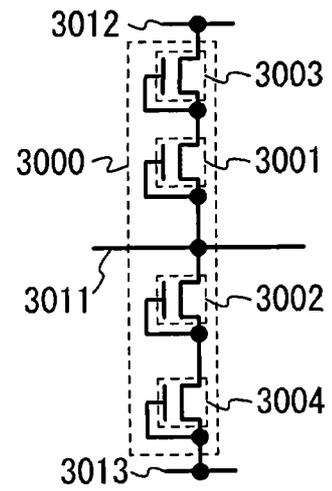


图 21D

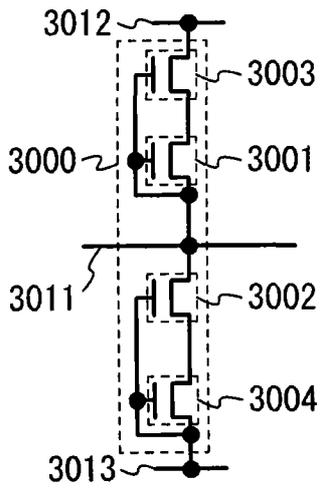


图 21E

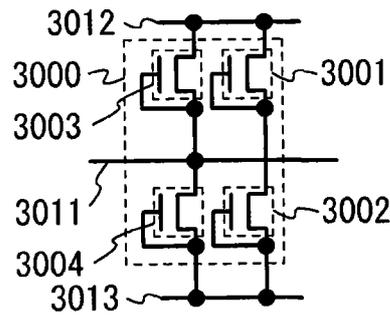


图 21F

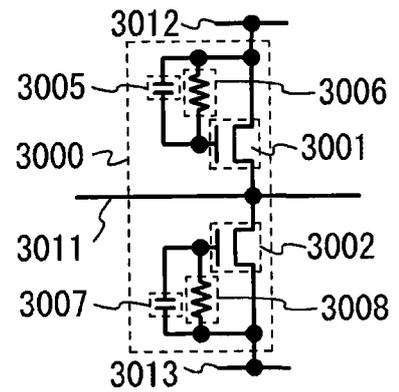


图 21G

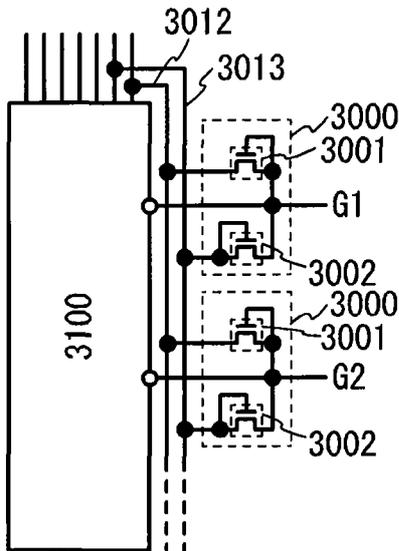


图 22A

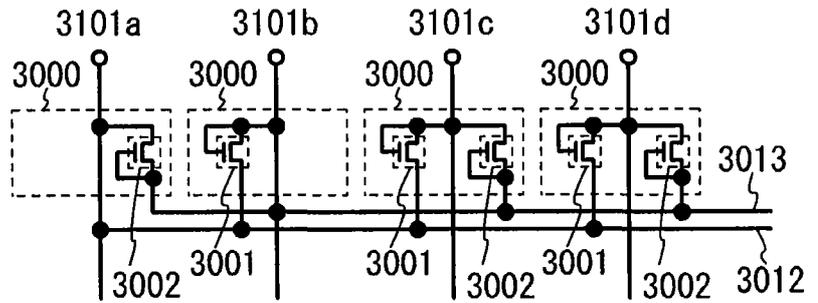


图 22B

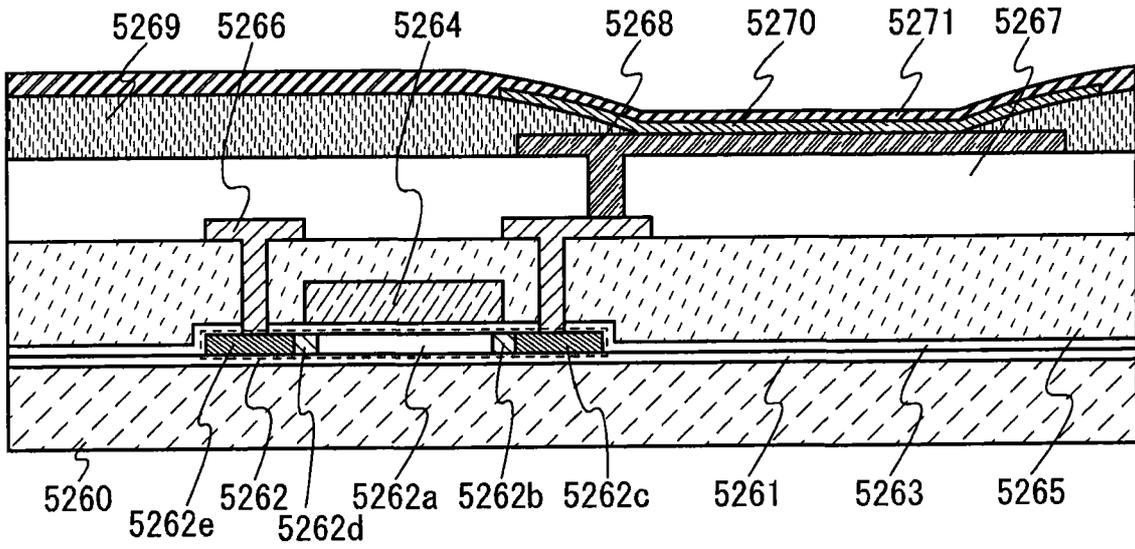


图 23A

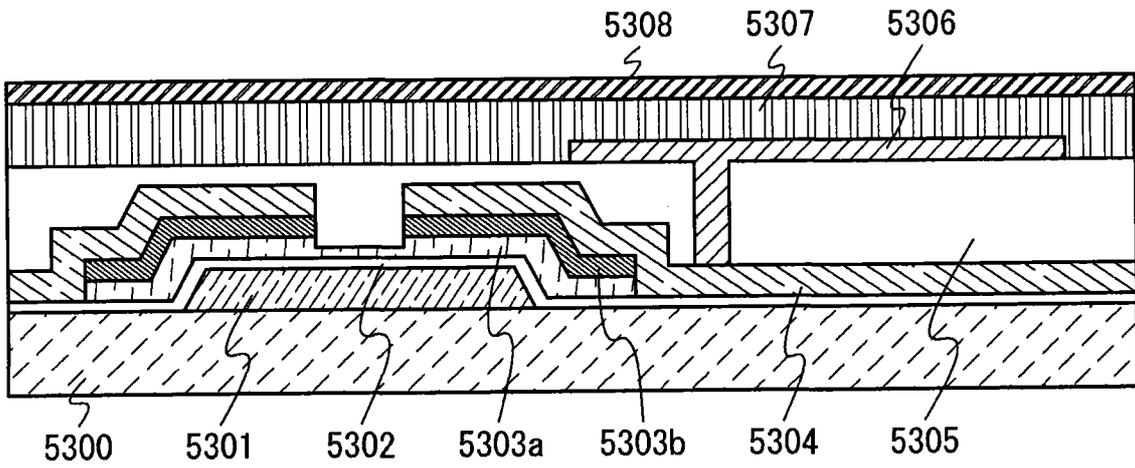


图 23B

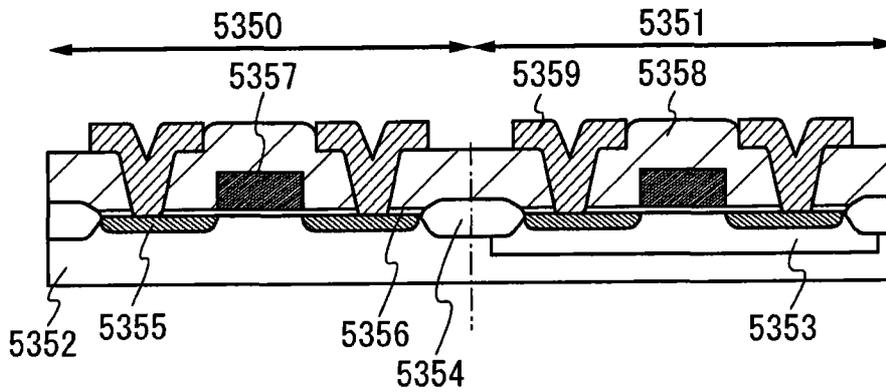


图 23C

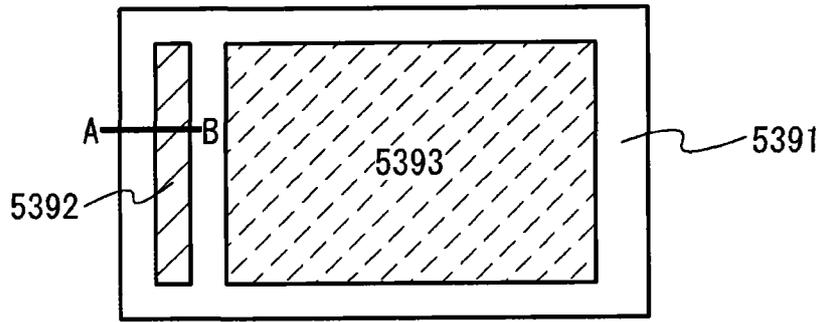


图 24A

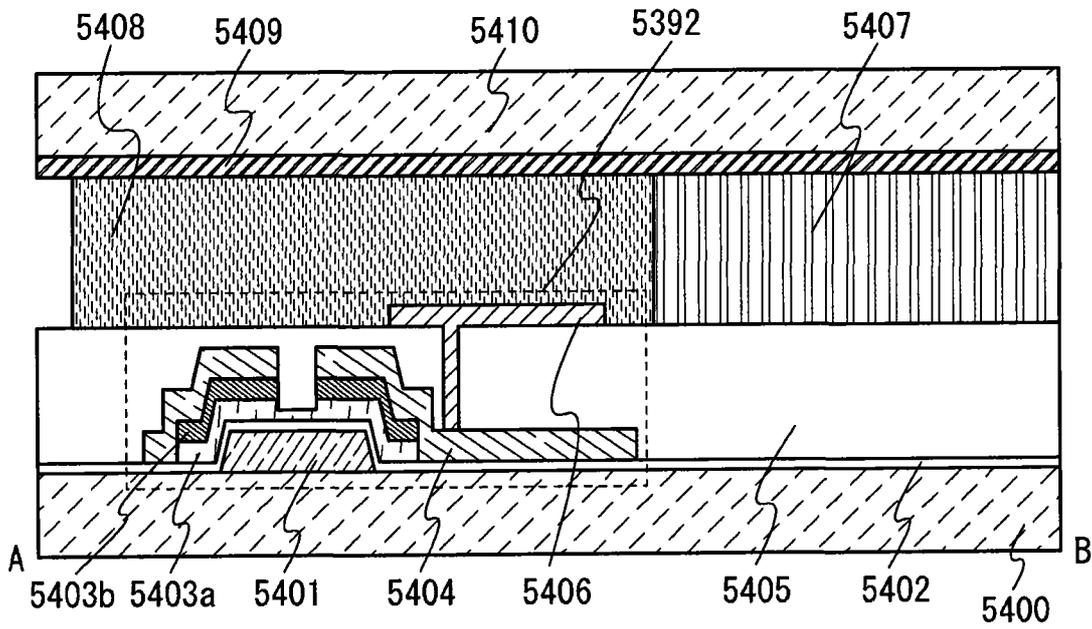


图 24B

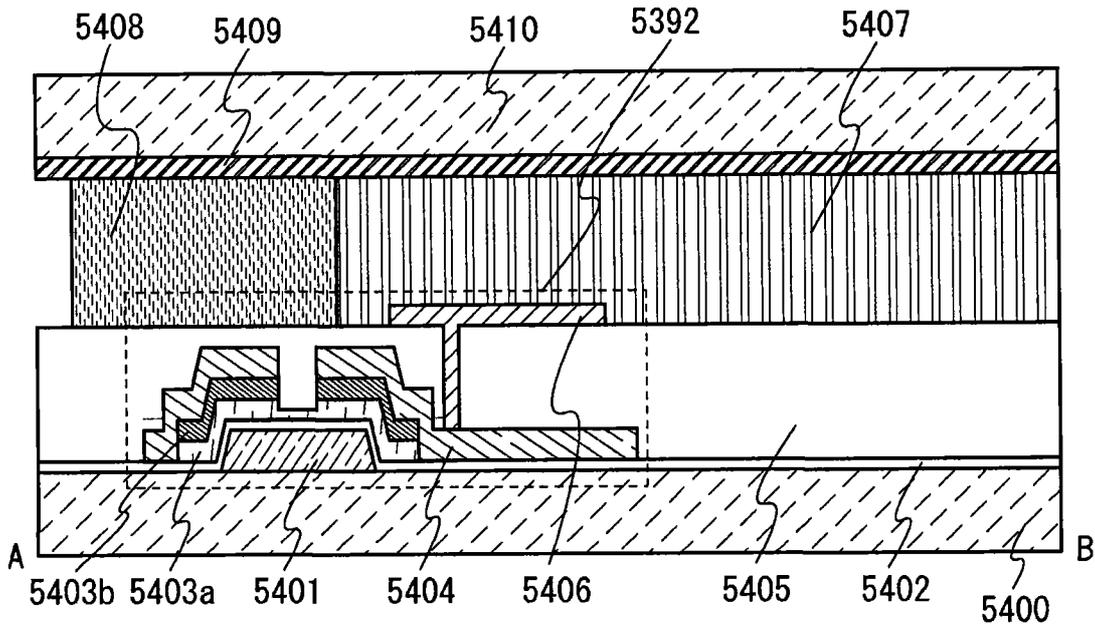
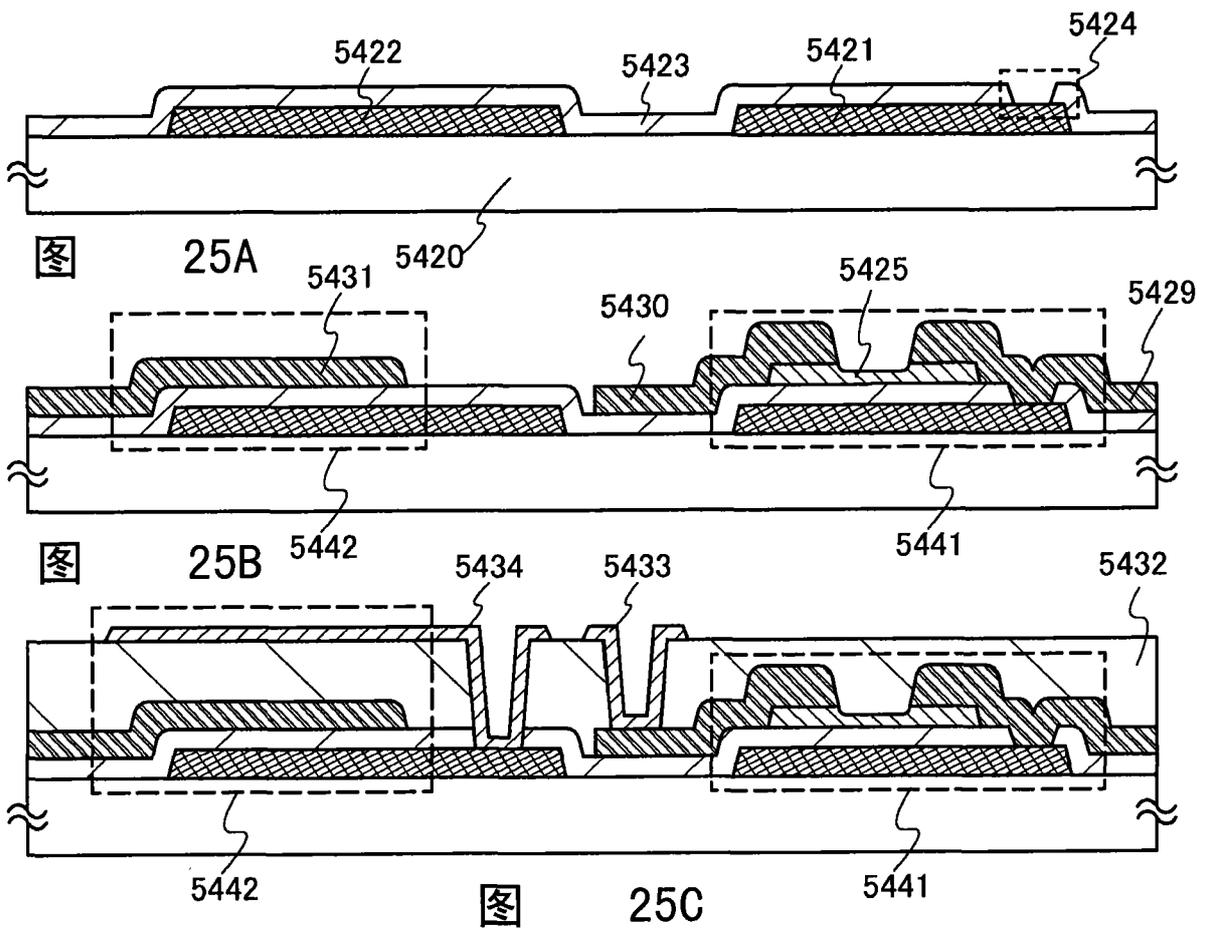


图 24C



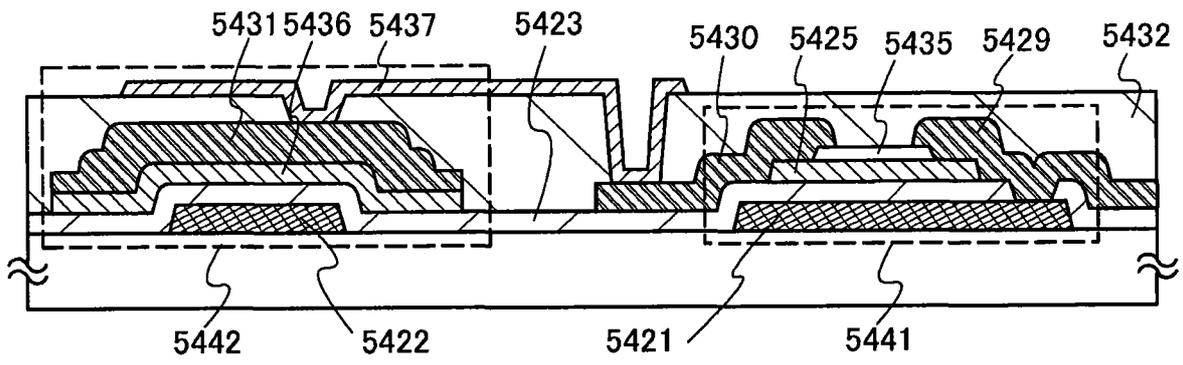


图 25D

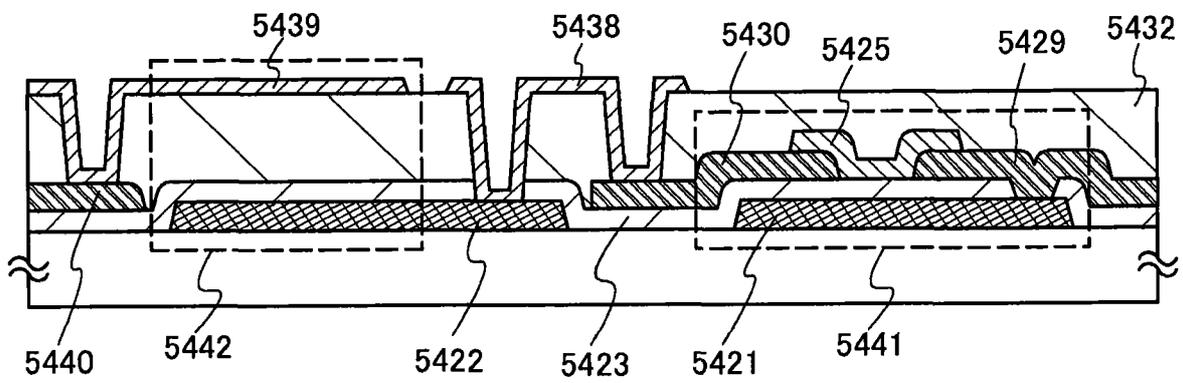


图 25E

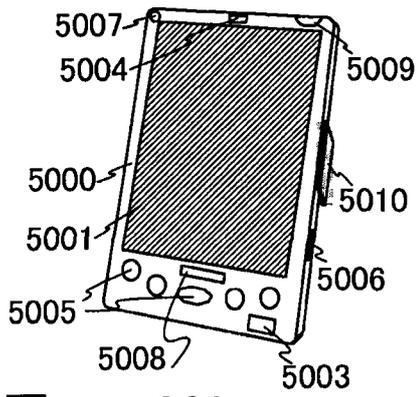


图 26A

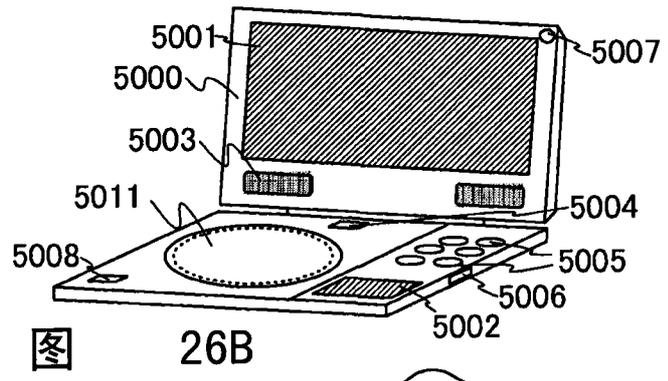


图 26B

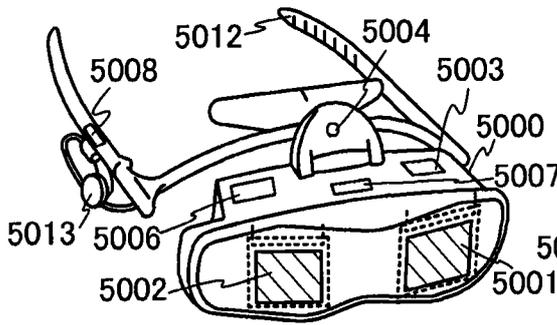


图 26C

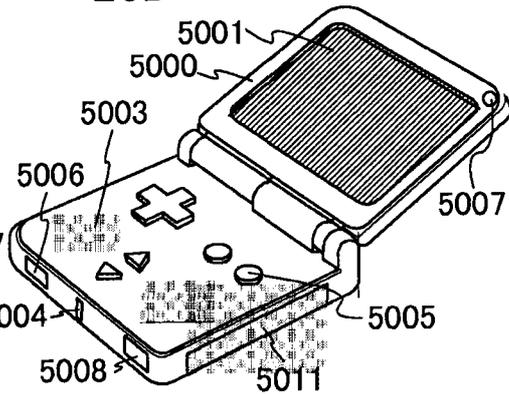


图 26D

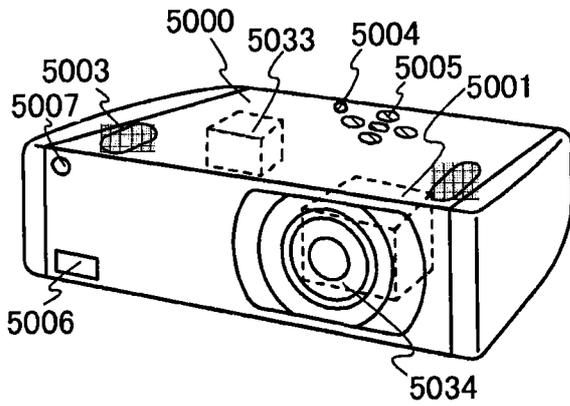


图 26E

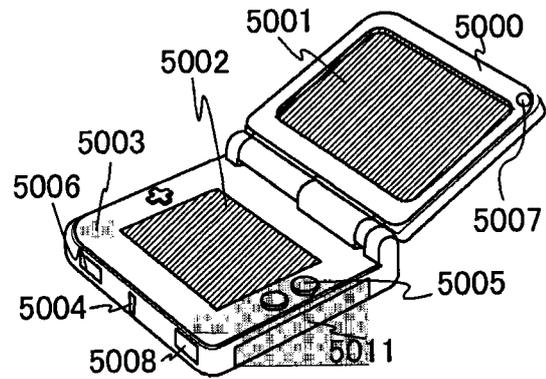


图 26F

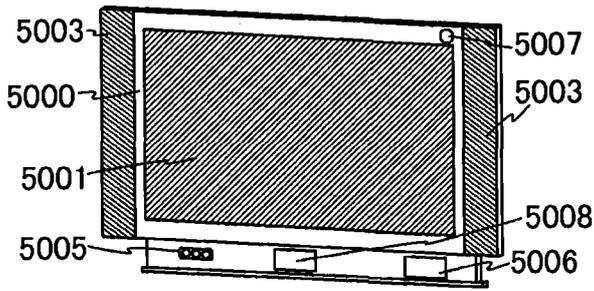


图 26G

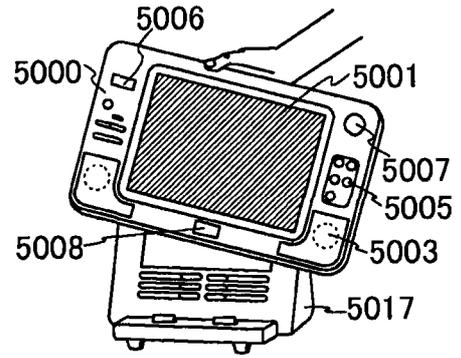


图 26H

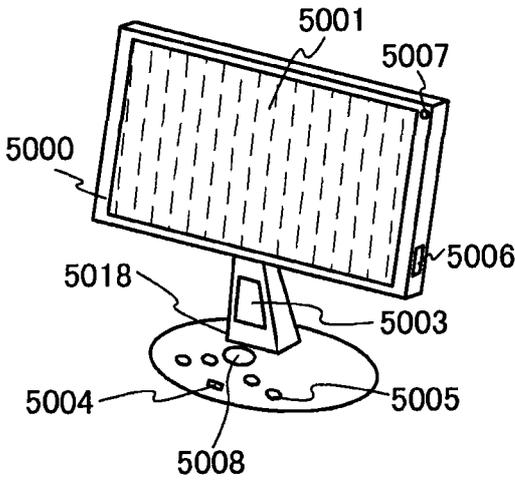


图 27A

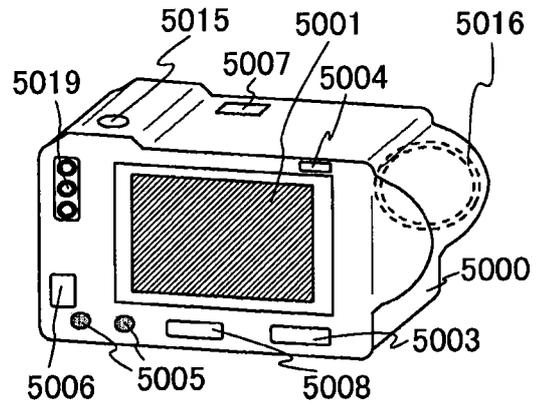


图 27B

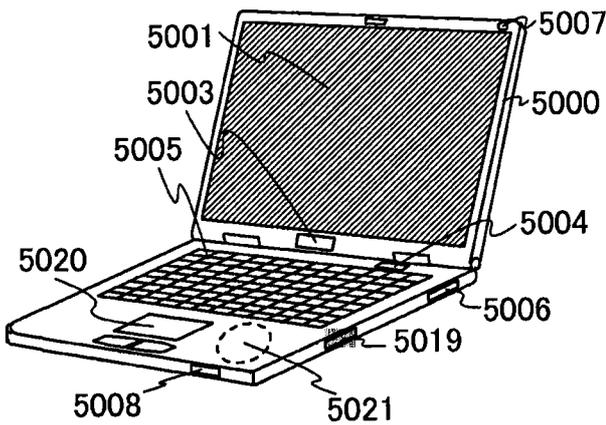


图 27C

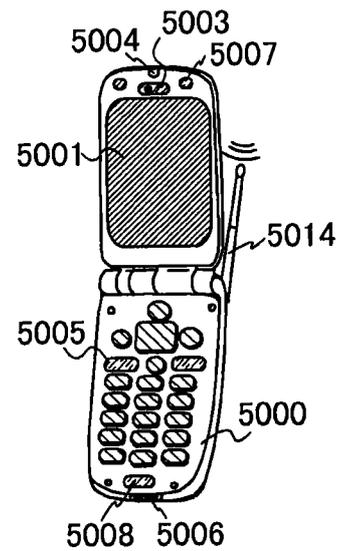


图 27D

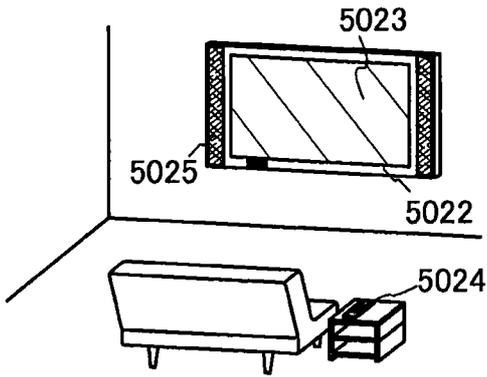


图 27E

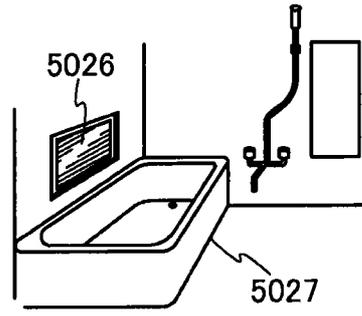


图 27F

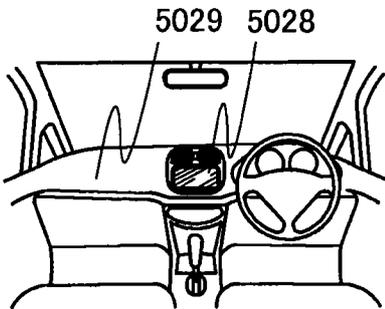


图 27G

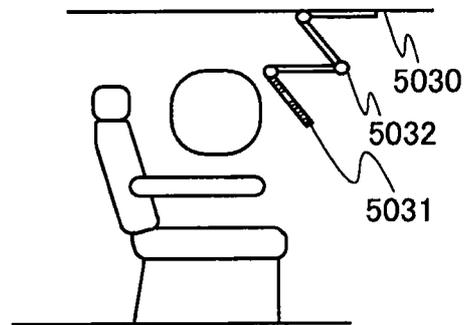


图 27H

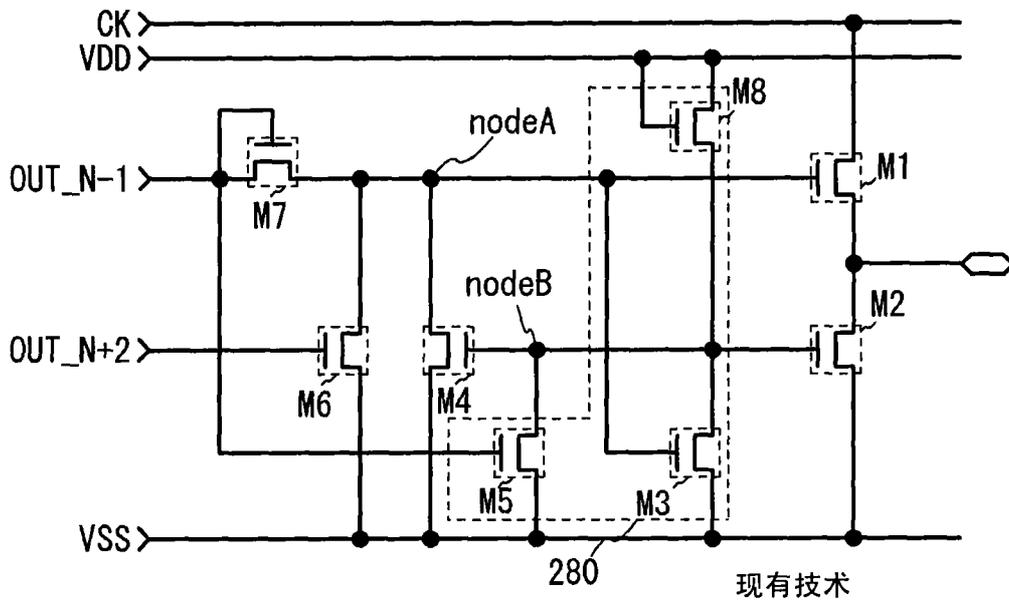
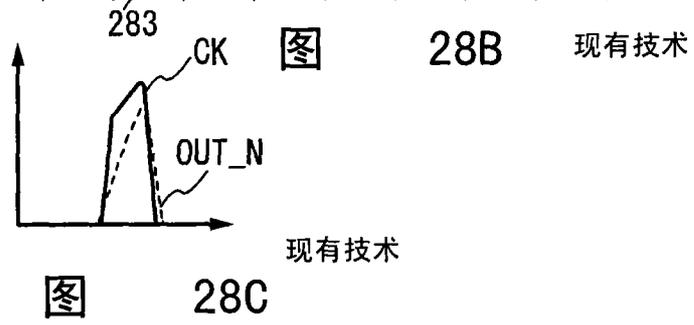
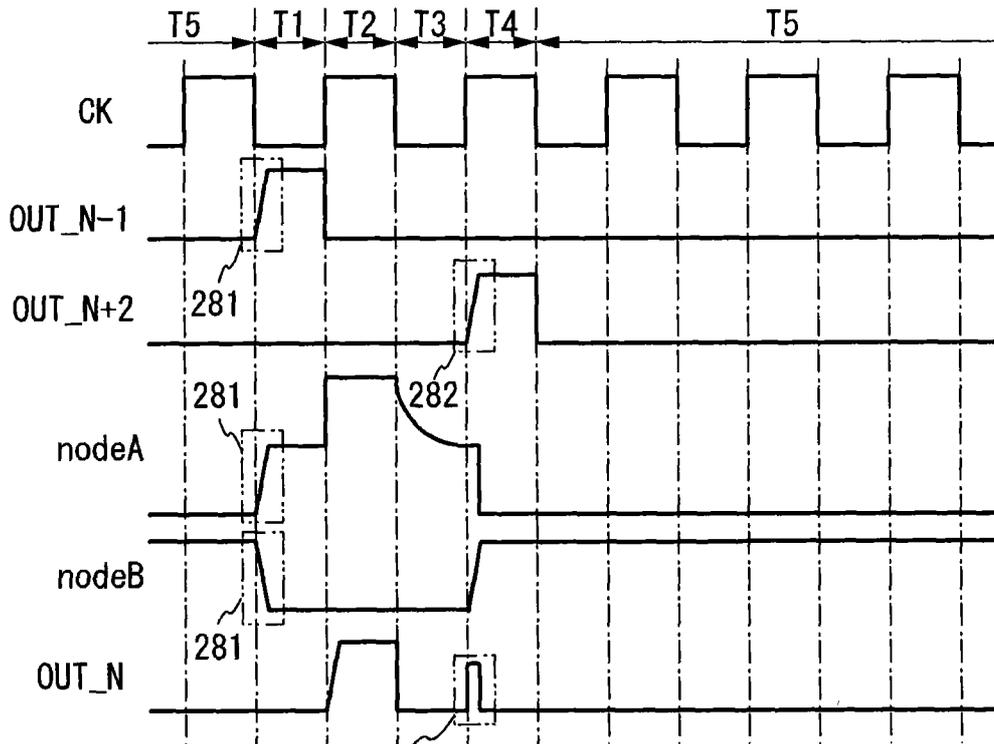


图 28A



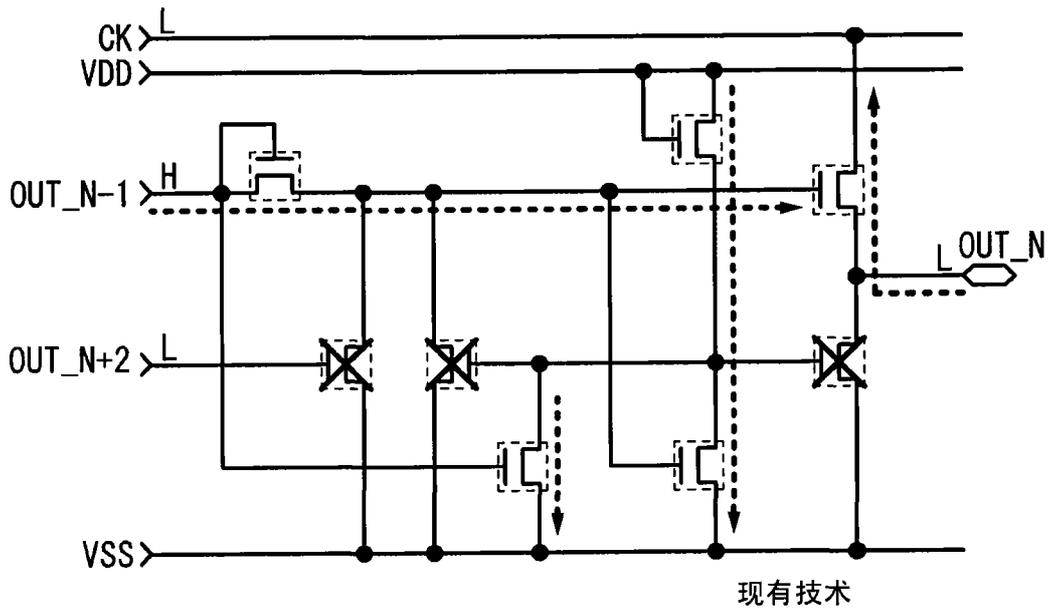


图 29A

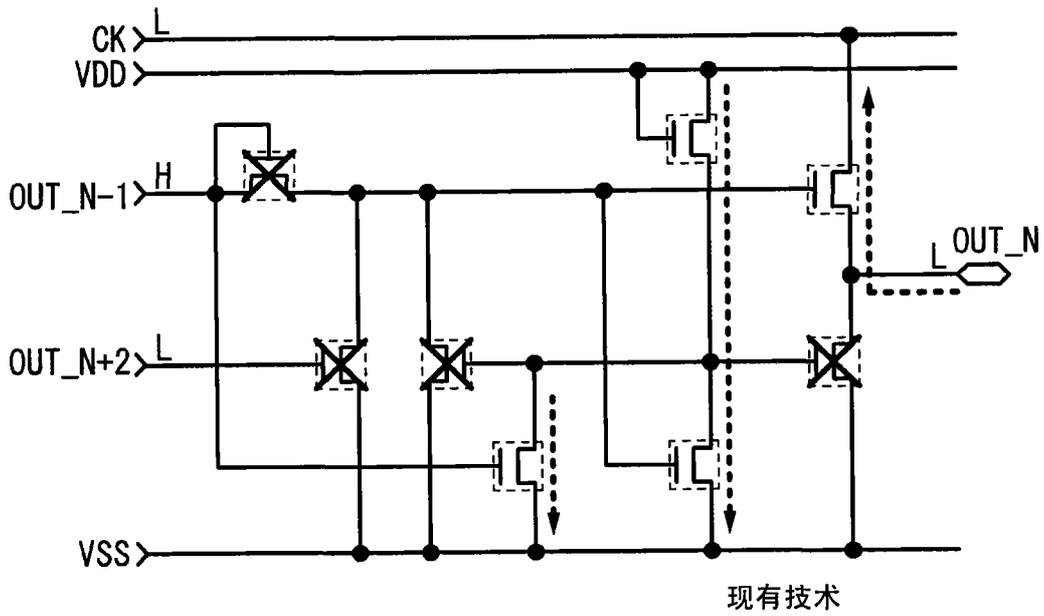


图 29B

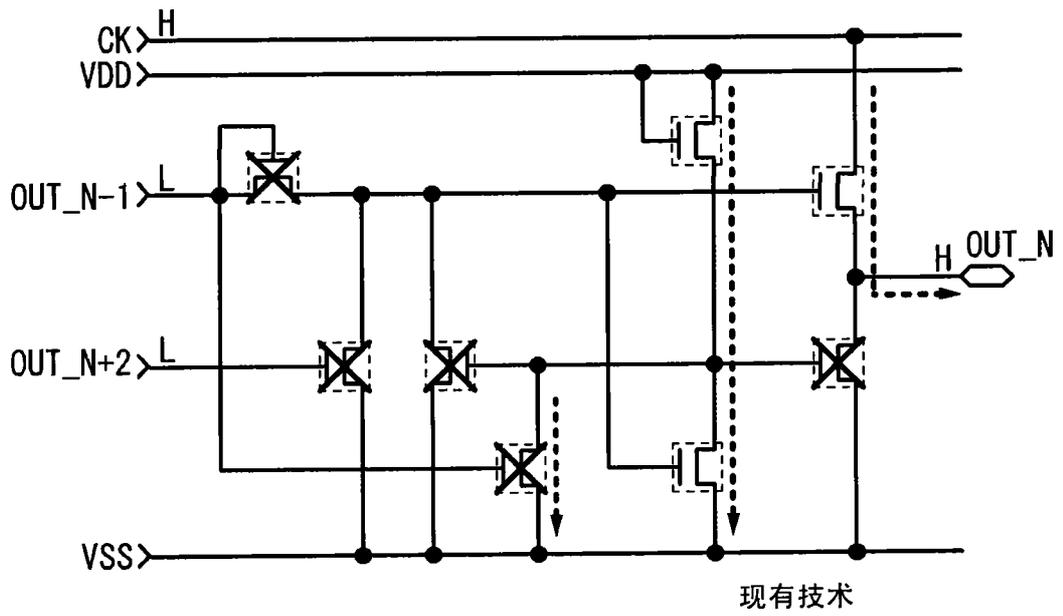


图 30A

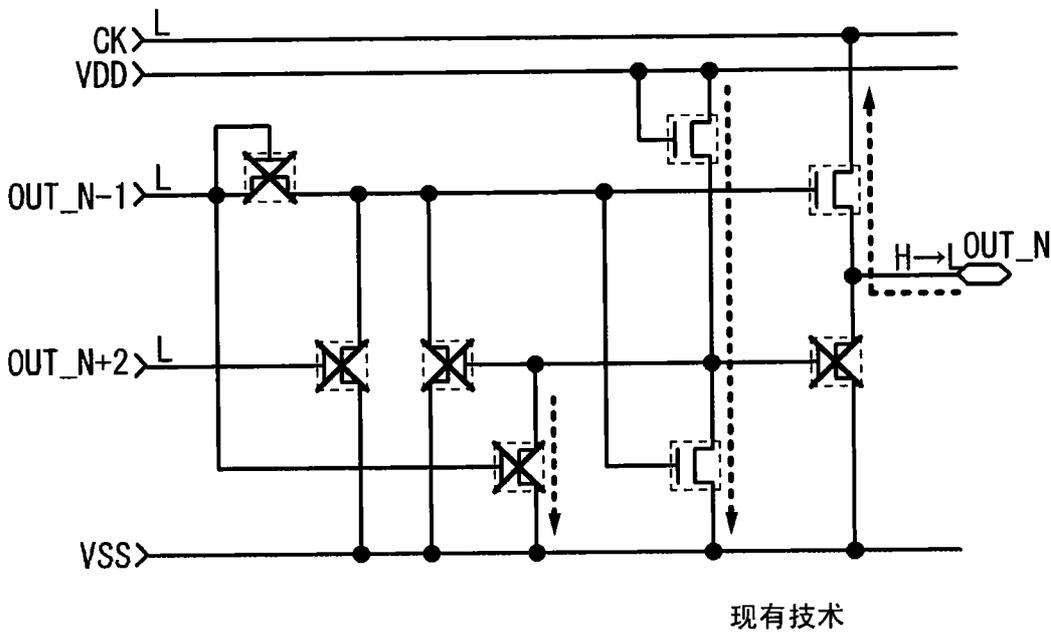


图 30B

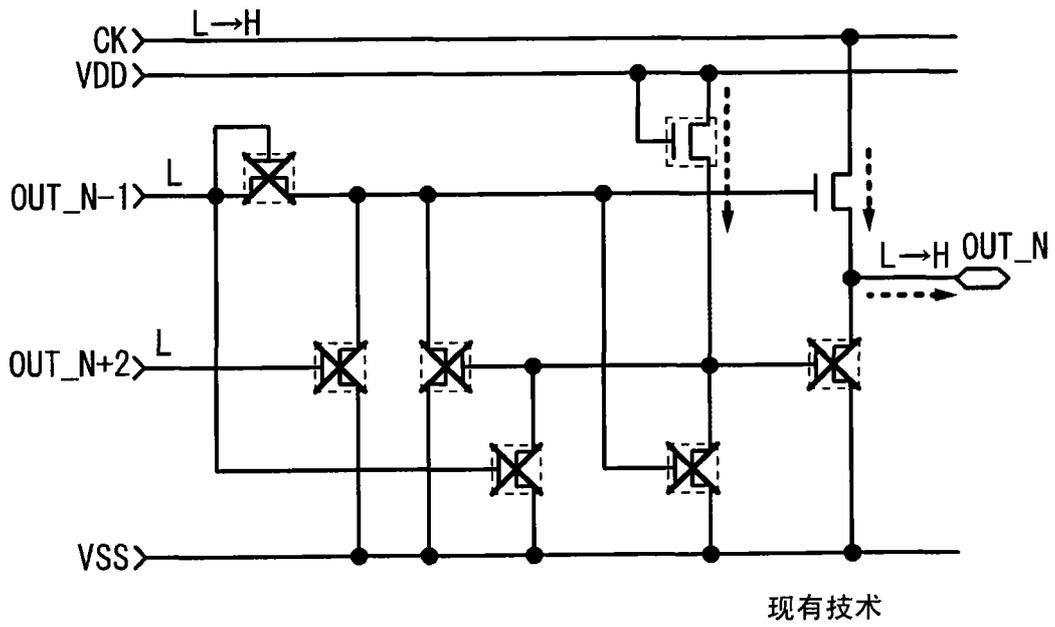


图 31A

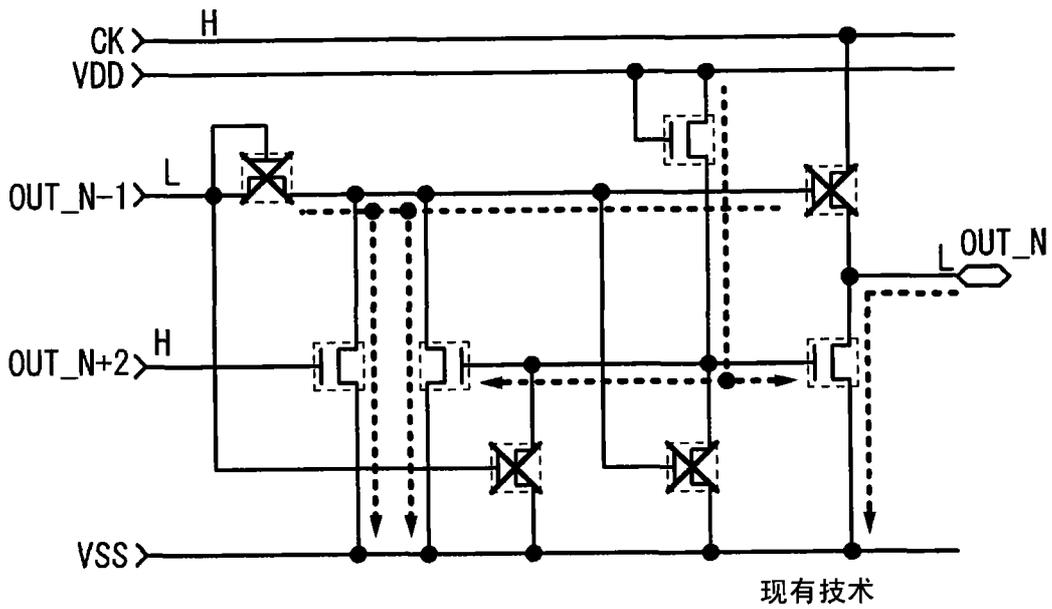


图 31B

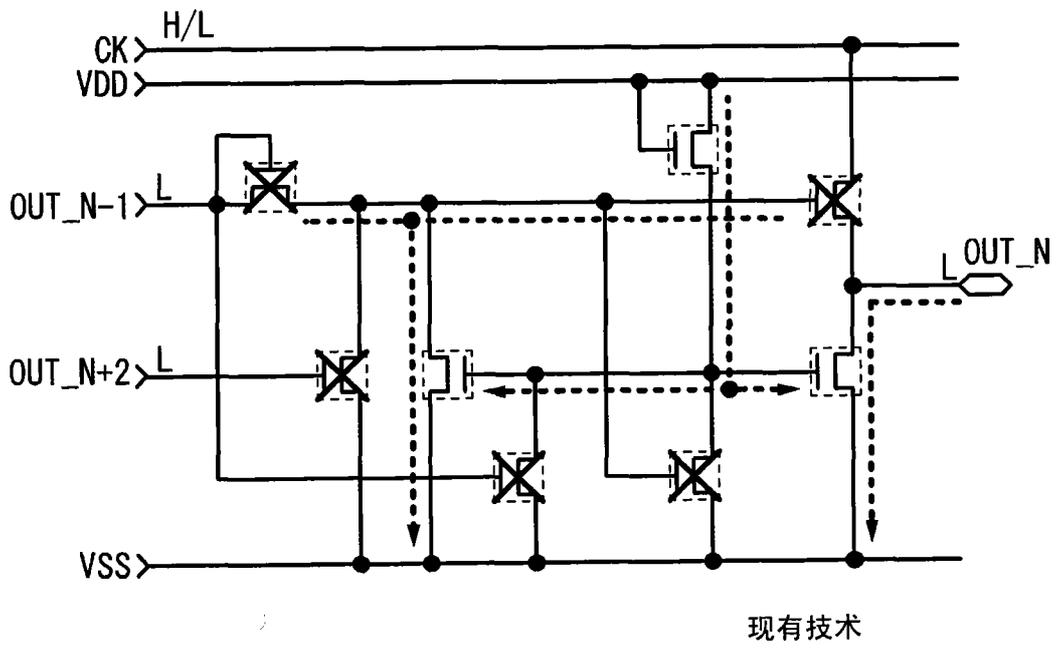


图 32

专利名称(译)	液晶显示装置		
公开(公告)号	CN101847387B	公开(公告)日	2014-01-08
申请号	CN201010155622.3	申请日	2010-03-26
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社半导体能源研究所		
当前申请(专利权)人(译)	株式会社半导体能源研究所		
[标]发明人	梅崎敦司		
发明人	梅崎敦司		
IPC分类号	G09G3/36		
CPC分类号	G09G3/20 H01L29/7869 G09G2310/0275 G09G3/30 G09G3/3406 G09G3/36 G09G3/3611 G09G3/3648 G09G2300/0426 G09G2300/04 G11C19/28 H01L21/477 H01L27/1255 H01L27/127		
代理人(译)	刘佳 胡焯		
优先权	2009077955 2009-03-27 JP		
其他公开文献	CN101847387A		
外部链接	Espacenet SIPO		

摘要(译)

本发明通过减少信号的错误工作提高显示质量。在由具有第一晶体管至第三晶体管以及第一信号线至第四信号线的多个脉冲输出电路而构成的驱动电路中，第一信号线供给有第一时钟信号，第二信号线供给有前级信号，第三信号线供给有第二时钟信号，第四信号线输出输出信号，第一时钟信号和第二时钟信号的占空比不同，并且使在第一时钟信号从L信号切换为H信号之后至第二时钟信号从L信号切换为H信号的期间、比前级信号从L信号切换为H信号的期间长。

