



(12) 发明专利申请

(10) 申请公布号 CN 101814274 A

(43) 申请公布日 2010.08.25

(21) 申请号 200910312672.5

(22) 申请日 2009.12.30

(71) 申请人 福州华映视讯有限公司

地址 350015 福建省福州市马尾科技园区兴
业路 1 号

申请人 中华映管股份有限公司

(72) 发明人 蓝东鑫 林明璋 陈建仰

(74) 专利代理机构 福州元创专利商标代理有限
公司 35100

代理人 蔡学俊

(51) Int. Cl.

G09G 3/36 (2006.01)

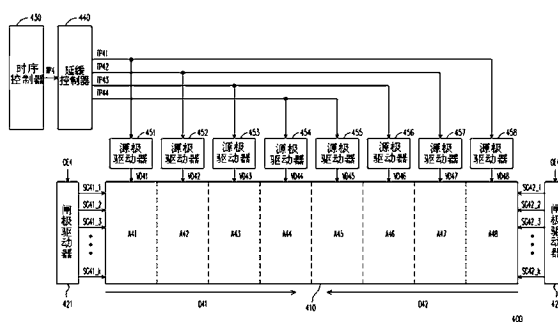
权利要求书 1 页 说明书 6 页 附图 5 页

(54) 发明名称

液晶显示器

(57) 摘要

本发明涉及一种液晶显示器,包括一画素数组、一第一闸极驱动器、一第二闸极驱动器、一延迟控制器、以及 $2N$ 个源极驱动器, N 为正整数。画素数组包括 $2N$ 个显示区域。第一闸极驱动器与第二闸极驱动器分别用以产生多个闸极驱动讯号,以依序开启画素数组中的画素。延迟控制器提供 N 个延迟时间,且这些延迟时间正比于这些闸极驱动讯号分别传送至第 1 至第 N 个显示区域时所产生的延迟量。延迟控制器更分别利用这些延迟时间逐一延迟一主加载讯号,以产生 N 个从属加载讯号。这些源极驱动器用以依据这些从属加载讯号来产生多个画素电压,以驱动画素数组中的画素。



1. 一种液晶显示器,其特征是包括:一画素数组,包括 $2N$ 个显示区域, N 为正整数;一第一闸极驱动器,设置在该画素数组的一侧;一第二闸极驱动器,设置在该画素数组的另一侧,其中该第一闸极驱动器与该第二闸极驱动器会分别产生多个闸极驱动讯号,以依序开启该画素数组中的画素;一延迟控制器,用以提供 N 个延迟时间,且该些延迟时间正比于该些闸极驱动讯号分别传送至第 1 至第 N 个显示区域时所产生的延迟量,并分别利用该些延迟时间逐一延迟一主加载讯号,以产生 N 个从属加载讯号;以及 $2N$ 个源极驱动器,用以依据该些从属加载讯号来产生多个画素电压,以驱动该画素数组中的画素。

2. 根据权利要求 1 所述的液晶显示装置,其特征是更包括:一时序控制器,用以产生该主加载讯号。

3. 根据权利要求 1 所述的液晶显示装置,其特征是:其中第 i 个延迟时间正比于该些闸极驱动讯号传送至第 i 个显示区域所产生的延迟量,且该延迟控制器利用第 i 个延迟时间延迟该主加载讯号,并据以产生第 i 个从属加载讯号, i 为整数且 $1 \leq i \leq N$ 。

4. 根据权利要求 3 所述的液晶显示装置,其特征是:其中第 i 个源极驱动器与第 $(2N+1-i)$ 个源极驱动器依据第 i 个从属加载讯号,来分别驱动该画素数组中位在第 i 个显示区域与第 $(2N+1-i)$ 个显示区域的画素。

5. 根据权利要求 3 所述的液晶显示装置,其特征是其中该延迟控制器包括: N 个电阻,其中第 1 个电阻的第一端用以接收该主加载讯号,第 j 个电阻的第二端耦接第 $(j+1)$ 个电阻的第一端, j 为整数且 $1 \leq j \leq (N-1)$;以及 N 个电容,其中第 i 个电容的第一端耦接第 i 个电阻的第二端,并用以产生第 i 个从属加载讯号,且该些电容的第二端接耦接至一接地端。

6. 一种液晶显示装置,其特征是包括:一画素数组,包括 N 个显示区域, N 为大于 1 的整数;一闸极驱动器,用以产生多个闸极驱动讯号,以依序开启该画素数组中的画素;一延迟控制器,用以提供 N 个延迟时间,且该些延迟时间正比于该些闸极驱动讯号分别传送至该些显示区域时所产生的延迟量,并分别利用该些延迟时间逐一延迟一主加载讯号,以产生 N 个从属加载讯号;以及 N 个源极驱动器,用以依据该些从属加载讯号来产生多个画素电压,以驱动该画素数组中的画素。

7. 根据权利要求 6 所述的液晶显示装置,其特征是更包括:一时序控制器,用以产生该主加载讯号。

8. 根据权利要求 6 所述的液晶显示装置,其特征是:其中第 i 个延迟时间正比于该些闸极驱动讯号传送至第 i 个显示区域所产生的延迟量,且该延迟控制器利用第 i 个延迟时间延迟该主加载讯号,并据以产生第 i 个从属加载讯号, i 为整数且 $1 \leq i \leq N$ 。

9. 根据权利要求 8 所述的液晶显示装置,其特征是:其中第 i 个源极驱动器依据第 i 个从属加载讯号来驱动该画素数组中位在第 i 个显示区域的画素。

10. 根据权利要求 8 所述的液晶显示装置,其特征是其中该延迟控制器包括: N 个电阻,其中第 1 个电阻的第一端用以接收该主加载讯号,第 j 个电阻的第二端耦接第 $(j+1)$ 个电阻的第一端, j 为整数且 $1 \leq j \leq (N-1)$;以及 N 个电容,其中第 i 个电容的第一端耦接第 i 个电阻的第二端,并用以产生第 i 个从属加载讯号,且该些电容的第二端接耦接至一接地端。

液晶显示器

技术领域

[0001] 本发明是有关于一种显示装置,且特别是有关于一种液晶显示器。

背景技术

[0002] 随着光电与半导体技术的发展,带动了平面显示器的蓬勃发展,而诸多平面显示器中,液晶显示器因具有高空间利用效率、低消耗功率、无辐射以及低电磁干扰等优越特性,而成为市场的主流。

[0003] 图1为传统液晶显示器的架构示意图。参照图1,液晶显示器100包括一画素数组110、一时序控制器120、多个源极驱动器130_1~130_N以及栅极驱动器141与142。其中,时序控制器120会透过多个控制讯号,例如:加载讯号TP1、输出致能讯号OE1,来控制栅极驱动器141与142以及源极驱动器130_1~130_N的运作。藉此,栅极驱动器141与142会产生多个栅极驱动讯号,以依序开启画素数组110中的画素。源极驱动器130_1~130_N则用以产生画素电压,以驱动画素数组110中的画素。

[0004] 在实际应用上,栅极驱动讯号是透过多条扫描线来进行传送,且栅极驱动讯号往往会因扫描线所引发的寄生电阻与寄生电容而产生延迟效应。此外,随着传输路径的长短的不同,栅极驱动讯号也会有不同的延迟效应。举例来说,将画素数组110划分成8个显示区域A11~A18来看的话,如图2A所示,传送至显示区域A11与A18的栅极驱动讯号SG21,由于传输路径较短,因此栅极驱动讯号SG21所受到的延迟效应较小,故可与画素电压VD21相互匹配。

[0005] 相对地,如图2B所示,传送至显示区域A14与A15的栅极驱动讯号SG22,由于传输路径较长,因此栅极驱动讯号SG22所受到的延迟效应较大,故与画素电压VD22无法相互匹配,进而导致数据的写入错误。为了避免上述情况的发生,图3绘示为传统液晶显示器在操作上的波形示意图,如图3所示,液晶显示器100利用加载讯号TP1与输出致能讯号OE1,来避免因延迟效应所导致的数据写入错误。其中,当输出致能讯号OE1为逻辑1时,栅极驱动器141与142所产生的栅极驱动讯号皆被切换至低准位VGL。藉此,两相邻的栅极驱动讯号SG1_N-1与SG1_N将可透过输出致能讯号OE1而相互隔开。此外,源极驱动器130_1~130_N皆接收相同的加载讯号TP1,以依据加载讯号TP1的下降缘来输出数据电压(例如:VD1)。

[0006] 然而,随着画面分辨率的提升,讯号的延迟效应也日益严重。此外,延迟效应越严重,画素的充电时间也就越短。在加上目前为了加速液晶的反应时间以及改善拖影现象的前提下,显示画面的更新频率已从60赫兹提升至120赫兹或是更高,进而致使画素的充电时间被压缩的更短。此时,倘若显示装置又面临到严重的延迟效应,则将导致画素充电不足,进而产生面板的均匀性不佳的问题。

发明内容

[0007] 本发明的目的是提供一种液晶显示器,依据栅极驱动讯号在传送过程中的延迟时间来产生多个从属加载讯号,并藉此控制液晶显示器中的多个源极驱动器。如此一来,源极

驱动器所产生的画素电压将可与不同延迟程度的闸极驱动讯号相互匹配。

[0008] 本发明是这样实现的：一种液晶显示器，利用多个从属加载讯号对液晶显示器中的多个源极驱动器进行个别时序的控制，并藉此缩短用以控制闸极驱动器的输出致能讯号。如此一来，画素的充电时间将可相应地增加并藉此改善显示面板的均匀性不佳的问题。

[0009] 本发明提出一种液晶显示器，包括一画素数组、一第一闸极驱动器、一第二闸极驱动器、一延迟控制器、以及 $2N$ 个源极驱动器， N 为正整数。画素数组包括 $2N$ 个显示区域。第一闸极驱动器与第二闸极驱动器分别设置在画素数组的两侧，并用以分别产生多个闸极驱动讯号，以依序开启画素数组中的画素。延迟控制器用以提供 N 个延迟时间，且这些 N 个延迟时间正比于这些闸极驱动讯号传送至第 1 至第 N 个显示区域时所产生的延迟量。此外，延迟控制器更分别利用这些延迟时间逐一延迟一主加载讯号，以产生 N 个从属加载讯号。 $2N$ 个源极驱动器用以依据这些从属加载讯号来产生多个画素电压，以驱动画素数组中的画素。

[0010] 在本发明的一实施例中，上述的第 i 个延迟时间正比于这些闸极驱动讯号传送至第 i 个显示区域所产生的延迟量，且延迟控制器利用第 i 个延迟时间延迟主加载讯号，并据以产生第 i 个从属加载讯号， i 为整数且 $1 \leq i \leq N$ 。

[0011] 在本发明的一实施例中，上述的第 i 个源极驱动器与第 $(2N+1-i)$ 个源极驱动器依据第 i 个从属加载讯号，来分别驱动画素数组中位在第 i 个显示区域与第 $(2N+1-i)$ 个显示区域的画素。

[0012] 本发明另提出一种液晶显示器，包括一画素数组、一闸极驱动器、一延迟控制器、以及 N 个源极驱动器， N 为大于 1 的整数。画素数组包括 N 个显示区域。闸极驱动器用以产生多个闸极驱动讯号，以依序开启画素数组中的画素。延迟控制器用以提供 N 个延迟时间，且这些延迟时间正比于这些闸极驱动讯号分别传送至些显示区域时所产生的延迟量。此外，延迟控制器更分别利用这些延迟时间逐一延迟一主加载讯号，以产生 N 个从属加载讯号。所述 N 个源极驱动器则用以依据这些从属加载讯号来产生多个画素电压，以驱动画素数组中的画素。

[0013] 基于上述，本发明是依据闸极驱动讯号在传送过程中的延迟时间来对主加载讯号进行延迟，并据以产生多个从属加载讯号。藉此，液晶显示器中的多个源极驱动器在所述多个从属加载讯号的控制下，其所产生的画素电压可与不同延迟程度的闸极驱动讯号相互匹配。此外，用以控制闸极驱动器的输出致能讯号，将可随着画素电压与闸极驱动讯号的相互匹配而相应地缩短。藉此，画素的充电时间将可相应地增加，并藉此改善显示面板的均匀性不佳的问题。

[0014] 为让本发明的上述特征和优点能更明显易懂，下文特举实施例，并配合所附图式作详细说明如下。

附图说明

[0015] 图 1 为传统液晶显示器的架构示意图。

[0016] 图 2A 与图 2B 为用以说明图 1 的画素电压与闸极驱动讯号的匹配度的波形示意图。

[0017] 图 3 绘示为传统液晶显示器在操作上的波形示意图。

- [0018] 图 4 绘示为依据本发明一实施例的液晶显示器的架构示意图。
- [0019] 图 5 绘示为依据本发明一实施例的延迟控制器的电路示意图。
- [0020] 图 6 绘示为用以说明图 5 实施例的波形图。
- [0021] 图 7 绘示为依据本发明另一实施例的液晶显示装置的架构示意图。
- [0022] **【主要组件符号说明】**
- [0023] 100 :液晶显示器
- [0024] 110 :画素数组
- [0025] 120 :时序控制器
- [0026] 130_1~130_N :源极驱动器
- [0027] 141、142 :闸极驱动器
- [0028] A11~A18 :显示区域
- [0029] OE1 :输出致能讯号
- [0030] TP1 :加载讯号
- [0031] SG21、SG22、SG1_N-1、SG1_N :闸极驱动讯号
- [0032] VD21、VD22、VD1 :画素电压
- [0033] 400、700 :液晶显示器
- [0034] 410、710 :画素数组
- [0035] 421 :第一闸极驱动器
- [0036] 422 :第二闸极驱动器
- [0037] 720 :闸极驱动器
- [0038] 430、730 :时序控制器
- [0039] 440、740 :延迟控制器
- [0040] 451~458、751~758 :源极驱动器
- [0041] A41~A48、A71~A78 :显示区域
- [0042] D41、D42、D71 :传输方向
- [0043] SG41_1~SG41_K、SG42_1~SG42_K、SG7_1~SG7_k :闸极驱动讯号
- [0044] $\Delta t_{41} \sim \Delta t_{44}$ 、 $\Delta t_{71} \sim \Delta t_{78}$:延迟时间
- [0045] TP4、TP7 :主加载讯号
- [0046] TP41~TP44、TP71~TP78 :从属加载讯号
- [0047] VD41~VD48、VD71~VD78 :画素电压
- [0048] OE4、OE7 :致能讯号
- [0049] R41~R44 :电阻
- [0050] C41~C44 :电容
- [0051] 510~540 :延迟单元

具体实施方式

[0052] 图 4 绘示为依据本发明一实施例的液晶显示器的架构示意图。参照图 4, 液晶显示器 400 包括一画素数组 410、一第一闸极驱动器 421、一第二闸极驱动器 422、一时序控制器 430、一延迟控制器 440 以及多个源极驱动器 451~458。为了说明方便起见, 本实施例仅列举

出 8 个源极驱动器 451~458,并在此假设画素数组 410 被划分成 8 个显示区域 A41~A48,以分别与源极驱动器 451~458 相互对应。然本领域具有通常知识者可依设计所需任意更改液晶显示器 400 中源极驱动器以及显示区域的个数。

[0053] 请继续参照图 4,第一闸极驱动器 421 设置在画素数组 410 的一侧,且第二闸极驱动器 422 设置在画素数组 410 的另一侧。藉此,第一闸极驱动器 421 与第二闸极驱动器 422 将以双向传输的方式,依序开启画素数组 410 中的画素。举例来说,当第一闸极驱动器 421 沿着传输方向 D41 传送闸极驱动讯号 SG41_1 时,第二闸极驱动器 422 将沿着传输方向 D42 传送闸极驱动讯号 SG42_1。藉此,闸极驱动讯号 SG41_1 与闸极驱动讯号 SG42_1 将从画素数组 410 的两外侧往其内侧,逐一开启画素数组 410 中位在第 1 扫描在线的画素。

[0054] 相对地,当第一闸极驱动器 421 沿着传输方向 D41 传送闸极驱动讯号 SG41_2 时,第二闸极驱动器 422 将沿着传输方向 D42 传送闸极驱动讯号 SG42_2。藉此,闸极驱动讯号 SG41_2 与闸极驱动讯号 SG42_2 将从画素数组 410 的两外侧往其内侧,逐一开启画素数组 410 中位在第 2 扫描在线的画素。以此类推,闸极驱动讯号 SG41_3~SG41_K 与闸极驱动讯号 SG42_3~SG42_K 的产生时序。

[0055] 值得注意的是,闸极驱动讯号 SG41_1~SG41_K 与 SG42_1~SG42_K 在传送的过程中,会因扫描线所引发的寄生电阻与寄生电容而产生延迟效应。此外,闸极驱动讯号因应延迟效应所引发的延迟量会随着传输路径的长短的不同而有所不同,因此传送至显示区域 A41 与 A48 的闸极驱动讯号受到延迟效应的影响较小,相对地传送至显示区域 A44 与 A45 的闸极驱动讯号受到延迟效应的影响较大。

[0056] 为了避免在延迟效应的影响下画素电压 VD41~VD48 与闸极驱动讯号的不匹配的情况,延迟控制器 440 会提供多个延迟时间 $\Delta t_{41} \sim \Delta t_{44}$,且延迟时间 $\Delta t_{41} \sim \Delta t_{44}$ 正比于闸极驱动讯号传送至显示区域 A41~A44 时所产生的延迟量。此外,延迟控制器 440 会分别利用延迟时间 $\Delta t_{41} \sim \Delta t_{44}$ 逐一延迟时序控制器 430 所产生的一主加载讯号 TP4,以产生多个从属加载讯号 TP41~TP44。举例来说,延迟控制器 440 会利用延迟时间 Δt_{41} 延迟主加载讯号 TP4,并据以产生从属加载讯号 TP41。相似地,延迟控制器 440 会利用延迟时间 Δt_{42} 延迟主加载讯号 TP4,并据以产生从属加载讯号 TP42。以此类推,从属加载讯号 TP43 与 TP44 的产生方式。

[0057] 值得注意的是,延迟控制器 440 可利用不同的实施型态来提供延迟时间 $\Delta t_{41} \sim \Delta t_{44}$ 。举例来说,在实际操作上,闸极驱动讯号分别传送至显示区域 A41~A44 时所产生的延迟量,是可以透过实际量测或是模拟的方式来预先取得。因此,延迟控制器 440 可透过其内部的内存来储存与闸极驱动讯号的延迟量相关的延迟时间 $\Delta t_{41} \sim \Delta t_{44}$,进而利用内存中的延迟时间 $\Delta t_{41} \sim \Delta t_{44}$ 来延迟主加载讯号 TP4。除此之外,延迟控制器 440 也藉由设置电容与电阻的组合电路来延迟主加载讯号 TP4,进而产生多个从属加载讯号 TP41~TP44。

[0058] 举例来说,图 5 绘示为依据本发明一实施例的延迟控制器的电路示意图,图 6 绘示为用以说明图 5 实施例的波形图。参照图 5,延迟控制器 440 包括多个电阻 R41~R44 以及多个电容 C41~C44。其中,电阻 R41 的第一端用以接收主加载讯号 TP4,且其第二端耦接电阻 R42 与电容 C41 的第一端。电阻 R42 的第二端耦接电阻 R43 与电容 C42 的第一端。电阻 R43 的第二端耦接电阻 R44 与电容 C43 的第一端。电阻 R44 的第二端则耦接电容 C44 的第

一端,且电容 C41~C44 的第二端皆接耦接至接地端。

[0059] 请同时参照图 5 与图 6,在实际操作上,电阻 R41 与电容 C41 可视为一延迟单元 510,相对地,电阻 R42 与电容 C42 可视为另一延迟单元 520,以此类推,电阻 R43~R44 与电容 C43~C44 组合而成的延迟单元 530 与 540。在此,主加载讯号 TP4 每经过一个延迟单元就会产生相应的延迟量。此外,延迟单元 510 所产生的延迟量为延迟时间 Δt_{41} ,故主加载讯号 TP4 透过延迟单元 510 的延迟可产生从属加载讯号 TP41。再者,延迟单元 510 与 520 累加而得的延迟量为延迟时间 Δt_{42} ,故主加载讯号 TP4 透过延迟单元 510 与 520 的延迟可产生从属加载讯号 TP42。相似地,延迟单元 510~530 累加而得的延迟量为延迟时间 Δt_{43} ,故主加载讯号 TP4 透过延迟单元 510~530 的延迟可产生从属加载讯号 TP43。以此类推,从属加载讯号 TP44 的产生方式。

[0060] 请继续参照图 4,对于延迟控制器 440 所产生的从属加载讯号 TP41~TP44,源极驱动器 451 与 458 将依据从属加载讯号 TP41 来产生画素电压 VD41 与 VD48,以分别驱动画素数组 410 中位在显示区域 A41 与 A48 的画素。相似地,源极驱动器 452 与 457 将依据从属加载讯号 TP42 来产生画素电压 VD42 与 VD47,以分别驱动画素数组 410 中位在显示区域 A42 与 A47 的画素。以此类推,源极驱动器 453~456 产生画素电压 VD43~VD46 的方式。

[0061] 换言之,液晶显示器 400 可透过从属加载讯号 TP41~TP44 对源极驱动器 451~458 进行个别时序的控制。藉此,源极驱动器 451~458 将可配合不同延迟量的从属加载讯号 TP41~TP48 来调整画素电压 VD41~VD48 的输出时序,进而致使画素电压 VD41~VD48 可与不同延迟程度的闸极驱动讯号相互匹配。此外,由于画素电压 VD41~VD48 与闸极驱动讯号可相互匹配,因此时序控制器 430 传送至第一闸极驱动器 421 与第二闸极驱动器 422 的输出致能讯号 OE4 将可相应地被缩短,进而增加画素的充电时间并藉此改善显示面板的均匀性不佳的问题。

[0062] 图 7 绘示为依据本发明另一实施例的液晶显示装置的架构示意图。参照图 7,液晶显示器 700 包括一画素数组 710、一闸极驱动器 720、一时序控制器 730、一延迟控制器 740 以及多个源极驱动器 751~758。为了说明方便起见,本实施例仅列举出 8 个源极驱动器 751~758,并在此假设画素数组 710 被划分成 8 个显示区域 A71~A78,以分别与源极驱动器 751~758 相互对应。然本领域具有通常知识者可依设计所需任意更改液晶显示器 700 中源极驱动器以及显示区域的个数。

[0063] 请继续参照图 7,液晶显示器 700 是利用单向传输的方式,来依序开启画素数组 710 中的画素。因此,液晶显示器 700 仅在画素数组 710 的某一侧设置闸极驱动器 720。其中,闸极驱动器 720 所产生的闸极驱动讯号 SG7_1~SG7_k 是沿着传输方向 D71 依序开启画素数组 710 中的画素。值得注意的是,闸极驱动讯号 SG7_1~SG7_k 在传送的过程中,会因扫描线所引发的寄生电阻与寄生电容而产生延迟效应。此外,闸极驱动讯号因应延迟效应所引发的延迟量会随着传输路径的长短的不同而有所不同,因此传送至显示区域 A71 的闸极驱动讯号,其受到延迟效应的影响较小,相对地,传送至显示区域 A78 的闸极驱动讯号,其受到延迟效应的影响较大。

[0064] 为了避免在延迟效应的影响下画素电压 VD71~VD78 与闸极驱动讯号 SG7_1~SG7_k 的不匹配的情况,延迟控制器 740 会提供 8 个延迟时间 $\Delta t_{71} \sim \Delta t_{78}$,且延迟时间 $\Delta t_{71} \sim \Delta t_{78}$ 正比于闸极驱动讯号 SG7_1~SG7_k 分别传送至显示区域 A71~A78 时所产生的

延迟量。此外,延迟控制器 740 会分别利用延迟时间 $\Delta t_{71} \sim \Delta t_{78}$ 逐一延迟时序控制器 730 所产生的一主加载讯号 TP7,以产生 8 个从属加载讯号 TP71~TP78。举例来说,延迟控制器 740 会利用延迟时间 Δt_{71} 延迟主加载讯号 TP4,并据以产生从属加载讯号 TP71。以此类推,从属加载讯号 TP72~TP78 的产生方式

[0065] 对于延迟控制器 740 所产生的从属加载讯号 TP71~TP78,源极驱动器 751 将依据从属加载讯号 TP71 来产生画素电压 VD71,以驱动画素数组 710 中位在显示区域 A71 的画素。相似地,源极驱动器 752 将依据从属加载讯号 TP72 来产生画素电压 VD72,以驱动画素数组 710 中位在显示区域 A72 的画素。以此类推,源极驱动器 753~758 产生画素电压 VD73~VD78 的方式。

[0066] 换言之,液晶显示器 700 可透过从属加载讯号 TP71~TP78 对源极驱动器 451~458 进行个别时序的控制,进而致使画素电压 VD71~VD78 可与不同延迟程度的闸极驱动讯号相互匹配。此外,时序控制器 730 传送至闸极驱动器 720 的输出致能讯号 OE7 将可相应地被缩短,进而增加画素的充电时间并藉此改善显示面板的均匀性不佳的问题。至于本实施例的各部件的细部操作电路与工作原理已包含在上述各实施例中,故在此不予赘述。

[0067] 综上所述,本发明是依据闸极驱动讯号在传送过程中的延迟时间来对主加载讯号进行延迟,并据以产生多个从属加载讯号。此外,液晶显示器中的多个源极驱动器将依据多个从属加载讯号来进行个别时序的控制,进而致使源极驱动器所产生的画素电压可与不同延迟程度的闸极驱动讯号相互匹配。此外,用以控制闸极驱动器的输出致能讯号,将可随着画素电压与闸极驱动讯号的相互匹配而相应地缩短。藉此,画素的充电时间将可相应地增加并藉此改善显示面板的均匀性不佳的问题。

[0068] 虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视后附的专利申请范围所界定者为准。

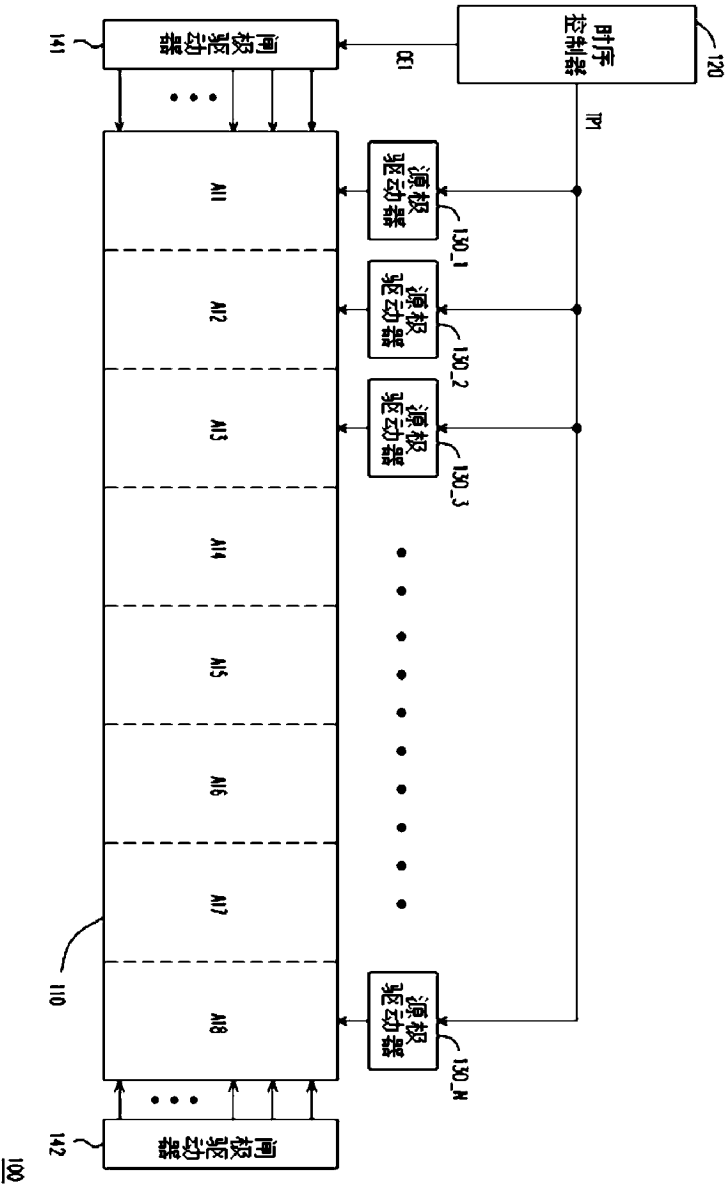


图 1

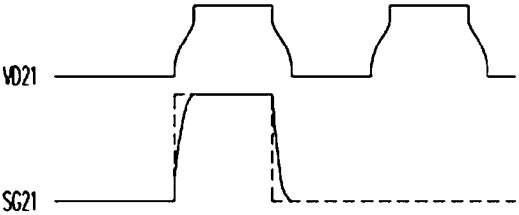


图 2A

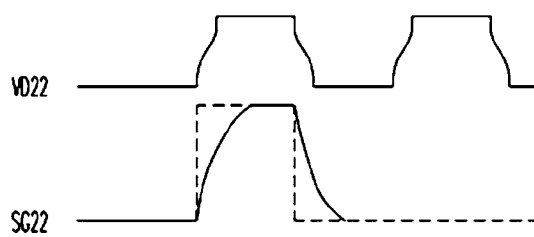


图 2B

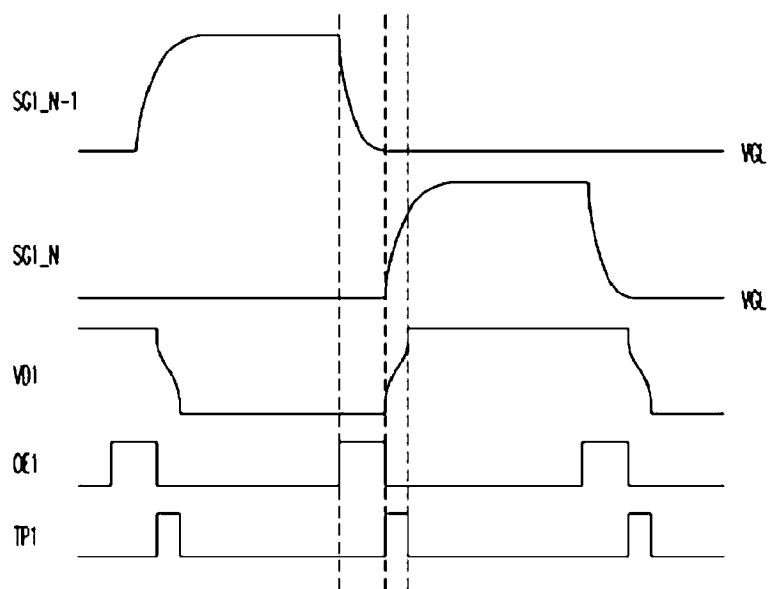


图 3

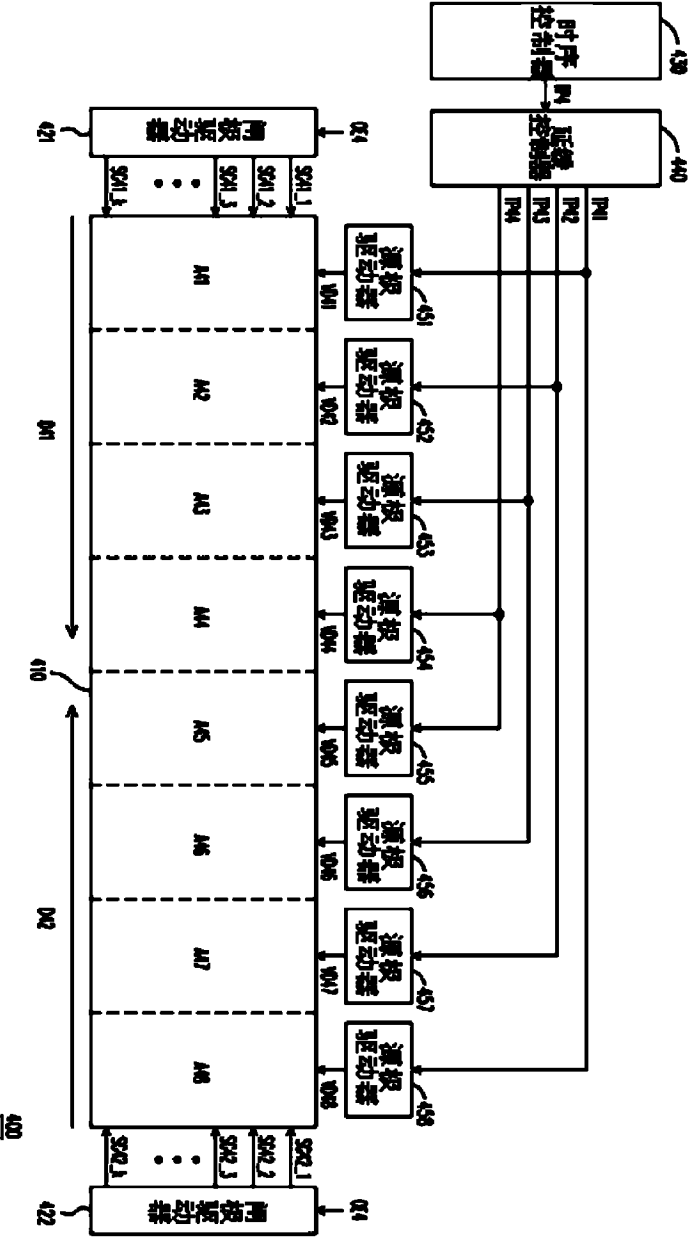


图 4

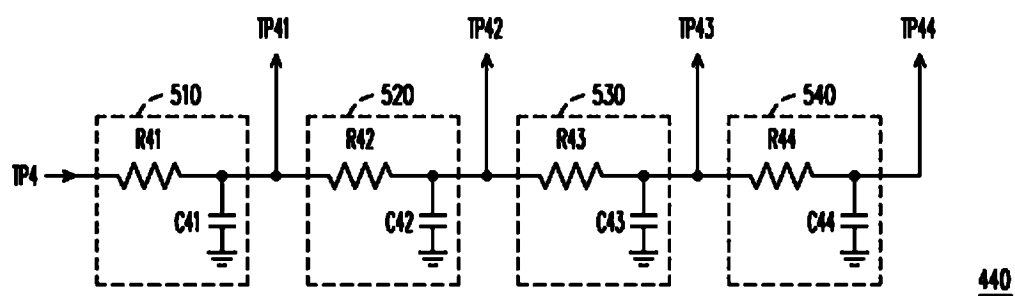


图 5

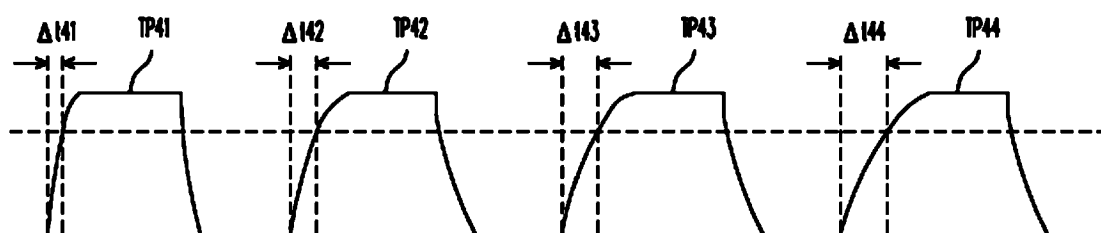


图 6

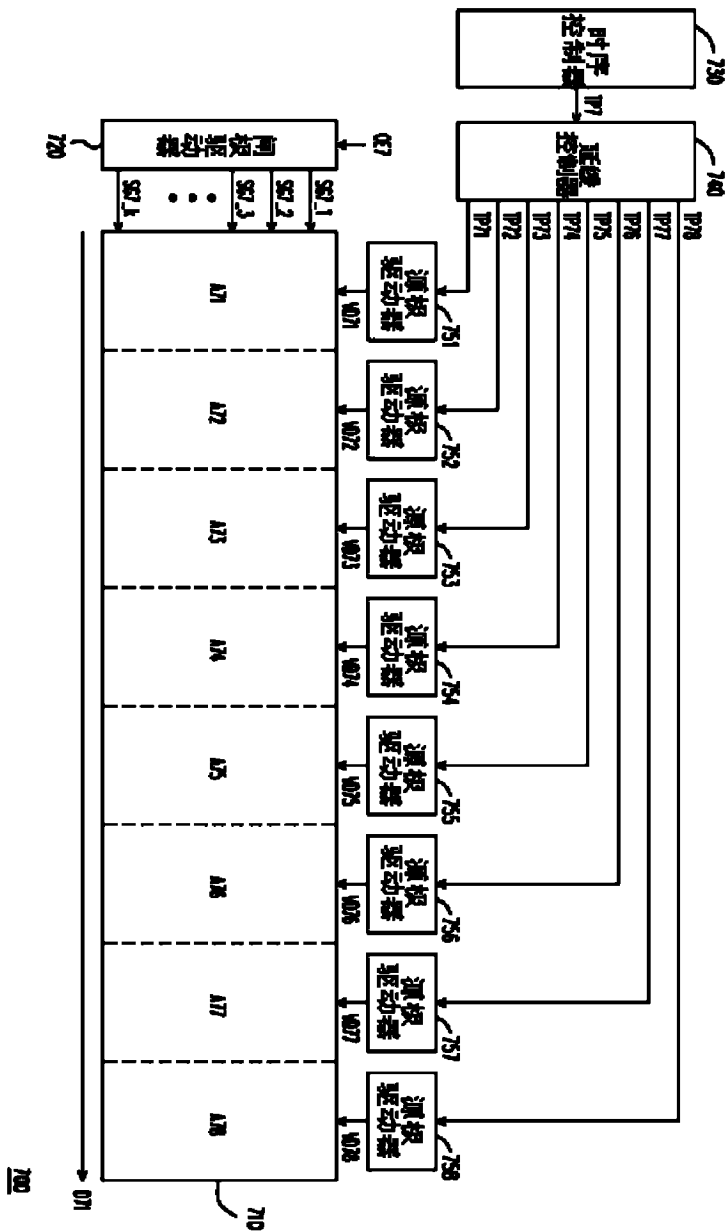


图 7

专利名称(译)	液晶显示器		
公开(公告)号	CN101814274A	公开(公告)日	2010-08-25
申请号	CN200910312672.5	申请日	2009-12-30
[标]申请(专利权)人(译)	福州华映视讯有限公司 中华映管股份有限公司		
申请(专利权)人(译)	福州华映视讯有限公司 中华映管股份有限公司		
当前申请(专利权)人(译)	福州华映视讯有限公司 中华映管股份有限公司		
[标]发明人	蓝东鑫 林明璋 陈建仰		
发明人	蓝东鑫 林明璋 陈建仰		
IPC分类号	G09G3/36		
代理人(译)	蔡学俊		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种液晶显示器，包括一画素数组、一第一闸极驱动器、一第二闸极驱动器、一延迟控制器、以及2N个源极驱动器，N为正整数。画素数组包括2N个显示区域。第一闸极驱动器与第二闸极驱动器分别用以产生多个闸极驱动讯号，以依序开启画素数组中的画素。延迟控制器提供N个延迟时间，且这些延迟时间正比于这些闸极驱动讯号分别传送至第1至第N个显示区域时所产生的延迟量。延迟控制器更分别利用这些延迟时间逐一延迟一主加载讯号，以产生N个从属加载讯号。这些源极驱动器用以依据这些从属加载讯号来产生多个画素电压，以驱动画素数组中的画素。

