

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)
G09G 5/36 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810099338.1

[43] 公开日 2008年12月3日

[11] 公开号 CN 101315754A

[22] 申请日 2008.5.21
[21] 申请号 200810099338.1
[71] 申请人 友达光电股份有限公司
地址 台湾省新竹市
[72] 发明人 陈忠君

[74] 专利代理机构 北京三友知识产权代理有限公司
代理人 任默闻

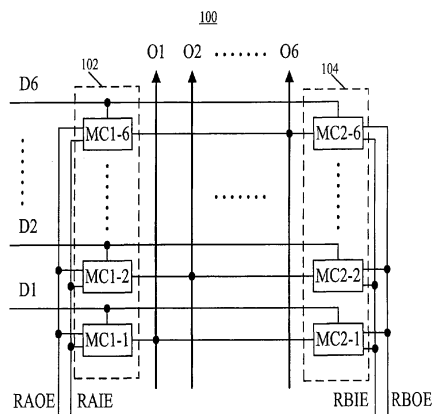
权利要求书 5 页 说明书 11 页 附图 8 页

[54] 发明名称

用于液晶显示装置的分时多工的数据驱动电路及驱动方法

[57] 摘要

一种用于液晶显示装置的分时多工的数据驱动电路及驱动方法，该电路包含第一存储单元组、第二存储单元组以及复数个输出传输线。第一存储单元组包含复数个第一存储单元，用于接收第一取样控制信号时，取样产生第一数据信号，以及用于接收第一传送控制信号时，输出第一数据信号。第二存储单元组包含复数个第二存储单元，用于接收该第二取样控制信号时，取样产生第二数据信号，以及用于接收第二传送控制信号，输出该第二数据信号。当第一显示时段期间，第一取样控制信号是被触发，且第二传输控制信号是被触发，当第二显示时段期间，第一传输控制信号是被触发，且第二取样控制信号是被触发。本发明可减少耦合杂散电容，避免造成功率额外损耗。



1.一种分时多工的数据驱动电路，其特征在于，该电路包含：

一第一存储单元组，包含复数个第一存储单元，耦接于一第一取样控制信号以及一第一传送控制信号，用于接收所述的第一取样控制信号时，取样产生一第一数据信号，以及用于接收所述的第一传送控制信号时，输出所述的第一数据信号；

一第二存储单元组，包含复数个第二存储单元，耦接于一第二取样控制信号以及一第二传送控制信号，用于接收所述的第二取样控制信号时，取样产生一第二数据信号，以及用于接收所述的第二传送控制信号时，输出所述的第二数据信号；以及

复数个输出传输线，每一输出传输线连接于所述的这些第一存储单元的一第一存储单元以及所述的这些第二存储单元的一第二存储单元，用来传输所述的第一数据信号或是所述的第二数据信号，

其中当一第一显示时段期间，所述的第一取样控制信号是被触发，且所述的第二传输控制信号是被触发，当一第二显示时段期间，所述的第一传输控制信号是被触发，且所述的第二取样控制信号是被触发。

2.如权利要求1所述的数据驱动电路，其特征在于，所述的第一显示时段与所述的第二显示时段并不重叠。

3.如权利要求1所述的数据驱动电路，其特征在于，所述的第一存储单元组另包含复数个第三存储单元，耦接于所述的第一取样控制信号以及一第三传送控制信号，用于接收所述的第一取样控制信号时，取样产生一第三数据信号，以及用于接收所述的第三传送控制信号时，输出所述的第三数据信号。

4.如权利要求3所述的数据驱动电路，其特征在于，所述的第二存储单元组另包含复数个第四存储单元，耦接于所述的第二取样控制信号以及一第四

传送控制信号；用于接收所述的第二取样控制信号时，取样产生一第四数据信号，以及用于接收所述的第四传送控制信号时，输出所述的第四数据信号。

5.如权利要求4所述的数据驱动电路，其特征在于，当所述的第一显示时段期间，所述的第一取样控制信号是被触发，且所述的第四传输控制信号是被触发；当所述的第二显示时段期间，所述的第三传输控制信号是被触发，且所述的第二取样控制信号是被触发。

6.如权利要求5所述的数据驱动电路，其特征在于，每一输出传输线连接于所述的这些第三存储单元的一第三存储单元以及所述的这些第四存储单元的一第四存储单元，用来传输所述的第三数据信号或是所述的第四数据信号。

7.一种分时多工的数据驱动电路，其特征在于，该电路包含：

一第一存储单元，耦接于一第一取样控制信号以及一第一传送控制信号，用于接收所述的第一取样控制信号时，取样产生一第一数据信号，以及用于接收所述的第一传送控制信号时，输出所述的第一数据信号；

一第二存储单元，耦接于一第二取样控制信号以及一第二传送控制信号，用于接收所述的第二取样控制信号时，取样产生一第二数据信号，以及用于接收所述的第二传送控制信号时，输出所述的第二数据信号；

一第三存储单元，耦接于一第三取样控制信号以及一第三传送控制信号，用于接收所述的第三取样控制信号时，取样产生一第三数据信号，以及用于接收所述的第三传送控制信号时，输出所述的第三数据信号；

一第四存储单元，耦接于一第四取样控制信号以及一第四传送控制信号，用于接收所述的第四取样控制信号时，取样产生一第四数据信号，以及用于接收所述的第四传送控制信号时，输出所述的第四数据信号；以及

一输出传输线，连接于所述的第一存储单元、所述的第二存储单元、所述的第三存储单元以及所述的第四存储单元，用来传输所述的第一数据信号、所述的第二数据信号、所述的第三数据信号或是所述的第四数据信号，

其中当一第一显示时段期间，所述的第一取样控制信号以及所述的第三取样控制信号，且所述的第二传输控制信号以及所述的第四传输信号是被触发，当一第二显示时段期间，所述的第一传输控制信号以及所述的第三传输信号是被触发，且所述的第二取样控制信号以及所述的第四取样控制信号是被触发。

8.如权利要求7所述的数据驱动电路，其特征在于，所述的第一显示时段与所述的第二显示时段并不重叠。

9.一种分时多工的数据驱动方法，该方法包含：

提供一第一存储单元组以及一第二存储单元组，所述的第一存储单元组包含复数个第一存储单元，耦接于一第一取样控制信号以及一第一传送控制信号提供，所述的第二存储单元组包含复数个第二存储单元，耦接于一第二取样控制信号以及一第二传送控制信号；

当一第一显示时段期间，所述的第一取样控制信号是被触发，且所述的第二传输控制信号是被触发，使得所述的等第一存储单元取样产生一第一数据信号，所述的这些第二存储单元输出一第二数据信号；以及

当一第二显示时段期间，所述的第一传输控制信号是被触发，且所述的第二取样控制信号是被触发，使得所述的这些第一存储单元输出所述的第一数据信号，所述的这些第二存储单元取样产生所述的第二数据信号。

10. 一种分时多工的数据驱动方法，该方法包含：

提供一第一存储单元组以及一第二存储单元组，所述的第一存储单元组包含复数个第一存储单元以及复数个第二存储单元，所述的这些第一存储单元耦接于一第一取样控制信号以及一第一传送控制信号，所述的这些第三存储单元耦接于所述的第一取样控制信号以及一第三传送控制信号，所述的第二存储单元组包含复数个第二存储单元以及复数个第四存储单元，所述的这些第二存储单元耦接于一第二取样控制信号以及一第二传送控制信号，所述的这些第四存储单元耦接于所述的第二取样控制信号以及一第四传送控制信

号；

当一第一显示时段期间，所述的第一取样控制信号是被触发，且所述的第二传输控制信号以及所述的第四传输控制信号是依序被触发，使得所述的这些第一存储单元取样产生一第一数据信号，所述的这些第三存储单元取样产生一第三数据信号，所述的这些第二存储单元输出一第二数据信号，所述的这些第四存储单元输出一第四数据信号；以及

当一第二显示时段期间，所述的第一传输控制信号以及所述的第三传输控制信号是依序被触发，且所述的第二取样控制信号是被触发，使得所述的这些第一存储单元输出所述的第一数据信号，所述的这些第三存储单元输出所述的第三数据信号，所述的这些第二存储单元取样产生所述的第二数据信号，所述的这些第四存储单元取样产生所述的第四数据信号。

11. 如权利要求 10 所述的方法，其特征在于，所述的第一显示时段与所述的第二显示时段并不重叠。

12. 如权利要求 10 所述的方法，其特征在于，所述的第一传输控制信号以及所述的第三传输控制信号触发时间不重叠；且所述的第二传输控制信号以及所述的第四传输控制信号触发时间不重叠。

13. 一种分时多工的数据驱动方法，该方法包含：

提供一第一存储单元组以及一第二存储单元组，所述的第一存储单元组包含复数个第一存储单元以及复数个第二存储单元，所述的这些第一存储单元耦接于一第一取样控制信号以及一第一传送控制信号，所述的这些第三存储单元耦接于一第三取样控制信号以及一第三传送控制信号，所述的第二存储单元组包含复数个第二存储单元以及复数个第四存储单元，所述的这些第二存储单元耦接于一第二取样控制信号以及一第二传送控制信号，所述的这些第四存储单元耦接于一第四取样控制信号以及一第四传送控制信号；

当一第一显示时段期间，所述的第一取样控制信号以及所述的第三取样控制信号是依序被触发，且所述的第二传输控制信号以及所述的第四传输控

制信号是依序被触发，使得所述的这些第一存储单元取样产生一第一数据信号，所述的这些第三存储单元取样产生一第三数据信号，所述的这些第二存储单元输出一第二数据信号，所述的这些第四存储单元输出一第四数据信号；以及

当一第二显示时段期间，所述的第一传输控制信号以及所述的第三传输控制信号依序被触发，且所述的第二取样控制信号以及所述的第四取样信号依序被触发，使得所述的这些第一存储单元输出所述的第一数据信号，所述的这些第三存储单元输出所述的第三数据信号，所述的这些第二存储单元取样产生所述的第二数据信号，所述的这些第四存储单元取样产生所述的第四数据信号。

14. 如权利要求 13 所述的方法，其特征在于，所述的第一显示时段与所述的第二显示时段并不重叠。

15. 如权利要求 14 所述的方法，其特征在于，所述的第一取样信号以及所述的第三取样信号触发时间不重叠，且所述的第二取样信号以及所述的第四取样信号触发时间不重叠。

16. 如权利要求 14 所述的方法，其特征在于，所述的第一传输控制信号以及所述的第三传输控制信号触发时间不重叠，且所述的第二传输控制信号以及所述的第四传输控制信号触发时间不重叠。

用于液晶显示装置的分时多工的数据驱动电路及驱动方法

技术领域

本发明涉及一种用于液晶显示装置的数据驱动电路及驱动方法，尤指一种分时多工运作的的数据驱动电路及驱动方法。

背景技术

功能先进的显示器已渐成为现今消费电子产品的重要特色，其中液晶显示装置已经逐渐为各种电子设备如电视、行动电话、个人数字助理(PDA)、数字相机、电脑荧屏或笔记型电脑荧屏所广泛应用。低温多晶硅(Low Temperature Poly-Silicon, LTPS)液晶显示装置是目前消费性产品开发的主流，主要应用于高度整合特性与高画质显示器。

液晶显示装置包含液晶显示面板、扫描驱动电路(gate driver)以及数据驱动电路(source driver)。当扫描驱动电路输出扫描信号时，数据驱动电路则输出对应的数据信号至液晶显示面板的像素使其充电到各自所需的电压，以显示不同的灰阶。

请参阅图 1，图 1 是先前技术的数据驱动电路 5 的功能方块图。数据驱动电路 5 包含输出级电路 51、数字模拟转换器(digital-to-analog inverter)52、位准移位电路(Level shifter)53、线序列闩锁电路 (Line Sequence Latch Circuit) 54、取样闩锁电路(Sampling Latch Circuit)55 以及移位缓存器(shift register)56。移位缓存器 56 是用来依据时脉信号 CLK 的脉冲连续地平移自外部传送进来的移位脉冲，取样闩锁电路 55 则是依据移位缓存器 56 每一输出端输出的移位时脉同步地将输入的数据信号 D00P/N~D02P/N、D10P/N~D102P/N、D20P/N~D22P/N 予以取样。线序列闩锁电路 54 则是将取样闩锁电路 55 取样的数据信号拴锁于同一时间后再输出。位准移位电路 53 则是用来提升线序列

门锁电路 54 输出的电压位准。数字模拟转换器 52 是将数字的数据信号转换成对应的模拟电压。控制信号 STB 分别馈入线序列门锁电路 54 和输出级电路 51，当控制信号 STB 为上升边缘时，数据由取样门锁电路 55 馈入线序列门锁电路 54；当控制信号 STB 为下降边缘时，由输出级电路 51 将模拟电压输出至每一数据线以用来推动液晶显示面板的像素。

由于数据驱动电路 5 是由电晶体器件与信号线组成，因此器件大小以及信号线的多寡会限制最小显示面积尺寸的设计。传统设计上，取样门锁电路 55 以及线序列门锁电路 54 的设计架构需要较多的传输线，举例来说，对于 6 位 RGB 三原色的串列数字图像数据而言，传统数据取样与门锁数据的传输方式需要 18 条输出传输线。过多的传输线不仅会限制数据驱动电路 5 的电路布面积，还会衍生出较多的耦合杂散电容，造成功率额外损耗。

发明内容

有鉴于此，本发明是提出一种分时多工运作的驱动电路，可减少数据驱动电路内部的传输线数量，因此得以解决先前技术的问题。

本发明是提供一种分时多工的数据驱动电路，其包含一第一存储单元组、一第二存储单元组以及复数个输出传输线。该第一存储单元组包含复数个第一存储单元，耦接于一第一取样控制信号以及一第一传送控制信号，用于接收该第一取样控制信号时，取样产生一第一数据信号，以及用于接收该第一传送控制信号时，输出该第一数据信号。该第二存储单元组包含复数个第二存储单元，耦接于一第二取样控制信号以及一第二传送控制信号，用于接收该第二取样控制信号时，取样产生一第二数据信号，以及用于接收该第二传送控制信号时，输出该第二数据信号。每一输出传输线连接于该等第一存储单元的一第一存储单元以及该等第二存储单元的一第二存储单元，用来传输该第一数据信号或是该第二数据信号。当一第一显示时段期间，该第一取样控制信号是被触发，且该第二传输控制信号是被触发，当一第二显

示时段期间，该第一传输控制信号是被触发，且该第二取样控制信号是被触发。且该第一显示时段与该第二显示时段并不重叠。

依据本发明的另一实施例提供一种分时多工的数据驱动电路，其包含一第一存储单元、一第二存储单元、一第三存储单元、一第四存储单元、一第五存储单元、一第六存储单元以及一输出传输线。该第一存储单元耦接于一第一取样控制信号以及一第一传送控制信号，用于接收该第一取样控制信号时，取样产生一第一数据信号，以及用于接收该第一传送控制信号时，输出该第一数据信号。该第二存储单元耦接于一第二取样控制信号以及一第二传送控制信号，用于接收该第二取样控制信号时，取样产生一第二数据信号，以及用于接收该第二传送控制信号时，输出该第二数据信号。该第三存储单元耦接于一第三取样控制信号以及一第三传送控制信号，用于接收该第三取样控制信号时，取样产生一第三数据信号，以及用于接收该第三传送控制信号时，输出该第三数据信号。该第四存储单元耦接于一第四取样控制信号以及一第四传送控制信号，用于接收该第四取样控制信号时，取样产生一第四数据信号，以及用于接收该第四传送控制信号时，输出该第四数据信号。该输出传输线连接于该第一存储单元、该第二存储单元、该第三存储单元以及该第四存储单元，用来传输该第一数据信号、该第二数据信号、该第三数据信号或是该第四数据信号。当一第一显示时段期间，该第一取样控制信号以及该第三取样控制信号，且该第二传输控制信号以及该第四传输信号是被触发，当一第二显示时段期间，该第一传输控制信号以及该第三传输信号是被触发，且该第二取样控制信号以及该第四取样控制信号是被触发。

附图说明

图 1 是先前技术的数据驱动电路的功能方块图；

图 2 是本发明的液晶显示装置的功能方块图；

图 3 是本发明的第一实施例的数据驱动电路的示意图；

图 4 是图 3 的存储单元的信号时序图；

图 5 是本发明的第二实施例的数据驱动电路的示意图；

图 6 是图 5 的存储单元的信号时序图；

图 7 是本发明的第三实施例的数据驱动电路的示意图；

图 8 是图 7 的存储单元的信号时序图。

附图标号

5	数据驱动电路	10	液晶显示装置
51	输出级电路	12	液晶显示面板
14	扫描驱动电路	16	图像数据产生器
52	数字模拟转换器	100、200、300	数据驱动电路
53	位准移位电路	55	取样门锁电路
54	线序列门锁电路	56	位移缓存器
102、202	第一存储单元组		
104、204	第二存储单元组		
MC1-1~MC1-18、MC2-1~MC2-18	存储单元		
MC3-1~MC3-6、MC4-1~MC4-6	存储单元		
MC5-1~MC5-6、MC6-1~MC6-6	存储单元		

具体实施方式

请参阅图 2，图 2 是本发明的液晶显示装置 10 的功能方块图。液晶显示装置 10 可为低温多晶硅(Low Temperature Poly-Silicon, LTPS)制造工艺所生产，其包含一液晶显示面板 12、一扫瞄驱动电路(gate driver)14、一图像数据产生器 16 以及一数据驱动电路(source driver)100。液晶显示面板 12 包含复数个像素(pixel)20，而每一个像素包含三个分别代表红绿蓝(RGB)三原色的像素构成。以一个 1024 × 768 解析度的液晶显示面板 12 来说，共需要 1024×768×3

个像素组成。图像数据产生器 16 用来产生一数据信号。当扫描驱动电路 14 输出扫描信号时，数据驱动电路 100 会输出数据信号至一整列的像素 20 使其充电到各自所需的电压，以显示不同的灰阶。

请参阅图 3，图 3 是本发明的第一实施例的数据驱动电路 100 的示意图。数据驱动电路 100 包含一第一存储单元组 102 以及一第二存储单元组 104。第一存储单元组 102 包含 n 个第一存储单元 $MC1-1 \sim MC1-n$ ，第二存储单元组 104 包含 n 个第二存储单元 $MC2-1 \sim MC2-n$ 。为便于说明，在图 3 中仅绘示六个第一存储单元 $MC1-1 \sim MC1-6$ 以及六个第二存储单元 $MC2-1 \sim MC2-6$ 。第一存储单元组 102 的每一第一存储单元 $MC1-1 \sim MC1-6$ 耦接于第一取样控制信号 RAIE 以及第一传送控制信号 RAOE，第二存储单元组 104 的每一第二存储单元 $MC2-1 \sim MC2-6$ 耦接于第二取样控制信号 RBIE 以及第二传送控制信号 RBOE。存储单元 $MC1-1$ 、 $MC2-1$ 皆耦接于输入数据传输线 $D1(u)$ ，存储单元 $MC1-2$ 、 $MC2-2$ 皆耦接于输入数据传输线 $D2(u)$ ，以此类推，存储单元 $MC1-n$ 、 $MC2-n$ 皆耦接于输入数据传输线 $Dn(u)$ 。

请一并参阅图 3 以及图 4，图 4 是图 3 的存储单元的信号时序图。在第一存储单元组 102 被第一取样控制信号 RAIE 所触发的时段 $T1-T2$ 期间，每一第一存储单元 $MC1-2 \sim MC1-6$ 会自对应的输入数据传输线取样数据信号 $D1(u) \sim D6(u)$ ，在此同时，第二存储单元组 104 会被第二传送控制信号 RBOE 所触发，以将第二存储单元 $MC2-1 \sim MC2-6$ 在前一列显示时段(line time) $T0-T1$ 所取样的数据信号 $D1(u-1) \sim D6(u-1)$ 自对应的输出信号线 $O1 \sim O6$ 输出。接下来，在第一存储单元组 102 被第一传送控制信号 RAOE 所触发的时段 $T2-T3$ 期间，第一存储单元 $MC1-1 \sim MC1-6$ 会将显示时段 $T1-T2$ 取样的数据信号 $D1(u) \sim D6(u)$ 自对应的输出信号线 $O1 \sim O6$ 输出，在此同时，第二存储单元组 104 会被第二取样控制信号 RBIE 所触发，使得每一第二存储单元 $MC2-1 \sim MC2-6$ 自对应的输入数据传输线取样数据信号 $D1(u+1) \sim D6(u+1)$ 。第一存储单元组 102 不会同时被第一取样控制信号 RAIE 以及第一传送控制信号

RAOE 所触发，同样地，第二存储单元组 104 也不会同时被第二取样控制信号 RBIE 以及第二传送控制信号 RBOE 所触发。也就是说，当第一存储单元组 102 取样输入数据信号时，第二存储单元组 104 是输出数据信号，相对地，当第一存储单元组 102 输出数据信号时，第二存储单元组 104 是取样输入数据信号。

透过上述机制，第一存储单元 MC1-1~MC1-6 以及第二存储单元 MC2-1~MC2-6 共用 6 条输出信号线 O1~O6，而不需要让第一存储单元 MC1-1~MC1-6 以及第二存储单元 MC2-1~MC2-6(共 12 个存储单元)使用 12 条输出信号线。

请参阅图 5，图 5 是本发明的第二实施例的数据驱动电路 200 的示意图。数据驱动电路 200 包含一第一存储单元组 202 以及一第二存储单元组 204。第一存储单元组 202 包含 n 个第一存储单元 MC1-1~MC1-n，第二存储单元组 204 包含 n 个第二存储单元 MC2-1~MC2-n。为便于说明，在图 5 中仅绘示十八个第一存储单元 MC1-1~MC1-18 以及十八个第二存储单元 MC2-1~MC2-18。第一存储单元组 202 的第一存储单元 MC1-1~MC1-18 耦接于第一取样控制信号 RAIE，且第一存储单元 MC1-1~MC1-6 耦接于第一传送控制信号 RAOE(R)、第一存储单元 MC1-7~MC1-12 耦接于第三传送控制信号 RAOE(G)、第一存储单元 MC1-13~MC1-18 耦接于第五传送控制信号 RAOE(R)。第二存储单元组 204 的每一第二存储单元 MC2-1~MC2-18 耦接于第二取样控制信号 RBIE，且第二存储单元 MC2-1~MC2-6 耦接于第二传送控制信号 RBOE(R)，第二存储单元 MC2-7~MC2-12 耦接于第四传送控制信号 RBOE(G)，第二存储单元 MC2-13~MC2-18 耦接于第六传送控制信号 RBOE(B)。存储单元 MC1-1、MC2-1 皆耦接于数据信号 RD1(u)，存储单元 MC1-2、MC2-2 皆耦接于数据信号 RD2(u)，以此类推，存储单元 MC1-6、MC2-6 皆耦接于数据信号 RD6(u)。存储单元 MC1-1~MC1-6 以及 MC2-1~MC2-6 是用来输出数据电压予用来显示红色的像素。存储单元 MC1-7、MC2-7 皆耦接于数据信号 GD1(u)，存储单元

MC1-8、MC2-8 皆耦接于数据信号 GD2(u)，以此类推，存储单元 MC1-12、MC2-12 皆耦接于数据信号 GD6(u)。存储单元 MC1-7~MC1-12 以及 MC2-7~MC2-12 是用来输出数据电压予用来显示绿色的像素。存储单元 MC1-13、MC2-13 皆耦接于数据信号 BD1(u)，存储单元 MC1-14、MC2-14 皆耦接于数据信号 BD2(u)，以此类推，存储单元 MC1-18、MC2-18 皆耦接于数据信号 BD6(u)。存储单元 MC1-13~MC1-18 以及 MC2-13~MC2-18 是用来输出数据电压予用来显示蓝色的像素。

请一并参阅图 5 以及图 6，图 6 是图 5 的存储单元的信号时序图。在第一存储单元组 202 被第一取样控制信号 RAIE 所触发的时段 T1-T2 期间，每一存储单元 MC1-1~MC1-18 会分别自对应的输入数据传输线取样十八位的数据信号 RD1(u)~RD6(u)、GD1(u)~GD6(u)、BD1(u)~BD6(u)，在此同时，存储单元 MC2-1~MC2-6、MC2-7~MC2-12、MC2-13~MC2-18 会分别依序被第二传送控制信号 RBOE(R)、第四传送控制信号 RBOE(G)、第六传送控制信号 RBOE(B) 所触发，以将存储单元 MC2-1~MC2-18 在前一列显示时段(line time)T0-T1 所取样的 18 位的数据信号 RD1(u-1)~RD6(u-1)、GD1(u-1)~GD6(u-1)、BD1(u-1)~BD6(u-1)自对应的输出信号线 O1~O6 输出。接下来，在时段 T2-T3 期间，首先，存储单元 MC1-1~MC1-6 会被第一传送控制信号 RAOE(R)所启动，将显示时段 T1-T2 取样的数据信号 RD1(u)~RD6(u)自对应的输出信号线 O1~O6 输出；其后，存储单元 MC1-7~MC1-12 会被第三传送控制信号 RAOE(G)所启动，将显示时段 T1-T2 取样的数据信号 GD1(u)~GD6(u)自对应的输出信号线 O1~O6 输出；最后，存储单元 MC1-13~MC1-18 会被第五传送控制信号 RAOE(B)所启动，将显示时段 T1-T2 取样的数据信号 BD1(u)~BD6(u)自对应的输出信号线 O1~O6 输出。在时段 T2-T3 的同时，第二存储单元组 204 会被第二取样控制信号 RBIE 所触发，使得每一存储单元 MC2-1~MC2-18 分别自对应的输入数据传输线取样 18 位的数据信号 RD1(u+1)~RD6(u+1)、GD1(u+1)~GD6(u+1)、BD1(u+1)~BD6(u+1)。第一存储单元组 202 不会同时被

第一取样控制信号 RAIE 以及传送控制信号 RAOE(R)、RAOE(G)、RAOE(B) 所触发, 同样地, 第二存储单元组 204 也不会同时被第二取样控制信号 RBIE 以及第二传送控制信号 RBOE(R)、RBOE(G)、RBOE(B) 所触发。也就是说, 当第一存储单元组 202 取样数据信号时, 第二存储单元组 204 是输出数据信号, 相对地, 当第一存储单元组 202 输出数据信号时, 第二存储单元组 204 是取样数据信号。

透过上述机制, 因为存储单元 MC1-1~MC1-6、MC1-7~MC1-12 以及 MC1-13~MC1-18 在同一列显示时段(例如 T2-T3) 分别于接收传送控制信号 RAOE(R)、RAOE(G)、RAOE(B) 时, 透过输出信号线 O1~O6 输出 18 位的数据信号予像素以显示图像, 所以存储单元 MC1-1~MC1-6、MC1-7~MC1-12 以及 MC1-13~MC1-18 输出数据信号的时间没有重叠, 所以不需要第一存储单元组的全部存储单元都连接到一条对应的输出信号线(亦即不需要十八条输出信号线)。同样地, 因为存储单元 MC2-1~MC2-6、MC2-7~MC2-12 以及 MC2-13~MC2-18 在同一列显示时段(例如 T1-T2) 分别于接收传送控制信号 RBOE(R)、RBOE(G)、RBOE(B) 时, 透过输出信号线 O1~O6 输出 18 位的数据信号予像素以显示图像, 所以存储单元 MC2-1~MC2-6、MC2-7~MC2-12 以及 MC2-13~MC2-18 输出数据信号的时间没有重叠, 因此不需要第二存储单元组 204 的全部存储单元都连接到一条对应的输出信号线(亦即不需要十八条输出信号线)。此外, 第一存储单元组 202 以及第二存储单元组 204 不会在同一列显示时段输出数据信号, 所以第一存储单元组 202 以及第二存储单元组 204 也可以共用 6 条输出信号线 O1~O6。

请参阅图 7, 图 7 是本发明的第三实施例的数据驱动电路 300 的示意图。数据驱动电路 300 包含 m 个存储单元组, 每一存储单元组包含至少一存储单元。为便于说明, 在图 7 中仅绘示六个存储单元组, 每一存储单元组包含六个存储单元, 其中包含有第一存储单元 MC1-1~MC1-6、第二存储单元 MC2-1~MC2-6、第三存储单元 MC3-1~MC3-6、第四存储单元 MC4-1~MC4-6、

第五存储单元 MC5-1~MC5-6 以及第六存储单元 MC6-1~MC6-6。存储单元 MC1-1~MC1-6 耦接于第一取样控制信号 RAIE[X]以及第一传送控制信号 RAOE[1]，存储单元 MC2-1~MC2-6 耦接第二取样控制信号 RBIE[X]以及第二传送控制信号 RBOE[1]，存储单元 MC3-1~MC3-6 耦接于第三取样控制信号 RAIE[Y]以及第三传送控制信号 RAOE[2]，存储单元 MC4-1~MC4-6 耦接第四取样控制信号 RBIE[Y]以及第四传送控制信号 RBOE[2]，存储单元 MC5-1~MC5-6 耦接于第五取样控制信号 RAIE[Z]以及第五传送控制信号 RAOE[3]，存储单元 MC6-1~MC6-6 耦接第六取样控制信号 RBIE[Z]以及第六传送控制信号 RBOE[3]。存储单元 MC1-1、MC2-1、MC3-1、MC4-1、MC5-1、MC6-1 皆耦接于数据信号 D1(u)，存储单元 MC1-2、MC2-2、MC3-2、MC4-2、MC5-2、MC6-2 皆耦接于数据信号 D2(u)，以此类推，存储单元 MC1-6、MC2-6、MC3-6、MC4-6、MC5-6、MC6-6 皆耦接于数据信号 D6(u)。在本实施例中，每一存储单元会于接收到对应的取样信号脉冲时取样一次，所以在一系列显示时间内共取样六次。举例来说，存储单元 MC1-1~MC1-6 在列显示时间 T1-T2 内会接收到六次第一取样控制信号 RAIE[X]的脉冲，所以一共会取样六次，其余存储单元在接收到对应的取样控制信号亦是如此，在此不再赘述。

请一并参阅图 7 以及图 8，图 8 是图 7 的存储单元的信号时序图。在时段 T1-T2 期间，存储单元 MC1-1~MC1-6、MC3-1~MC3-6、MC5-1~MC5-6 会分别依序被取样控制信号 RAIE[X]、RAIE[Y]、RAIE[Z]所开启，并从对应的输入数据传输线取样六位的数据信号 D1(u)~D6(u)，在此同时，存储单元 MC2-1~MC2-6、MC4-1~MC4-6、MC6-1~MC6-6 会分别依序被传送控制信号 RBOE[1]、RBOE[2]、RBOE[3]所开启，以将存储单元 MC2-1~MC2-6、MC4-1~MC4-6、MC6-1~MC6-6 在前一系列显示时段(line time)T0-T1 所取样的 6 位的数据信号 D1(u-1)~D6(u-1)自对应的输出信号线 O1~O6 输出。接下来，在时段 T2-T3 期间，存储单元 MC1-1~MC1-6 会被传送控制信号 RAOE[1]所启动，将显示时段 T1-T2 取样的数据信号 D1(u)-D6(u)自对应的输出信号线

O1~O6 输出。传送控制信号 RAOE[1]包含复数个脉冲(图 8 中是绘示三个脉冲), 当存储单元 MC1-1~MC1-6 传送控制信号 RAOE[1]的任一脉冲时, 就会将取样的数据信号 D1(u)-D6(u)自对应的输出信号线 O1~O6 多工输出。同时, 存储单元 MC3-1~MC3-6 会被传送控制信号 RAOE[2](RAOE[2]与 RAOE[1]的时序一致)所启动, 传送控制信号 RAOE[2]包含复数个脉冲(图 8 中是绘示三个脉冲), 当存储单元 MC3-1~MC3-6 接收传送控制信号 RAOE[2]的任一脉冲时, 就会将显示时段 T1-T2 取样的数据信号 D1(u)-D6(u)自对应的输出信号线 O1~O6 多工输出。而存储单元 MC5-1~MC5-6 会被传送控制信号 RAOE[3]所启动(RAOE[3]与 RAOE[1]的时序一致), 传送控制信号 RAOE[3]包含复数个脉冲(图 8 中是绘示三个脉冲), 当存储单元 MC5-1~MC5-6 接收传送控制信号 RAOE[3]的任一脉冲时, 就会将显示时段 T1-T2 取样的数据信号 D1(u)-D6(u)自对应的输出信号线 O1~O6 多工输出。在时段 T2-T3 的同时, 存储单元 MC2-1~MC2-6、MC4-1~MC4-6、MC6-1~MC6-6 会分别依序被取样控制信号 RBIE[X]、RBIE[Y]、RBIE[Z]所开启, 并从对应的输入数据传输线取样六位的数据信号 D1(u+1)~D6(u+1)。当存储单元 MC1-1~MC1-6、MC3-1~MC3-6、MC5-1~MC5-6 取样数据信号时, 存储单元 MC2-1~MC2-6、MC4-1~MC4-6、MC6-1~MC6-6 是输出数据信号, 相对地, 当存储单元 MC1-1~MC1-6、MC3-1~MC3-6、MC5-1~MC5-6 输出数据信号时, 存储单元 MC2-1~MC2-6、MC4-1~MC4-6、MC6-1~MC6-6 是取样数据信号。存储单元 MC2-1~MC2-6、MC4-1~MC4-6、MC6-1~MC6-6 是于接收对应的传送控制信号 RBOE[1]、RBOE[2]、RBOE[3](传送控制信号 RBOE[1]、RBOE[2]、RBOE[3]的时序一致)的任一脉冲时, 就会将取样的数据信号自对应的输出信号线 O1~O6 多工输出。

透过上述机制, 因为存储单元 MC1-1~MC1-6、MC3-1~MC3-6、MC5-1~MC5-6 在同一列显示时段(例如 T2-T3)分别于接收传送控制信号 RAOE[1]、RAOE[2]、RAOE[3]时, 透过输出信号线 O1~O6 输出 6 位的数据信号予像素以显示图像, 所以存储单元 MC1-1~MC1-6、MC3-1~MC3-6、

MC5-1~MC5-6 输出数据信号的时间没有重叠，所以每一存储单元 MC1-1~MC1-6、MC3-1~MC3-6、MC5-1~MC5-6 都必须连接到一条对应的输出信号线(亦即不需要十八条输出信号线)。同样地，因为存储单元 MC2-1~MC2-6、MC4-1~MC4-6、MC6-1~MC6-6 在同一列显示时段(例如 T1-T2) 分别于接收传送控制信号 RBOE[1]、RBOE[2]、RBOE[3]时，透过输出信号线 O1~O6 输出 6 位的数据信号予像素以显示图像，所以存储单元 MC2-1~MC2-6、MC4-1~MC4-6、MC6-1~MC6-6 输出数据信号的时间没有重叠，因此不需要每一存储单元 MC2-1~MC2-6、MC4-1~MC4-6、MC6-1~MC6-6 都必须连接到一条对应的输出信号线(亦即不需要十八条输出信号线)。此外，存储单元组 MC1-1~MC1-6、MC3-1~MC3-6、MC5-1~MC5-6 以及存储单元 MC2-1~MC2-6、MC4-1~MC4-6、MC6-1~MC6-6 不会在同一列显示时段输出数据信号，所以也可以共用 6 条输出信号线 O1~O6。

相较于先前技术，本发明的数据驱动电路采用分工互换取样以及分时多工数据传送的方式，所以可以降低输出信号线的布局面积需求。由于本案的信号线大幅降低，因此所衍伸的寄生电容较传统设计来的低，有助于降低动态功率消耗问题。

虽然本发明已以实施例揭露如上，然其并非用以限定本发明，任何具有本发明所属技术领域的通常知识者，在不脱离本发明的精神和范围内，当可作各种更动与润饰，因此本发明的保护范围当视前附的权利要求所界定者为准。

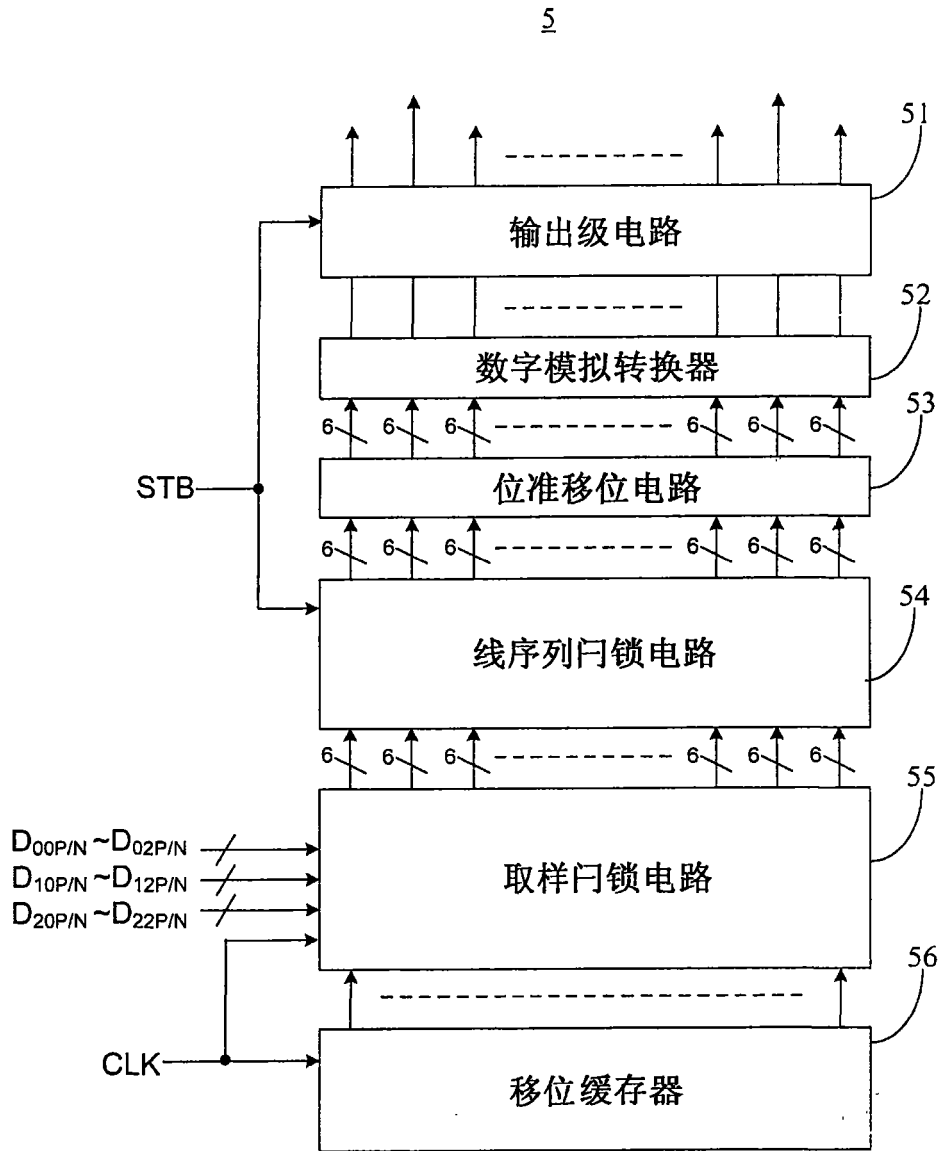


图 1

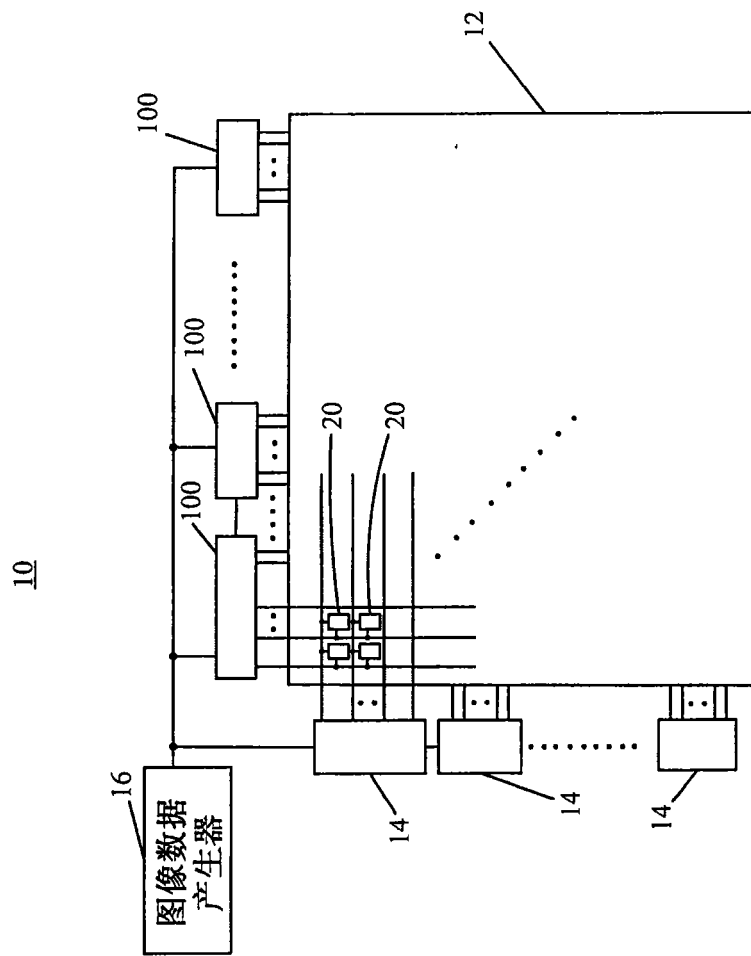


图 2

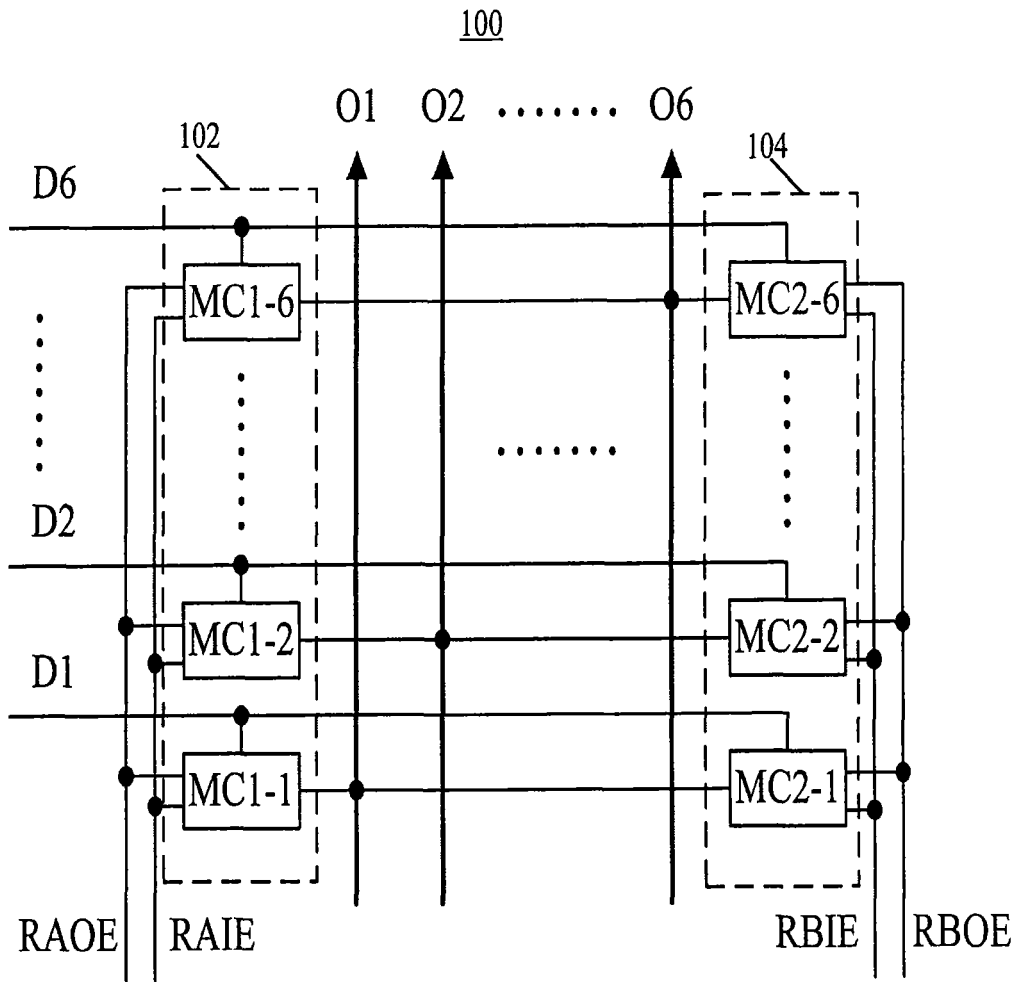


图 3

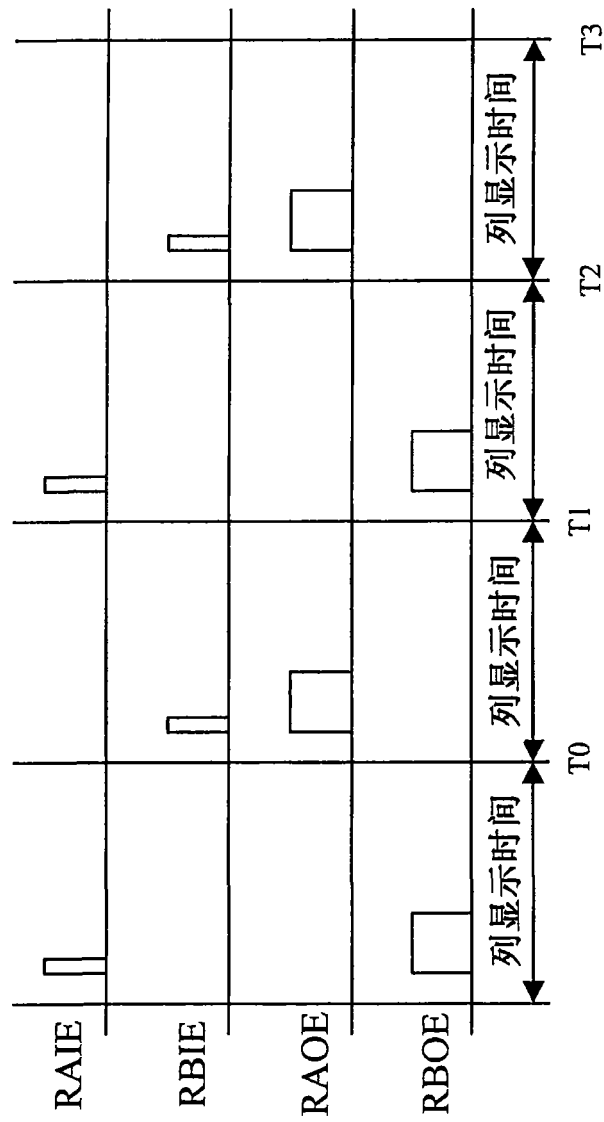


图 4

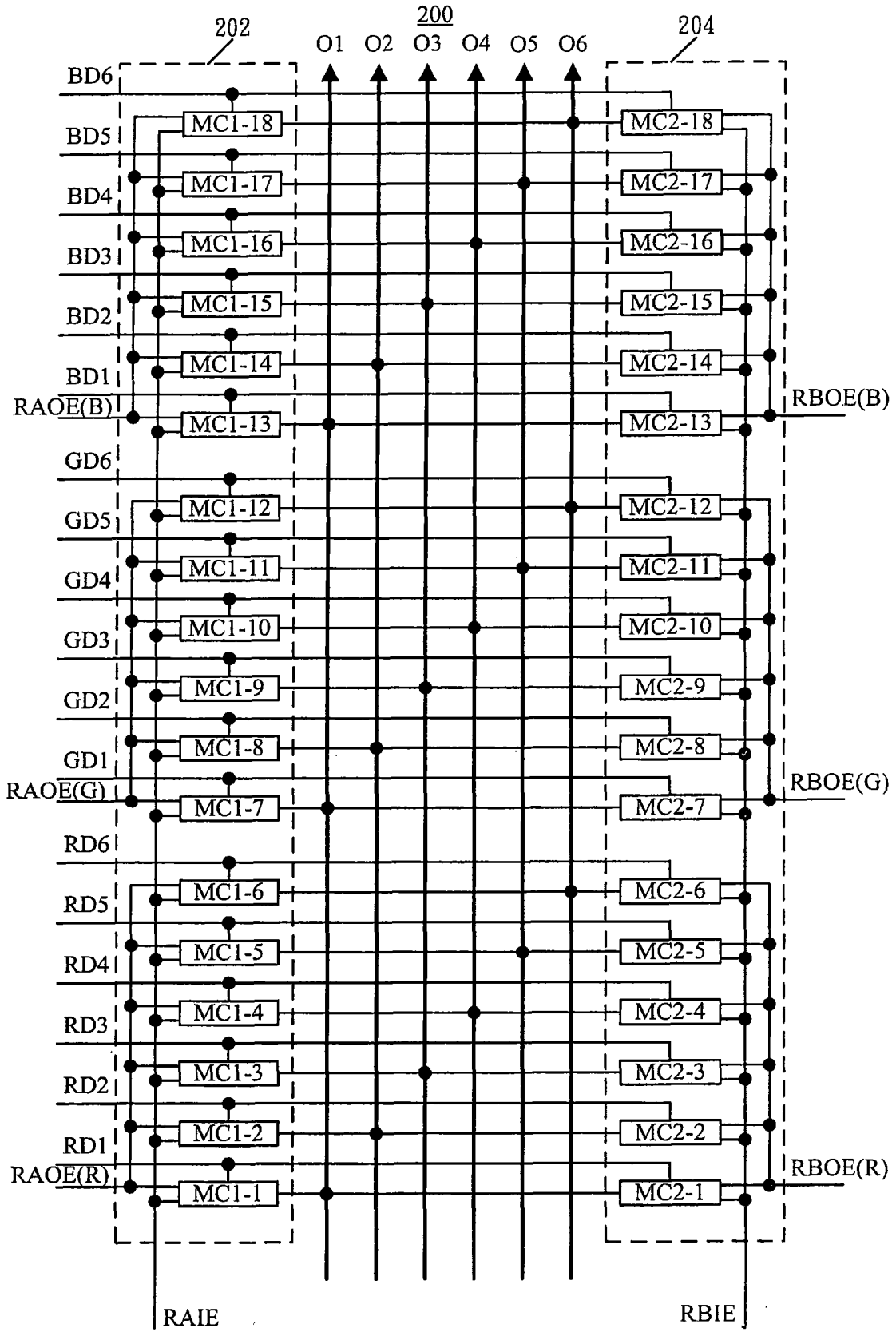


图 5

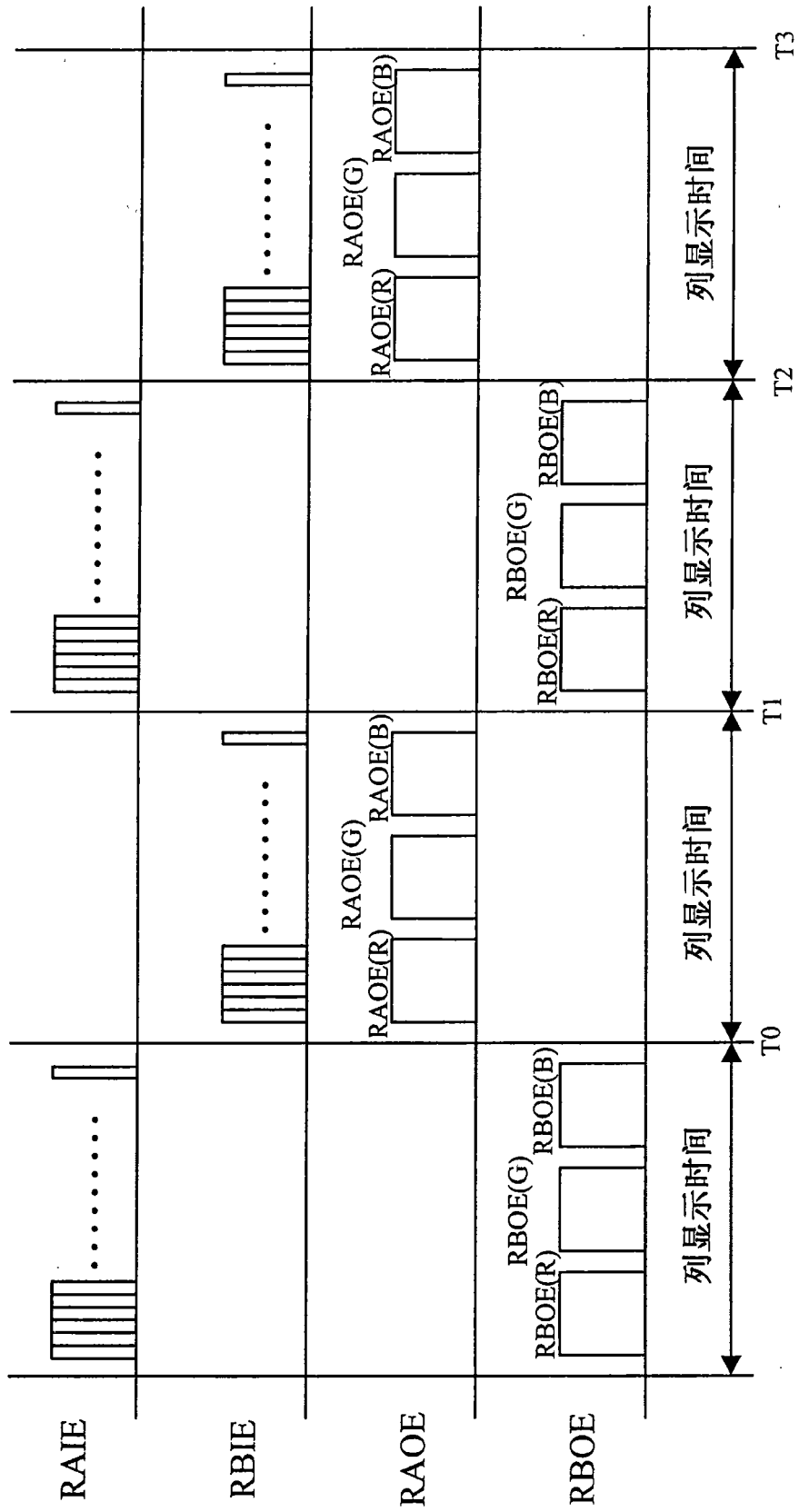


图 6

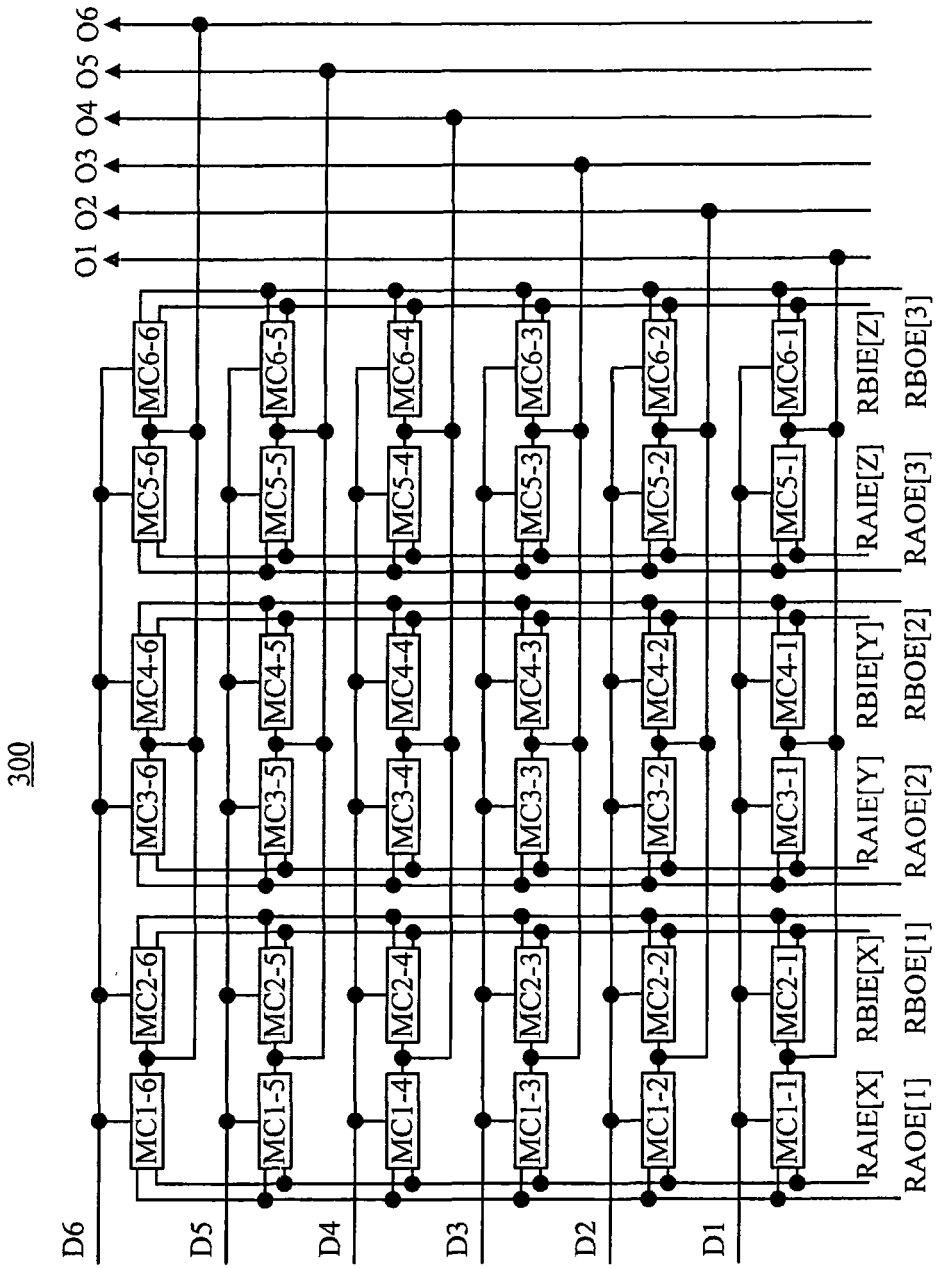


图 7

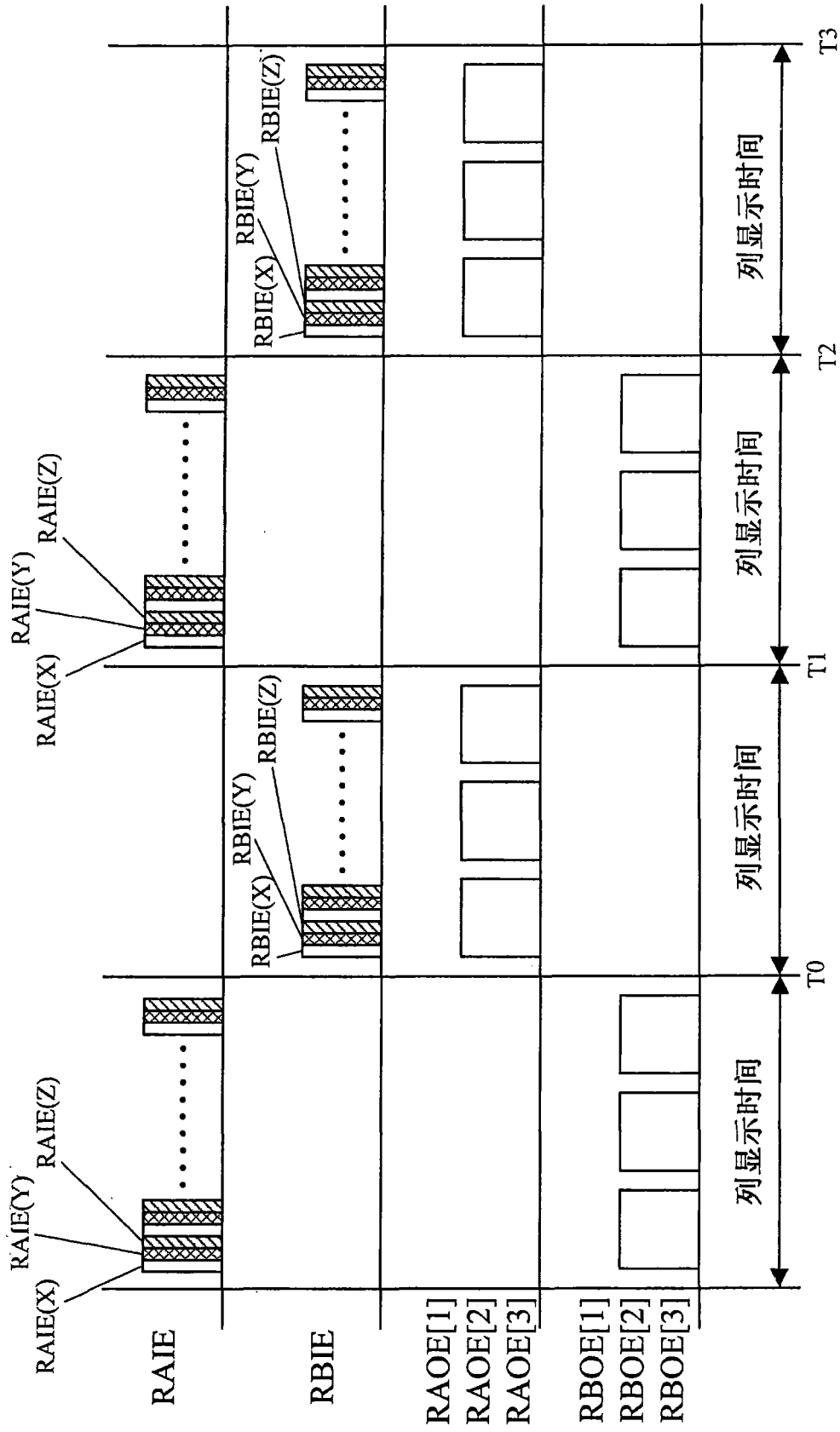


图 8

专利名称(译)	用于液晶显示装置的分时多工的数据驱动电路及驱动方法		
公开(公告)号	CN101315754A	公开(公告)日	2008-12-03
申请号	CN200810099338.1	申请日	2008-05-21
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	陈忠君		
发明人	陈忠君		
IPC分类号	G09G3/36 G09G5/36		
外部链接	Espacenet SIPO		

摘要(译)

一种用于液晶显示装置的分时多工的数据驱动电路及驱动方法，该电路包含第一存储单元组、第二存储单元组以及复数个输出传输线。第一存储单元组包含复数个第一存储单元，用于接收第一取样控制信号时，取样产生第一数据信号，以及用于接收第一传送控制信号时，输出第一数据信号。第二存储单元组包含复数个第二存储单元，用于接收该第二取样控制信号时，取样产生第二数据信号，以及用于接收第二传送控制信号，输出该第二数据信号。当第一显示时段期间，第一取样控制信号是被触发，且第二传输控制信号是被触发，当第二显示时段期间，第一传输控制信号是被触发，且第二取样控制信号是被触发。本发明可减少耦合杂散电容，避免造成功率额外损耗。

