

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)
G09G 3/20 (2006.01)



[12] 发明专利说明书

专利号 ZL 200480018395.2

[45] 授权公告日 2009 年 6 月 24 日

[11] 授权公告号 CN 100505016C

[22] 申请日 2004.6.23

[21] 申请号 200480018395.2

[30] 优先权

[32] 2003.6.30 [33] JP [31] 186428/2003

[86] 国际申请 PCT/JP2004/009235 2004.6.23

[87] 国际公布 WO2005/001804 日 2005.1.6

[85] 进入国家阶段日期 2005.12.28

[73] 专利权人 索尼株式会社

地址 日本东京都

[72] 发明人 村濑正树 仲岛义晴 木田芳利

[56] 参考文献

JP3132274A 1991.6.5

JP6289822A 1994.10.18

JP2001242833A 2001.9.7

JP10268838A 1998.10.9

审查员 顾 洪

[74] 专利代理机构 北京东方亿思知识产权代理有限公司

代理人 董方源

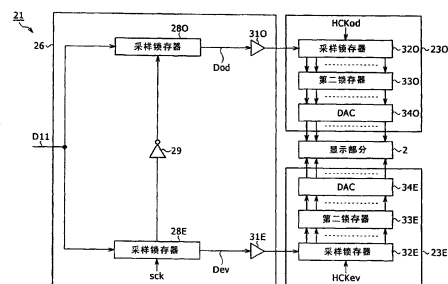
权利要求书 2 页 说明书 15 页 附图 10 页

[54] 发明名称

平面显示装置

[57] 摘要

本发明例如应用于其中的驱动电路被彼此集成地形成在绝缘基板上的液晶显示装置。多个系统的浓淡度数据 Dod 和 Dev 以与在浓淡度数据 D11 被分类到多个系统时的采样相对应的时序分别被水平驱动电路 230 和 23E 所采样。



1. 一种平面显示装置，用于接连地接收作为所述平面显示装置的输入的代表像素亮度的浓淡度数据，并基于所述浓淡度数据在预定的显示部分上显示图像，所述平面显示装置包括：

串行-并行转换器，用于顺序地且循环地采样所述浓淡度数据，以将采样后的浓淡度数据转换成多个系统的浓淡度数据；以及

以与所述多个系统的浓淡度数据相对应的方式来设置的多个水平驱动电路，所述多个水平驱动电路用于与相应系统的浓淡度数据相对应地设置所述显示部分的相应列的像素的浓淡度，

其中所述水平驱动电路具有多个采样电路和数模转换器，所述多个采样电路用于接连地采样所述相应系统的浓淡度数据，以将所述相应系统的浓淡度数据分发到所述相应列，所述数模转换器用于基于来自所述采样电路的采样结果来设置到所述列的输出信号的电平，

所述串行-并行转换器以与所述顺序循环采样相对应的时序将所述多个系统的浓淡度数据分别输出到相应的水平驱动电路，并且

所述多个系统的水平驱动电路以对应于所述串行-并行转换器中的顺序循环采样的时序分别对所述多个采样电路中的相应系统的浓淡度数据进行采样。

2. 如权利要求 1 所述的平面显示装置，其中所述串行-并行转换器、所述多个系统的水平驱动电路和时序发生器被形成在所述显示部分的绝缘基板上，所述时序发生器用于向所述串行-并行转换器和所述多个系统的水平驱动电路输出作为操作参考的时序信号。

3. 如权利要求 1 所述的平面显示装置，其中所述多个系统是与所述显示部分中的奇数列和偶数列相对应的系统，并且所述多个系统的水平驱动电路被分别布置在所述显示部分的上侧和下侧。

4. 如权利要求 1 所述的平面显示装置，其中所述串行-并行转换器具有数据转换器和电平移位电路，所述数据转换器用于放大所述浓淡度数据的幅度，并用于顺序地且循环地采样所产生的数据，以将所产生的数据转换

成所述多个系统的数据，所述电平移位电路用于减小由所述数据转换器获得的所述多个系统各自的数据的幅度以输出所述多个系统的浓淡度数据。

平面显示装置

技术领域

本发明涉及平面显示装置，例如，本发明可应用于多个驱动电路被彼此集成地形成在一块绝缘基板上的液晶显示装置。根据本发明，系统的浓淡度（gradation）数据以与当浓淡度数据被分发给多个系统时的采样相对应的定时被相应的水平驱动电路所采样，由此与传统的平面显示装置相比，可以简化配置并降低功耗。

背景技术

近年来，在诸如应用于移动终端（例如个人数字助理（PDA）或移动电话）的平面显示装置之类的液晶显示装置中，用于液晶显示面板的多个驱动电路被彼此集成地形成在作为构成液晶显示面板的绝缘基板的玻璃基板上。这样一来，实现了所谓的框架缩小（frame narrowing），由此简化了配置并降低了功耗。

在这样的液晶显示装置中，例如，属于奇数列的像素和属于偶数列的像素分别被用于奇数列的水平驱动电路和用于偶数列的水平驱动电路所驱动。用于奇数列的水平驱动电路和用于偶数列的水平驱动电路被分别布置在液晶显示面板的上侧和下侧。这样一来，可高效地执行显示部分中布线图案的布局，并以高清晰度布置像素。

即，图 1 是示出这种液晶显示装置的俯视图。在该液晶显示装置中，每个像素由液晶单元、多晶硅薄膜晶体管（TFT）和保持电容器构成，其中多晶硅薄膜晶体管作为液晶单元的开关元件。这些像素以矩阵形式布置以形成矩形的显示部分 2。在液晶显示装置 1 中，用于奇数列的水平驱动电路 3O 和用于偶数列的水平驱动电路 3E 被分别形成在显示装置 2 的相对的上侧和下侧。而且，垂直驱动电路 5 沿着在垂直方向上延伸的其余两侧中的一侧形成。在液晶显示装置 1 中，用于奇数列的浓淡度数据 Dodd 和

用于偶数列的浓淡度数据 Deven 例如通过串行-并行转换器（SP 转换器）6 分别以光栅扫描顺序输入。应该注意，在此情况下，浓淡度数据是代表显示部分 2 中的每个像素的亮度的数据。

在液晶显示装置 1 中，时序发生器 7 生成和输出各种时序信号，作为液晶显示装置 1 的操作所需的操作参考。在此处理中，如图 2 所示，时序发生器 7 输入来自上级时钟发生器的主时钟 MCK，该主时钟 MCK 与从提供到液晶显示装置 1 的串行数据中获得的图像数据 D1 同步（图 2（A）和（B）），并且对主时钟 MCK 进行分频和相位调整，以生成用于浓淡度数据 D1 的采样时钟 sck（图 2（C））。另外，时序发生器 7 校正采样时钟 sck 的相位并生成用于时序校正的时钟 dck（图 2（F）），所述时序校正用于校正通过利用采样时钟 sck 作为参考进行的采样获得的数据的相位。而且，时序发生器 7 对采样时钟 sck 进行分频，并生成用于在水平驱动电路 3O 和 3E 中对奇数列的浓淡度数据 Dodd 和偶数列的浓淡度数据 Deven 进行采样的采样时钟 HCK（图 2（I））。

如图 3 所示，串行-并行转换器 6 将浓淡度数据 D1 分别输入到用于奇数列的采样锁存器 8O 和用于偶数列的采样锁存器 8E。用于偶数列的采样锁存器 8E 根据采样时钟 sck 对浓淡度数据 D1 采样，并输出所产生的数据（图 2（B）、（C）和（E））。另一方面，用于奇数列的采样锁存器 8O 通过反相器 9 接收作为其输入的采样时钟 sck，并输出所产生的数据（图 2（B）、（C）和（D））。这样一来，串行-并行转换器 6 顺序地并循环地对接连输入其中的浓淡度数据 D1 采样，以将所产生的数据转换为分发到多个系统的浓淡度数据。在液晶显示装置 1 中，多个系统被设置为 2 个系统，即用于奇数列的系统和用于偶数列的系统。

相位调整电路 10O 和 10E 根据用于时序校正的时钟 dck 分别锁存来自采样锁存器 8O 和 8E 的输出数据 Dod 和 Dev，并校正用于奇数列的浓淡度数据 Dod 的时序和用于偶数列的浓淡度数据 Dev 的时序。于是，串行-并行转换器 6 从相位调整电路 10O 和 10E 分别输出 2 个系统的浓淡度数据，即用于奇数列的浓淡度数据 Dodd 和用于偶数列的浓淡度数据 Deven，其二者具有一致的时序（图 2（G）和（H））。数据输出电路 11O 和 11E

由缓冲器电路构成，并将用于奇数列的浓淡度数据 Dodd 和用于偶数列的浓淡度数据 Deven 分别输出到用于奇数列的水平驱动电路 3O 和用于偶数列的水平驱动电路 3E，水平驱动电路 3O 和 3E 分别对应于用于奇数列的浓淡度数据 Dodd 和用于偶数列的浓淡度数据 Deven。

用于奇数列的浓淡度数据 Dodd 和用于偶数列的浓淡度数据 Deven 被彼此同步地分别输入到用于奇数列的水平驱动电路 3O 和用于偶数列的水平驱动电路 3E。属于奇数列的像素的浓淡度和属于偶数列的像素的浓淡度基于浓淡度数据 Dodd 和 Deven 来设置。就是说，在水平驱动电路 3O 和 3E 中，采样锁存器 12O 和 12E 顺序地并循环地将图像数据锁存到与奇数列的数目和偶数列的数目相对应的多个锁存器中（图 2（G）、（H）和（I））。因此，水平驱动电路 3O 和 3E 分别将以光栅扫描顺序输入其中的浓淡度数据 Dodd 和 Deven 按线路（line）隔开，并将浓淡度数据 Dodd 和 Deven 暂时保存在采样锁存器 12O 和 12E 中。

随后的第二锁存器 13O 和 13E 以水平扫描的周期同时且并行地锁存来自构成采样锁存器 12O 和 12E 中的每一个的多个锁存器的锁存结果。于是，第二锁存器 13O 和 13E 分别将已按线路隔开的浓淡度数据 D1 和 D2 集中地按线路输出到随后的数模转换器（DAC）14O 和 14E。数模转换器 14O 和 14E 分别操纵已从第二锁存器 13O 和 13E 输出的多个系统的浓淡度数据 D1 和 D2，并输出所产生的浓淡度数据 D1 和 D2。于是，数模转换器 14O 和 14E 分别生成了与浓淡度数据 D1 和 D2 相对应的像素的驱动信号，并输出该驱动信号。于是，水平驱动电路 3O 和 3E 基于由采样锁存器 12O 和 12E 获得的采样结果来设置去往相应列的输出信号的电平。

利用水平驱动电路 3O 和 3E，以这种方式形成的多个系统的驱动信号被提供到显示部分 2 中的信号线（列线）。因此，与在纵向上连续布置的像素的浓淡度数据 Dodd 和 Deven 相对应的驱动电压分别被顺序地且循环地设置在信号线上。

在垂直驱动电路 5（图 1）中，在显示部分 2 中的门线（行线）以与信号线上的驱动电压的设置相对应的方式被接连选中，并且对应像素中的 TFT 被接连设置到“接通（on）”状态。这样一来，基于浓淡度数据 D1

的所需图像可以被显示在液晶显示装置 1 上。

然后，在液晶显示装置 1 中，已经以这种方式接连输入到水平驱动电路 3O 和 3E 的采样锁存器 12O 和 12E 中的浓淡度数据 Dodd 和 Deven 被接连采样以按线路集中在一起，然后被传输到第二锁存器 13O 和 13E。于是，采样锁存器 12O 和 12E 中的锁存器的顺序可以以与输入到液晶显示装置 1 中的图像数据 D1 的布置相对应的方式来个别设置。例如，在日本专利早期公开 No. 平 10-17371 和日本专利早期公开 No. 平 10-177368 中已经准备了涉及这些设置的各种装置。

但是，这种液晶显示装置需要简化驱动电路的结构并进一步降低功耗。

发明内容

鉴于上述问题而研制了本发明，因此，本发明的目的在于提出一种平面显示装置，该装置与传统装置相比，能够简化配置并降低功耗。

为了解决上述问题，本发明应用于这样的平面显示装置，其中的串行-并行转换器分别以对应于顺序循环采样的时序向相应的水平驱动电路输出多个系统的浓淡度数据，而多个系统的水平驱动电路以对应于串行-并行转换器中的顺序循环采样的时序对多个采样电路中的相应系统的浓淡度数据进行采样。

根据本发明的构造，在本发明所应用到的平面显示装置中，串行-并行转换器分别以对应于顺序循环采样的时序向相应的水平驱动电路输出多个系统的浓淡度数据。多个系统的水平驱动电路分别以对应于串行-并行转换器中的顺序循环采样的时序对多个采样电路中的相应系统的浓淡度数据进行采样。于是，在以对应于串行-并行转换器中的顺序循环采样的时序被输出之后，从串行-并行转换器输出的多个系统的浓淡度数据通过对应于该时序的采样过程被水平驱动电路所采样。这样一来，由于浓淡度数据在无需实现与来自串行-并行转换器的时序的一致性的情况下就可以被输出以用于图像显示，因此可以省略用于实现时序一致性的配置，从而据此可以更多地简化整体配置并降低功耗。

附图说明

图 1 是示出传统的液晶显示装置的框图；
图 2 是说明传统的液晶显示装置的操作的时序图；
图 3 是详细示出传统的液晶显示装置的一部分的框图；
图 4 是示出根据本发明第一实施例的液晶显示装置的框图；
图 5 是说明图 4 所示液晶显示装置的操作的时序图；
图 6 是详细示出图 4 所示液晶显示装置的一部分的框图；
图 7 是示出图 4 所示水平驱动电路的框图；
图 8 是示出根据本发明第二实施例的液晶显示装置的一部分的框图；
图 9 是示出图 8 所示液晶显示装置中的采样锁存器的连接图；以及
图 10 是示出根据本发明第三实施例的液晶显示装置的一部分的框图。

具体实施方式

在下文中，将参考附图来详细描述本发明的实施例。

(1) 第一实施例

(1-1) 第一实施例的构造

图 4 与图 1 相比较地示出了根据本发明第一实施例的液晶显示装置的框图。该液晶显示装置 21 除了串行-并行转换器 26、水平驱动电路 23O 和 23E 以及与串行-并行转换器 26 和水平驱动电路 23O 和 23E 相关的时序发生器 27 在电路结构上与参考图 1 所述的液晶显示装置 1 中的相应部分有所不同之外，具有与液晶显示装置 1 相同的配置。

液晶显示装置 21 例如被并入到移动电话中，并从用于处理移动电话的图像数据的中央处理单元接收作为其输入的代表红色、蓝色和绿色像素的浓淡度的浓淡度数据 D11。在本实施例中，按光栅扫描顺序来同时且并行地提供红色、蓝色和绿色像素的浓淡度数据 D11。6 位的浓淡度数据被分配给每个像素。于是，在本实施例中，18 位的并行（6 位×3）浓淡度数据 D11 被输入。

如图 5 所示, 时序发生器 27 输入来自上级时钟发生器的与浓淡度数据 D11 同步的主时钟 MCK (图 5 (A) 和 (B))。时序发生器 27 对主时钟 MCK 进行分频和相位调整, 以生成用于图像数据 D11 的采样时钟 sck (图 5 (C))。另外, 时序发生器 27 对采样时钟 sck 进行分频和相位校正, 以生成用于在水平驱动电路 23O 中对用于奇数列的浓淡度数据 Dodd 进行采样的采样时钟 HCKod (图 5 (F))。类似地, 时序发生器 27 对采样时钟 sck 进行处理, 以生成用于在水平驱动电路 23E 中采样的采样时钟 HCKev (图 5 (G)), 它比采样时钟 HCKod (图 5 (F)) 滞后 1/4 时钟周期的相差。

如图 6 所示, 与图 3 相比, 串行-并行转换器 26 将 18 位的并行浓淡度数据 D11 分别输入到用于奇数列的采样锁存器 28O 和用于偶数列的采样锁存器 28E。用于偶数列的采样锁存器 28E 根据采样时钟 sck 来采样并输出浓淡度数据 D11 (图 5 (B)、(C) 和 (E))。另一方面, 用于奇数列的采样锁存器 28O 通过反相器 29 接收作为其输入的采样时钟 sck, 并根据采样时钟 sck 的反相信号采样并输出浓淡度数据 D11 (图 5 (B)、(C) 和 (E))。因此, 串行-并行转换器 26 将已接连输入其中的浓淡度数据 D1 交替分发到用于奇数列的采样锁存器 28O 和用于偶数列的采样锁存器 28E。在本实施例中, 奇数列和偶数列中每一个都由形成在显示部分 2 上的一组红色、蓝色和绿色像素构成。

串行-并行转换器 26 将以此方式锁存在采样锁存器 28O 和 28E 中的用于奇数列的浓淡度数据 Dod 和用于偶数列的浓淡度数据 Dev, 分别通过具有缓冲器电路结构的数据输出电路 31O 和 31E 输出到用于奇数列的水平驱动电路 23O 和用于偶数列的水平驱动电路 23E。于是, 串行-并行转换器 26 除了省略了相位调整电路之外, 具有与参考图 3 所述的串行-并行转换器 6 相同的结构, 并且该结构以与浓淡度数据 D11 的位数相对应的方式来设置。

因此, 串行-并行转换器 26 以与采样锁存器 28O 和 28E 中的顺序循环采样相对应的时序将多个系统的浓淡度数据分别输出到相应的水平驱动电路 23O 和 23E。在本实施例中, 由于采样锁存器 28O 和 28E 的采样而致

使其时序彼此不同的用于奇数列的浓淡度数据 Dod 和用于偶数列的浓淡度数据 Dev 被输出，同时所述不同的时序保持原样。因此，例如，当在显示部分 2 中，一个水平列由 240 个红色、蓝色和绿色像素构成时，串行-并行转换器 26 将与作为一个水平列的 240 个红色、蓝色和绿色像素的数据列相对应的浓淡度数据 D11 分割成两个系统的浓淡度数据 Dod 和 Dev，其中每个系统对应于 120 个红色、蓝色和绿色像素的数据列。

水平驱动电路 23O 和 23E 除了相应系统的浓淡度数据 Dod 和 Dev 以对应于顺序循环采样的时序被接连采样之外，具有与参考图 3 所述的水平驱动电路 3O 和 3E 相同的结构，其中所述顺序循环采样是以对应于浓淡度数据 Dod 和 Dev 的方式在采样锁存器 28O 和 28E 中以彼此不同的时序来执行的。更具体而言，水平驱动电路 23O 和 23E 除了采样锁存器 32O 和 32E 分别根据彼此时序不同的采样时钟 HCKod 和 HCKev 来接连锁存浓淡度数据 Dod 和 Dev，并且其结构被设置为对应于浓淡度数据 Dod 的位数和浓淡度数据 Dev 的位数之外，具有与参考图 3 所述的水平驱动电路 3O 和 3E 相同的结构。

就是说，在水平驱动电路 23O 和 23E 中，采样锁存器 32O 和 32E 分别利用采样时钟 HCKod 和 HCKev 作为参考，将浓淡度数据 Dod 和 Dev 顺序地并循环地锁存在与奇数列和偶数列的列数相对应的多个锁存器中（图 5（D）到（G））。在本实施例中，如图 7 所示，与红色、绿色和蓝色相对应的 6 位浓淡度数据 DR、DG 和 DB 作为浓淡度数据 D11（Dod 和 Dev）被同时且并行地发送。于是，在采样锁存器 32O 和 32E 中，多个采样锁存器 42 顺序地且循环地对浓淡度数据 Dod 和 Dev 采样，其中每个采样锁存器 42 具有作为一组的分别用于对红色、绿色和蓝色的浓淡度数据 DR、DG 和 DB 进行采样的采样锁存器（SL）42R、42G 和 42B。

随后的第二锁存器 33O 和 33E（图 6）利用水平扫描周期来同时且并行地锁存来自分别构成采样锁存器 32O 和 32E 的锁存器的锁存结果。于是，第二锁存器 33O 和 33E 将按线路形成的浓淡度数据 Dod 和 Dev 集中地按线路输出到随后的数模转换器（DAC）34O 和 34E。同样在此情况下，如图 7 所示，在第二锁存器 33O 和 33E 中，多个锁存器（L）43 锁存

来自采样锁存器 32O 和 32E 的输出数据，其中每个锁存器 43 具有作为一组的分别用于对红色、绿色和蓝色的浓淡度数据 DR、DG 和 DB 进行锁存的锁存器 43R、43G 和 43B。

数模转换器 34O 和 34E（图 6）分别对从第二锁存器 33O 和 33E 输出的多个系统的浓淡度数据 Dod 和 Dev 进行数模转换处理，并输出所产生的浓淡度数据 Dod 和 Dev，从而分别生成和输出与浓淡度数据 Dod 和 Dev 相对应的像素的驱动电压。就是说，同样在此情况下，如图 7 所示，在数模转换器 34O 和 34E 中，多个数模转换器 44 对来自锁存器 33O 和 33E 的输出数据进行数模转换处理，其中每个数模转换器 44 具有作为一组的分别用于对红色、绿色和蓝色的浓淡度数据 DR、DG 和 DB 进行数模转换处理的数模转换器（DAC）44R、44G 和 44B。

顺便提及，在图 7 所示配置中，标号 HST 指的是按线路扫描周期输出的时序脉冲。在水平驱动电路 23O 和 23E 中，移位寄存器（SR）45 根据采样时钟 HCK 接连发送时序脉冲 HST，以生成用于采样锁存器 42R、42G 和 42B 的采样脉冲。

（1-2）第一实施例的操作

对于上述配置，在液晶显示装置 21（图 4）中，代表像素的浓淡度并被用于显示的作为连续数据的浓淡度数据 D11 被从其中设置有液晶显示装置 21 的装置的中央处理单元等接连输入到串行-并行转换器 26 中。浓淡度数据 D11 被串行-并行转换器 26 顺序地且循环地采样，并被转换成用于奇数列的浓淡度数据 Dod 和用于偶数列的浓淡度数据 Dev。水平驱动电路 23O 和 23E 分别输出与从奇数列的浓淡度数据 Dod 和偶数列的浓淡度数据 Dev 中获得的多个列的浓淡度相对应的驱动信号。另外，垂直驱动电路 5 顺序地且循环地选择显示部分 2 的线路，从而接连设置像素的浓淡度。这样一来，由垂直驱动电路 5 相对于相应的奇数列和偶数列选出的线路的像素被设置为具有从浓淡度数据 Dod 和 Dev 中获得的浓淡度。

在液晶显示装置 21 中，浓淡度数据 D11 以这种方式被转换成两个系统的浓淡度数据 Dod 和 Dev。所产生的浓淡度数据 Dod 和 Dev 分别在与两个系统相对应的水平驱动电路 23O 和 23E 中被处理。于是，即使在显

示部分被形成为用于实现高清晰度并据此提高了浓淡度数据 D11 的数据传输速率时,也可以进一步降低功耗并可以利用更加简单的配置来显示具有高清晰度的图像,这是因为在水平驱动电路 23O 和 23E 中可以以降低的处理速度来处理浓淡度数据 D11。

在液晶显示装置 21 (图 7) 中,对于以这种方式处理的浓淡度数据 D11,与红色、蓝色和绿色相对应的三种类型的 6 位浓淡度数据被设置为一组。这三种类型的 6 位浓淡度数据被同时且并行地输入到串行-并行转换器 26 中,并且串行-并行转换器 26 将这三种类型的 6 位浓淡度数据分离到两个系统中。水平驱动电路 23O 和 23E 分别对分离到两个系统中的数据进行处理。因此,串行-并行转换器 26 和水平驱动电路 23O 和 23E 的处理速度被降低以降低功耗,从而可以利用简单的配置来显示具有高清晰度的图像。

另外,为了以这种方式处理浓淡度数据,串行-并行转换器 26、水平驱动电路 23O 和 23E、垂直驱动电路 5 和时序发生器 27 被彼此集成地形成在一个玻璃基板上,该玻璃基板上具有显示部分 2。此外,水平驱动电路 23O 和 23E 被分别设置在显示部分 2 的上侧和下侧。这样一来,布线图案被有效地布置在像素和电路块之间,从而可以显示具有高清晰度的图像,可以降低功耗,并且可以实现所谓的框架缩小。

当对应于两个系统的水平驱动电路 23O 和 23E 分别以这种方式处理浓淡度数据 Dod 和 Dev 时,在液晶显示装置 21 (图 4 和 6) 中,串行-并行转换器 26 顺序地并循环地对浓淡度数据 D11 采样,并将采样后的浓淡度数据 D11 转换成与奇数列和偶数列相对应的两个系统的浓淡度数据 Dod 和 Dev。此后,浓淡度数据 Dod 和 Dev 被输出到水平驱动电路 23O 和 23E,同时与采样相关的时序保持原样。然后,水平驱动电路 23O 和 23E 分别以对应于与串行-并行转换器 26 中的采样相关的时序的时序对浓淡度数据 Dod 和 Dev 进行采样和处理。

这样一来,在液晶显示装置 21 中,与传统的液晶显示装置 1 相比,可以进一步简化配置并降低功耗,这是因为在串行-并行转换器 26 中省略了用于校正浓淡度数据 Dod 和 Dev 的时序的相位调整电路 (图 3)。更具

体而言,参考图3所示的相位调整电路10O和10E中的每一个通常由大约每一位20个晶体管构成。于是,在本实施例中,当与红色、蓝色和绿色中的每一个相关的N位浓淡度数据被同时且并行处理时,相位调整电路10O和10E需要 $20 \times 3 \times 2 \times N$ 个晶体管。由于在本实施例中N位是6位,因此需要720个晶体管。因此,由于与参考图3所述的液晶显示装置1相比,液晶显示装置21中的晶体管数目可以减少720个,因此可以进一步降低功耗并实现框架缩小。

顺便提及,虽然在液晶显示装置21中,串行-并行转换器26的结构可以以这种方式来简化,但是由于时序发生器27必须分别向水平驱动电路23O和23E输出采样时钟HCKod和HCKev,因此时序发生器27的结构似乎更复杂了。但是,实际上,由于此前输出到相位调整电路10O和10E的用于时序校正的时钟dck不需要被输出,因此时序发生器27可以被构建在与传统的液晶显示装置1中的时序发生器27基本相同的规模上。这样一来,由于串行-并行转换器26的结构可以简化,因此与传统的液晶显示装置1相比,液晶显示装置21的配置可以更加简化。

(1-3) 第一实施例的效果

根据上述结构,串行-并行转换器26将浓淡度数据分发到多个系统,并且以与在相应的水平驱动电路在浓淡度数据被分类到多个系统时的采样的时序相对应的时序对分发到系统的浓淡度数据进行采样。这样一来,由于用于使从串行-并行转换器26输出的多个系统的浓淡度数据的相位彼此一致的配置可以被省略,因此与传统的液晶显示装置1相比,可以进一步简化配置并降低功耗。

另外,对应于多个系统的串行-并行转换器、水平驱动电路,以及用于向对应于多个系统的串行-并行转换器和水平驱动电路输出作为操作参考的时序信号的时序发生器可以被彼此集成地形成在显示部分的绝缘基板上。因此,由于可以简化显示部分的外围配置,因此可以进一步实现框架缩小。

而且,所设置的多个系统是与显示部分中的奇数列和偶数列相对应的系统,并且各个系统的水平驱动电路被布置在显示部分的上侧和下侧。因

此，显示部分中布线图案的布局可以被高效地执行，并因此可以布置像素以实现高清晰度。

(2) 第二实施例

图 8 是示出根据本发明第二实施例的液晶显示装置 51 的框图。在本实施例中，对应于红色、蓝色和绿色像素的作为连续的浓淡度数据的浓淡度数据 D21 被输入，由此浓淡度数据 D21 以比在第一实施例中已经描述的与浓淡度数据 D11 的处理相关的液晶显示装置 21 中的传输速率更高的传输速率以图像的形式被显示。

在该液晶显示装置 51 中，串行-并行转换器 56 顺序地并循环地锁存浓淡度数据 D21，以生成用于奇数列的浓淡度数据 Dod 和用于偶数列的浓淡度数据 Dev。水平驱动电路 53O 和 53E 分别通过使用奇数列的浓淡度数据 Dod 和偶数列的浓淡度数据 Dev 来驱动显示部分 2。在液晶显示装置 51 中，水平驱动电路 53O 和 53E 除了作为处理对象的浓淡度数据 Dod 和 Dev 的位数以与输入到液晶显示装置 51 中的浓淡度数据 D21 的位数相对应的方式彼此不同的结构，以及奇数列和偶数列按显示部分 2 的水平方向上的像素设置的结构之外，具有与根据第一实施例的水平驱动电路 23O 和 23E 相同的结构。

另一方面，串行-并行转换器 56 顺序地且循环地对浓淡度数据 D21 采样，并以对应于采样的时序将多个系统的浓淡度数据 Dod 和 Dev 分别输出到水平驱动电路 53O 和 53E。这样一来，液晶显示装置 51 可以获得与第一实施例相同的效果。

在本实施例中，当执行顺序地且循环地采样时，串行-并行转换器 56 放大浓淡度数据 D21 的幅度，并将所产生的浓淡度数据转换成多个系统的数据。此后，串行-并行转换器 56 分别将各个系统的数据的幅度减小到原始幅度，并输出所产生的数据。这样一来，串行-并行转换器 56 可以以很高的传输速率来可靠地处理浓淡度数据 D21。

出于这个原因，在液晶显示装置 51 中，如分别由图 8 中的标号 A 和 C 指示的虚线所围绕的，串行-并行转换器 56 的输入侧、串行-并行转换器 56 的输出侧、水平驱动电路 53O 和 53E 等等被构建为低电压块的形式，

该低电压块被保持在与浓淡度数据 D21 的输出电路相同的电源电压上。另外，如标号 B 指示的虚线所围绕的，串行-并行转换器 56 的其余电路块被构建为高电压块的形式，该高电压块被保持在比低电压块的电源电压更高的电源电压上。

串行-并行转换器 56 基于电平移位来执行这种幅度的放大和减小。就是说，图 9 是示出构成串行-并行转换器 56 的采样锁存器 58O 的一位的结构的连接图。而且，由于偶数系统的采样锁存器 58E 除了它们之间作为操作参考的采样时钟 sck 有所不同之外具有与奇数系统的采样锁存器 58O 相同的结构，因此这里省略其描述。

在串行-并行转换器 56 中，具有 N 沟道 MOS（在下文中被称为“NMOS”）晶体管 Q1 和 P 沟道 MOS（在下文中被称为“PMOS”）晶体管 Q2 的 CMOS 反相器和具有 NMOS 晶体管 Q3 和 PMOS 晶体管 Q4 的 CMOS 反相器被分别并联设置在电源电压为 3.3V 的电源线和地线之间，其中 NMOS 晶体管 Q1 和 PMOS 晶体管 Q2 的栅极彼此相连，漏极彼此相连，而 NMOS 晶体管 Q3 和 PMOS 晶体管 Q4 的栅极彼此相连，漏极彼此相连。在串行-并行转换器 56 中，两个 CMOS 反相器彼此串联连接，并且浓淡度数据 D21 被输入到具有晶体管 Q1 和 Q2 的反相器。于是，串行-并行转换器 56 通过这些晶体管 Q1 到 Q4 生成浓淡度数据 D21 的反相输出和非反相输出，其中每个输出的幅度都为 3.3V。这些晶体管 Q1 到 Q4 构成互补脉冲生成部分。

此外，在串行-并行转换器 56 中，具有 NMOS 晶体管 Q5 和 PMOS 晶体管 Q6 的 CMOS 反相器和具有 NMOS 晶体管 Q7 和 PMOS 晶体管 Q8 的 CMOS 反相器形成了以比较器形式构建的 CMOS 锁存单元。通过晶体管 Q1 到 Q4 获得的浓淡度数据 D21 的非反相输出通过 NMOS 晶体管 Q9 被提供到该锁存单元，所述 NMOS 晶体管 Q9 根据采样时钟 sck（在奇数列一侧的采样时钟 sck 的反相信号）进行操作。另外，在串行-并行转换器 56 中，来自晶体管 Q5 到 Q8 构成的锁存单元的反相输出和非反相输出被分别提供到具有 NMOS 晶体管 Q10 和 PMOS 晶体管 Q11 的 CMOS 反相器以及具有 NMOS 晶体管 Q12 和 PMOS 晶体管 Q13 的 CMOS 反相器。通

过晶体管 Q1 到 Q4 获得的浓淡度数据 D21 的反相输出通过 NMOS 晶体管 Q14 被输入到包括具有晶体管 Q10 和 Q11 的反相器的该锁存单元, 所述 NMOS 晶体管 Q14 根据采样时钟 sck (在奇数列一侧的采样时钟 sck 的反相信号) 进行操作。类似地, 电源的 6V 电压被通过 PMOS 晶体管 Q15 提供到这些锁存单元和反相器, 所述 PMOS 晶体管 Q15 根据采样时钟 sck (在奇数列一侧的采样时钟 sck 的反相信号) 进行操作。于是, 在串行-并行转换器 56 中, 第一锁存部分由这些晶体管 Q5 到 Q15 构成。第一锁存部分对通过晶体管 Q1 到 Q4 获得的浓淡度数据 D21 的反相输出和非反相输出的幅度进行放大, 并根据采样时钟 sck 来锁存所产生的输出。

另外, 在串行-并行转换器 56 中, 具有 NMOS 晶体管 Q17 和 PMOS 晶体管 Q18 的 CMOS 反相器和具有 NMOS 晶体管 Q19 和 PMOS 晶体管 Q20 的 CMOS 反相器构成以比较器形式构建的 CMOS 锁存单元。6V 的电源电压被提供到该 CMOS 锁存单元。来自第一锁存部分的锁存结果通过 NMOS 晶体管 Q21 和 Q22 被提供到该 CMOS 锁存单元。这里, 采样时钟 sck 通过具有晶体管 Q23 和 Q24 的反相器被提供到 NMOS 晶体管 Q21 和 Q22。在串行-并行转换器 56 中, 从具有晶体管 Q17 到 Q20 的锁存单元获得的锁存结果通过具有 NMOS 晶体管 Q26 和 PMOS 晶体管 Q27 的 CMOS 反相器被输出到随后的数据输出电路。在串行-并行转换器 56 中, 这些晶体管 Q21 到 Q27 构成第二锁存部分。

与图 9 所示结构相反, 数据输出电路 61O 和 61E 接收来自电源电压为 6V 的系统中的采样锁存器 58O 和 58E 的输出, 作为它们的输入, 并通过电源电压为 3.3V 的系统输出数据。

因此, 在本实施例中, 采样锁存器 58O 和 58E 构成数据转换电路, 该电路用于放大浓淡度数据 D21 的幅度, 并用于接连地且循环地采样所生成的浓淡度数据 D21, 以将采样后的数据转换成多个系统的数据。数据输出电路 61O 和 61E 构成电平移位电路, 该电路用于减小从数据转换电路获得的多个系统的数据的幅度, 并用于输出多个系统的浓淡度数据。

根据本第二实施例, 系统的浓淡度数据以与在浓淡度数据被分发到多个系统时的采样相对应的时序被相应的水平驱动电路所采样。浓淡度数据

的幅度被放大，并被顺序地且循环地采样，以转换为多个系统的数据。而且，多个系统的数据的幅度被减小，并且生成多个系统的浓淡度数据。这样一来，由于第二实施例被应用于以高传输速率处理浓淡度数据的情况，因此可以获得与第一实施例相同的效果。

（3）第三实施例

图 10 是示出根据本发明第三实施例的液晶显示装置 81 的框图。本实施例与第二实施例类似，被应用于以高传输速率处理并以图像形式显示浓淡度数据 D21 的情况。在此情况下，在串行-并行转换器 86 中，浓淡度数据 D21 的幅度被放大，并被顺序地且循环地采样，以转换为多个系统的数据。随后，多个系统的数据的幅度被减小，并且生成多个系统的浓淡度数据。

因此，在本实施例中，在串行-并行转换器 86 中，电平移位电路 87 预先放大浓淡度数据 D21 的幅度。另外，随后的采样锁存器 88O 和 88E 顺序地且循环地对浓淡度数据 D21 进行采样，以将采样后的数据转换成多个系统的数据。数据输出电路 61O 和 61E 将数据的幅度恢复到原始幅度，并输出所产生的数据。

因此，在本实施例中，电平移位电路 87 和采样锁存器 88O 和 88E 构成数据转换电路，该电路用于放大浓淡度数据 D21 的幅度，并用于顺序地且循环地采样所产生的数据，以将采样后的数据转换成多个系统的数据。

根据第三实施例，即使在浓淡度数据 D21 的幅度被预先放大以及浓淡度数据 D21 被处理时，也可以获得与第二实施例相同的效果。

（4）其他实施例

而且，在上述实施例中，已经描述了以对应于红色、蓝色和绿色像素的浓淡度数据作为一组的浓淡度数据 D11 被分发到两个系统并被处理时的情况，以及对应于像素的浓淡度数据 D21 被分发到两个系统并被处理时的情况。但是，本发明并不局限于这些情况。例如，浓淡度数据可以以与应于红色、蓝色和绿色像素相对应的方式被分发到三个系统并被处理。于是，系统的数据在必要时可以个别设置。

另外，在上述实施例中，已经描述了水平驱动电路被分离地布置在显示部分的上侧和下侧的情况。但是，本发明并不局限于这种情况，并且也可以一般地应用于水平驱动电路在必要时被集中布置在显示部分的上侧或下侧的情况。

而且，在上述实施例中，已经描述了本发明被应用于液晶显示装置的情况。但是，本发明并不局限于这种情况，并且也可以一般地应用于各种类型的平面显示装置，例如电致发光（EL）显示装置。

如上所述，根据本发明，系统的浓淡度数据以与在浓淡度数据被分发到多个系统时的采样相对应的时序被相应的水平驱动电路所采样。这样一来，与传统的平面显示装置相比，可以简化配置并降低功耗。

工业可应用性

本发明涉及平面显示装置，例如，本发明可应用于其中的驱动电路被彼此集成地形成在绝缘基板上的液晶显示装置。

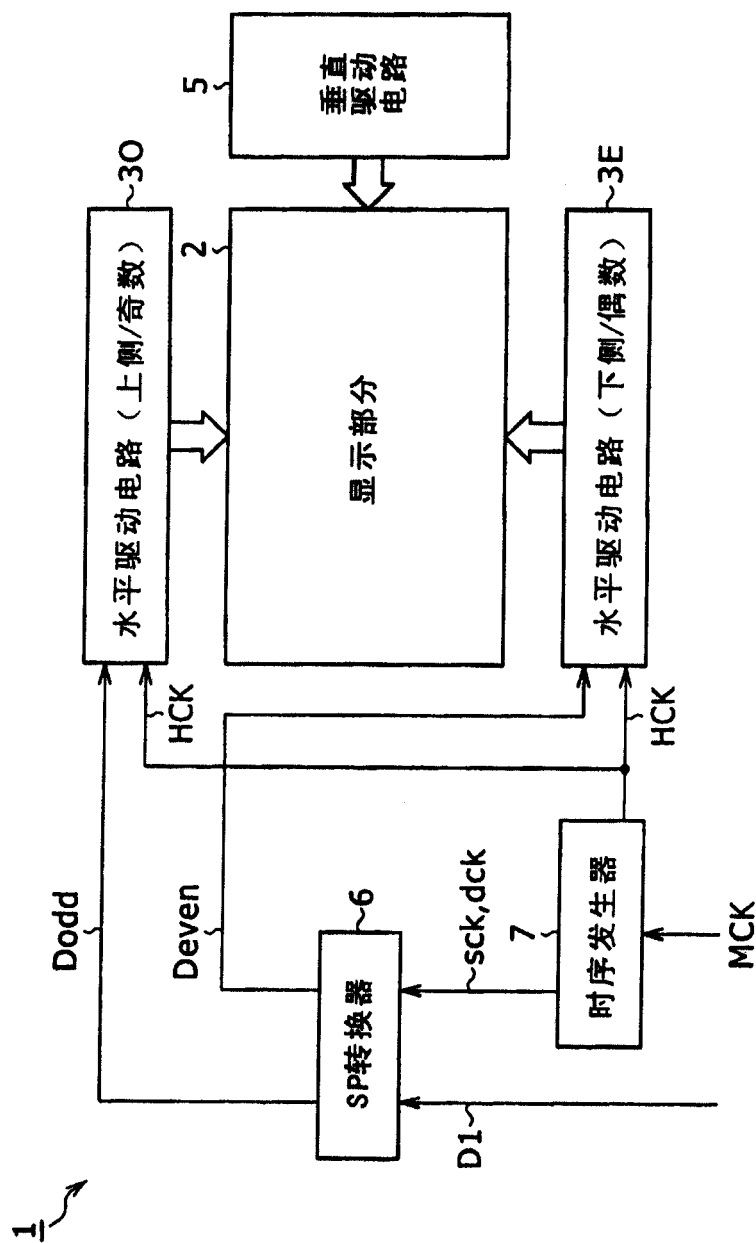


图1

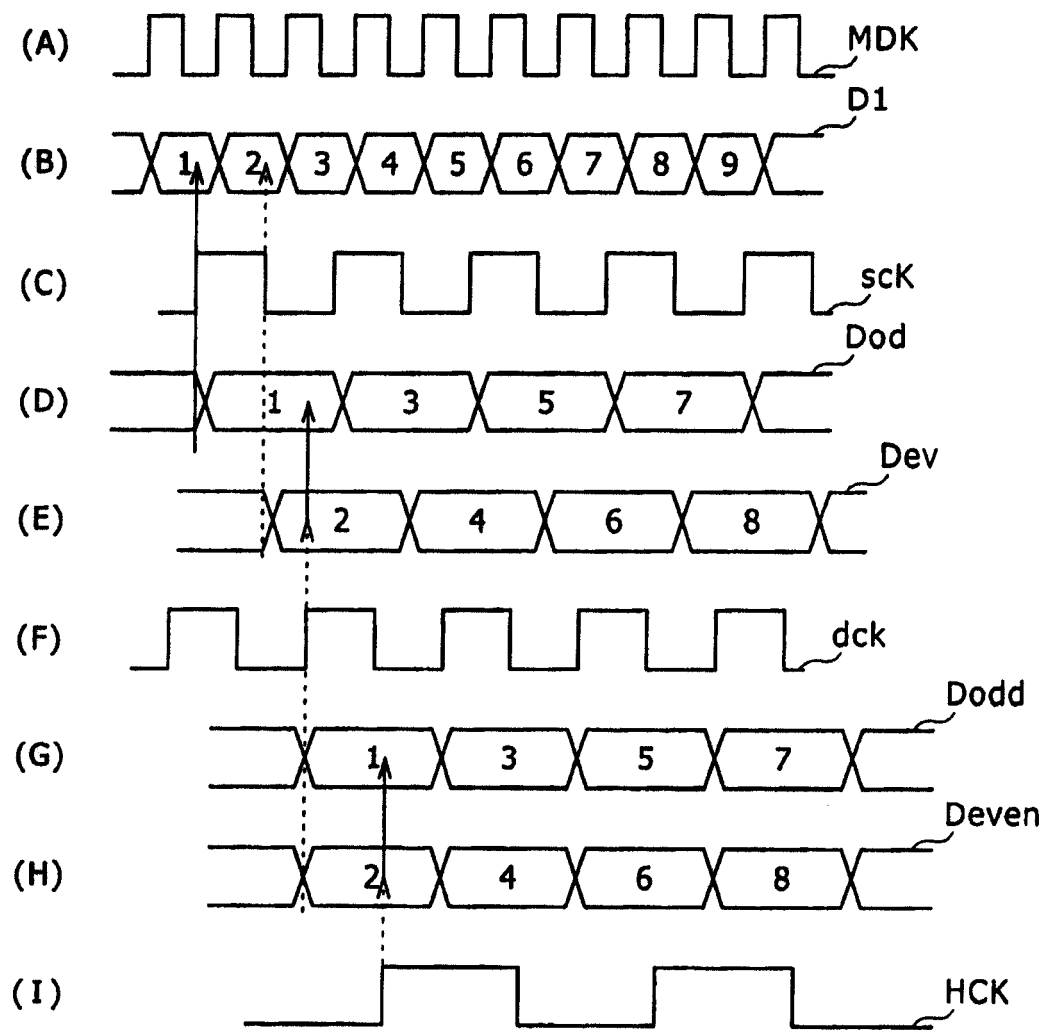


图2

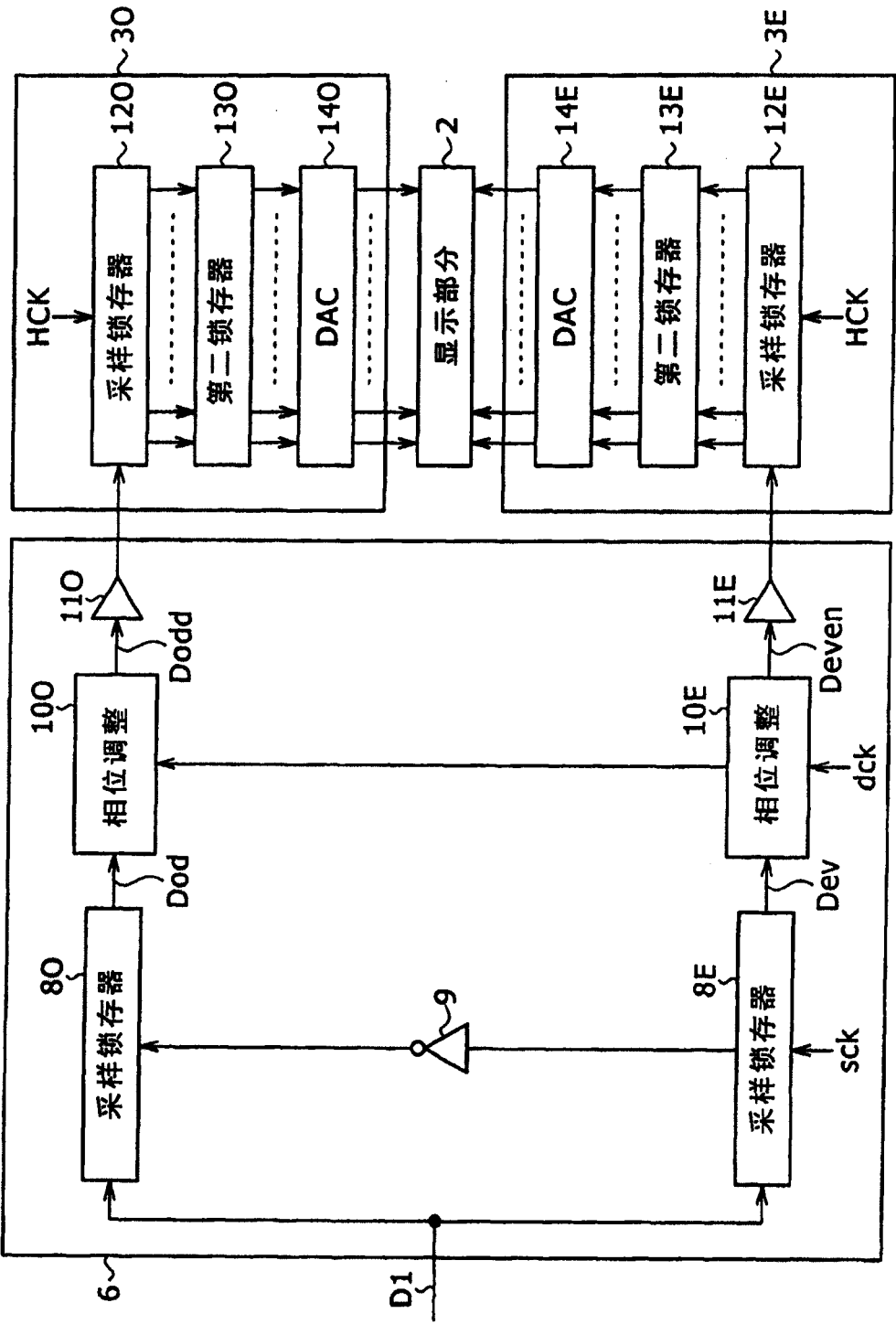


图3

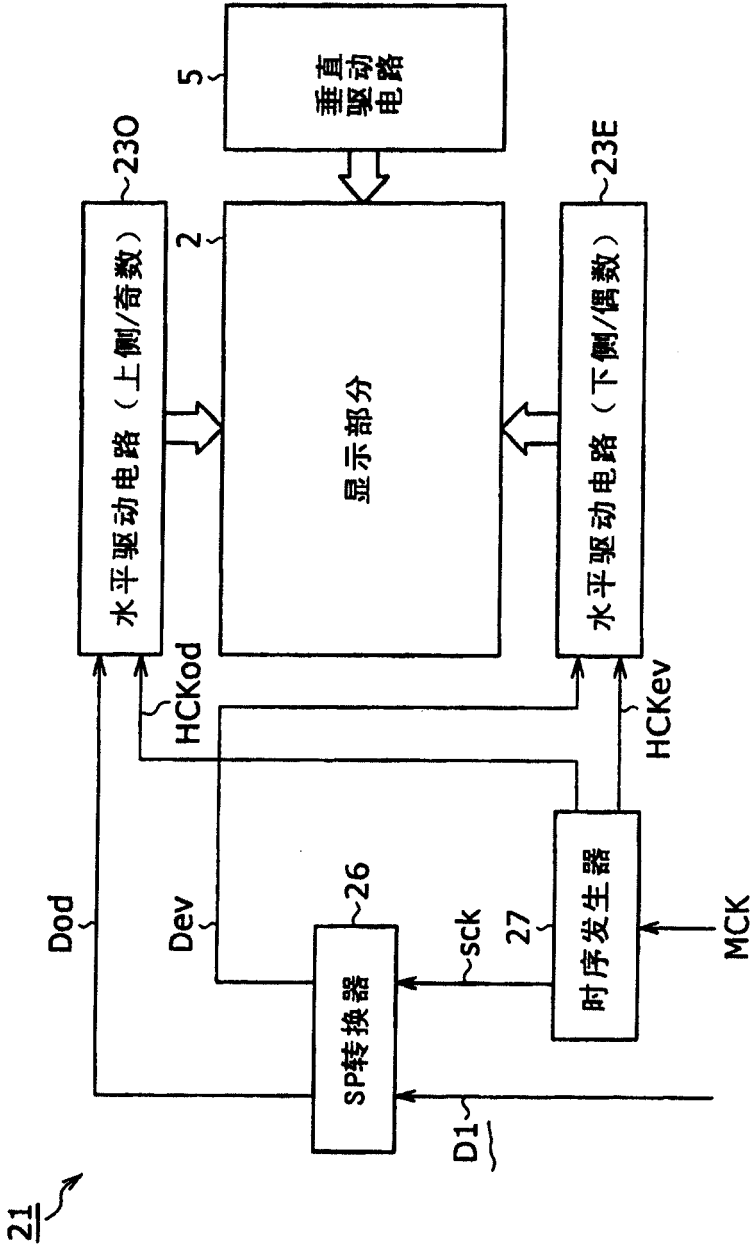


图4

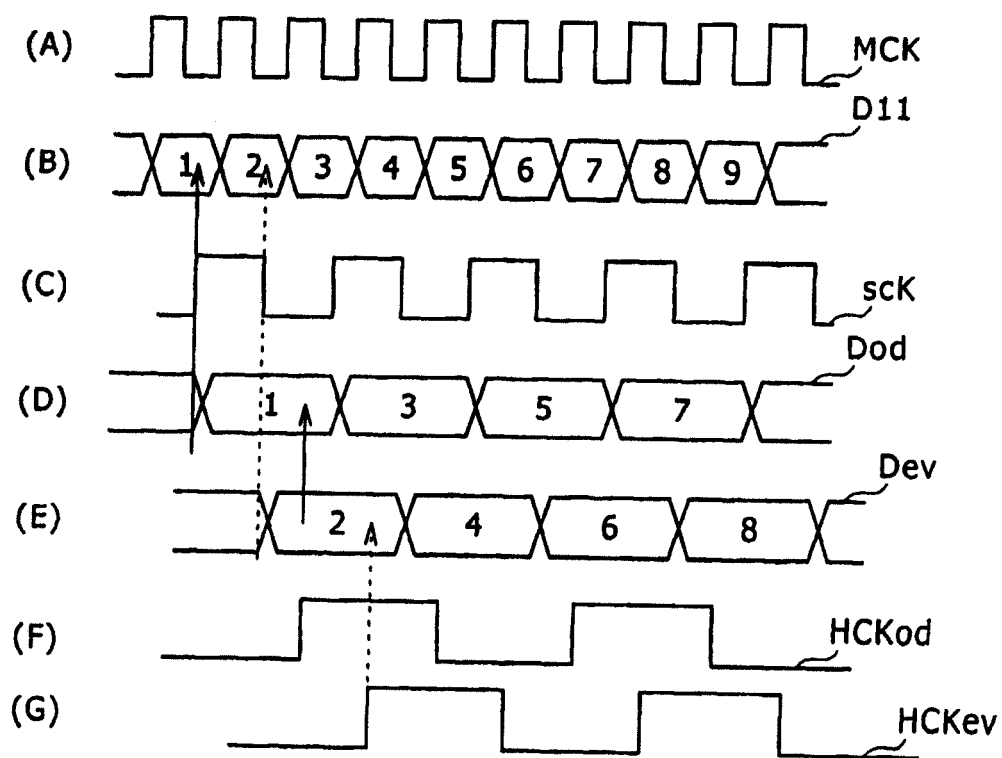


图5

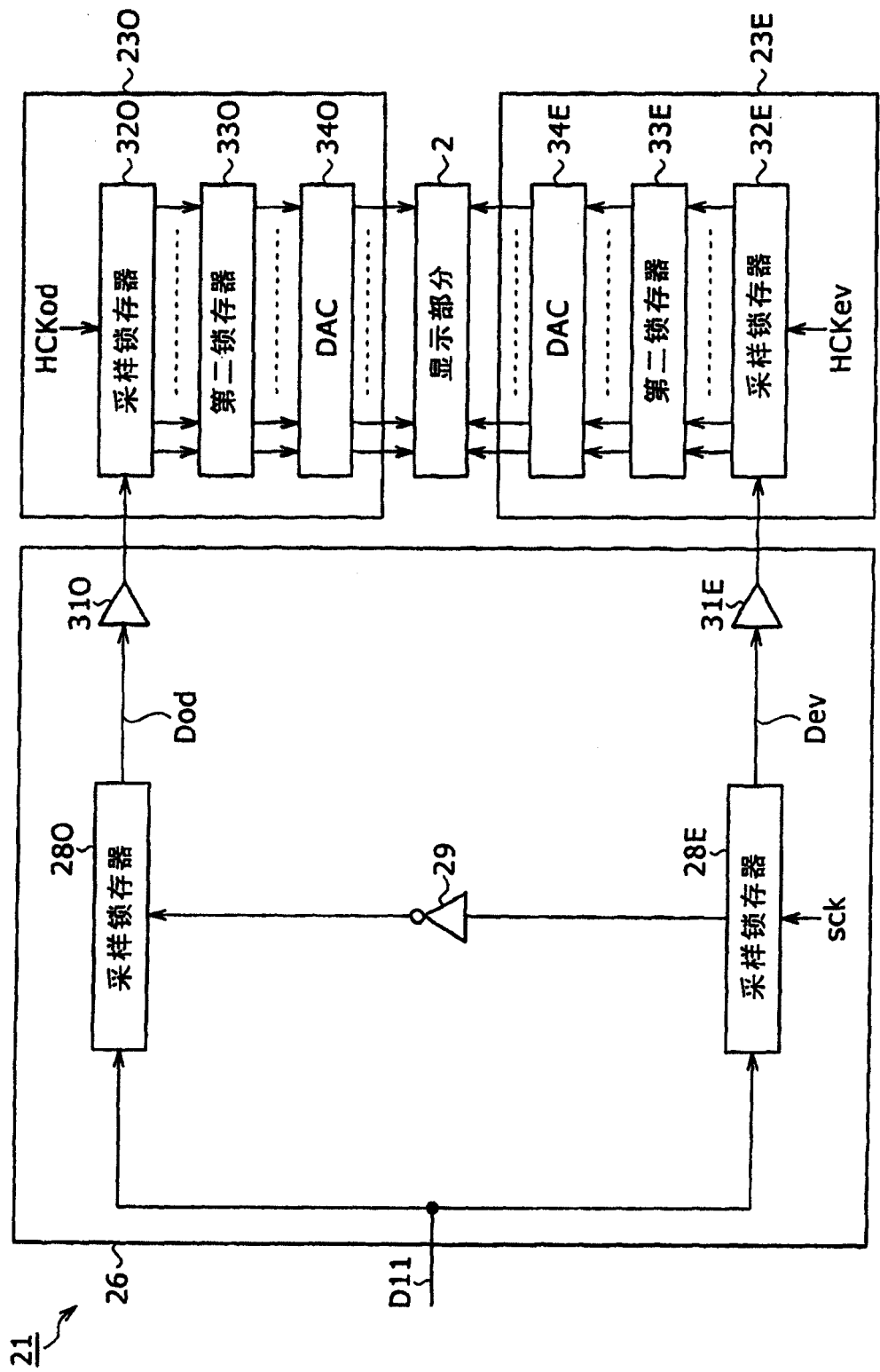


图6

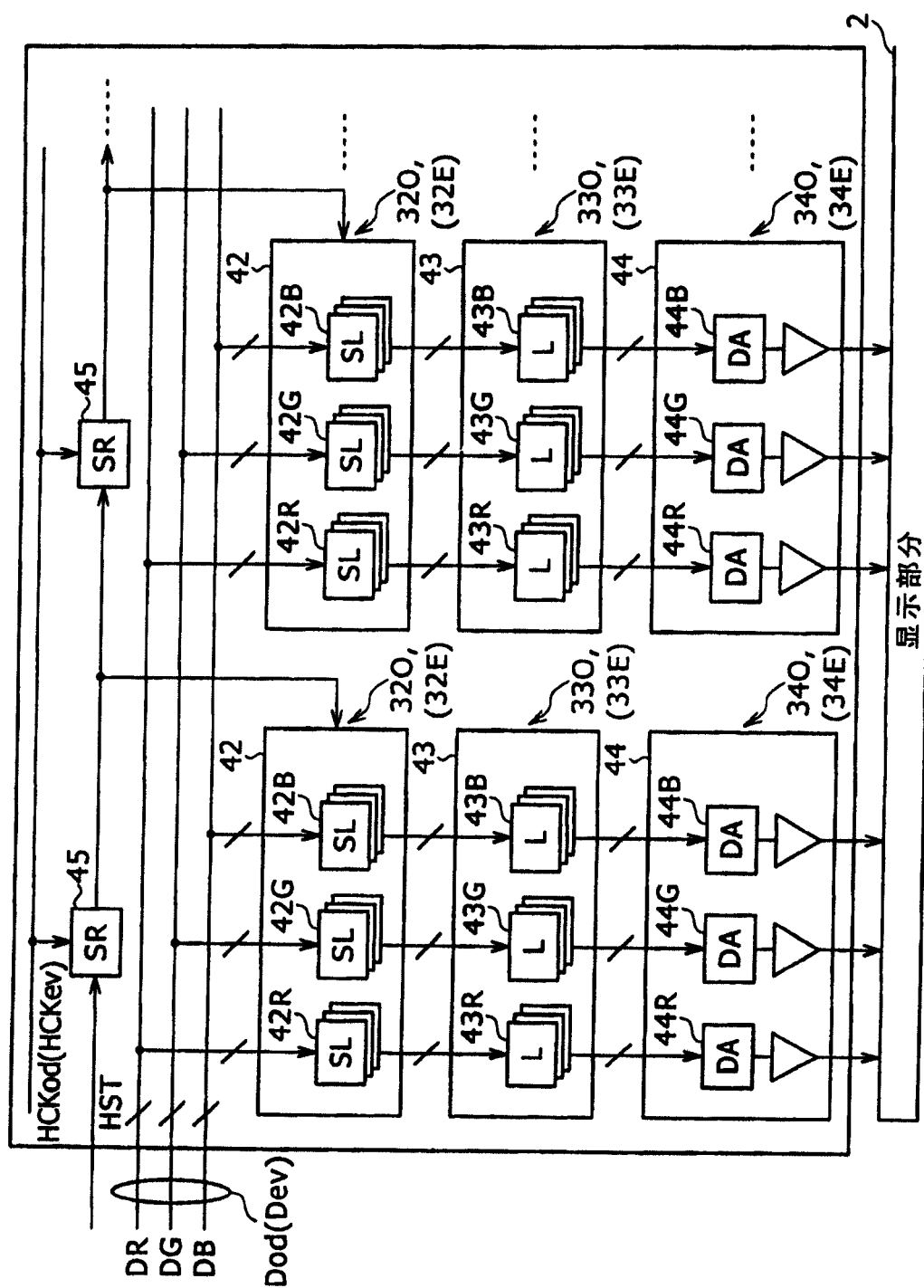


图7

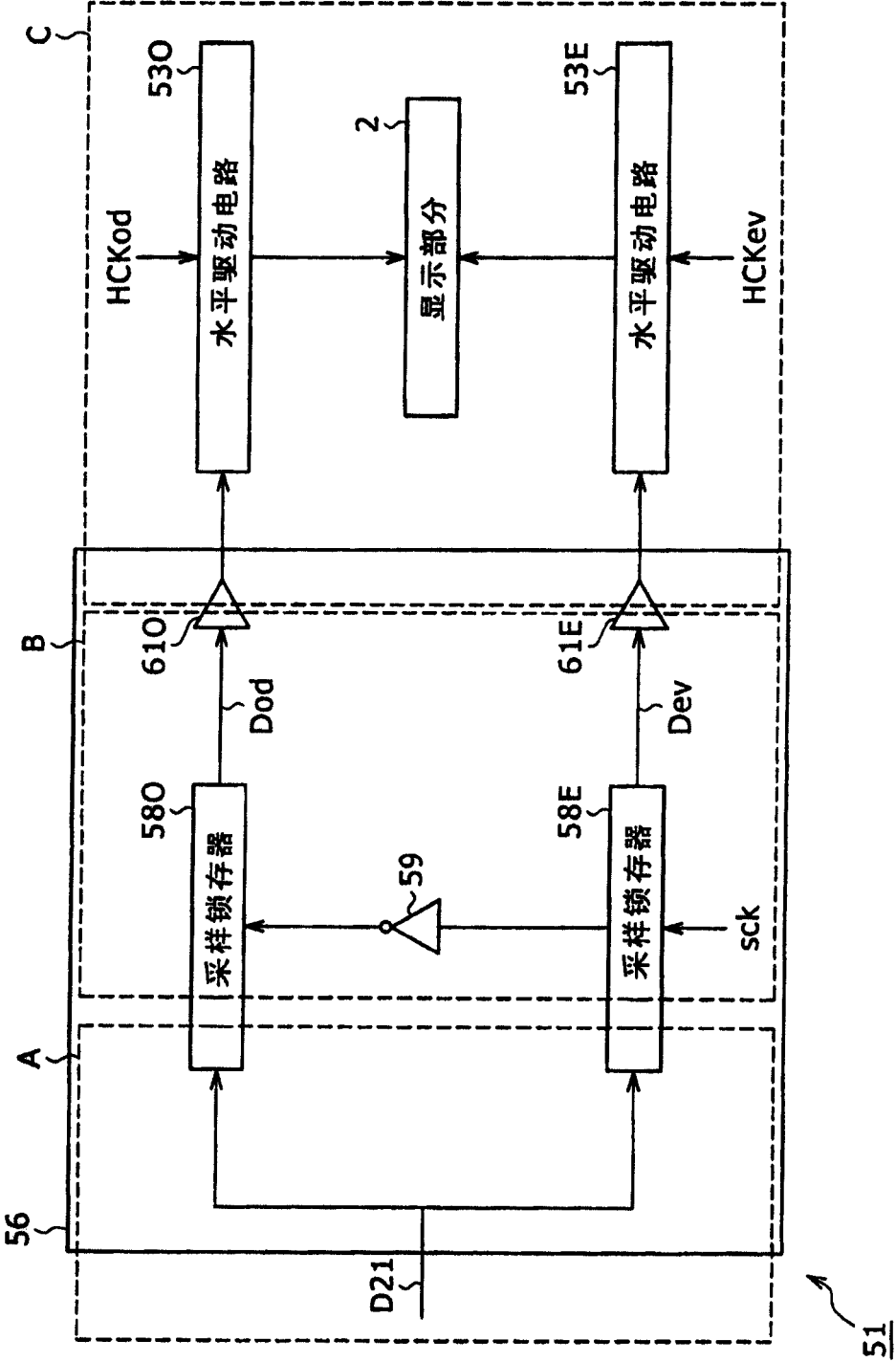
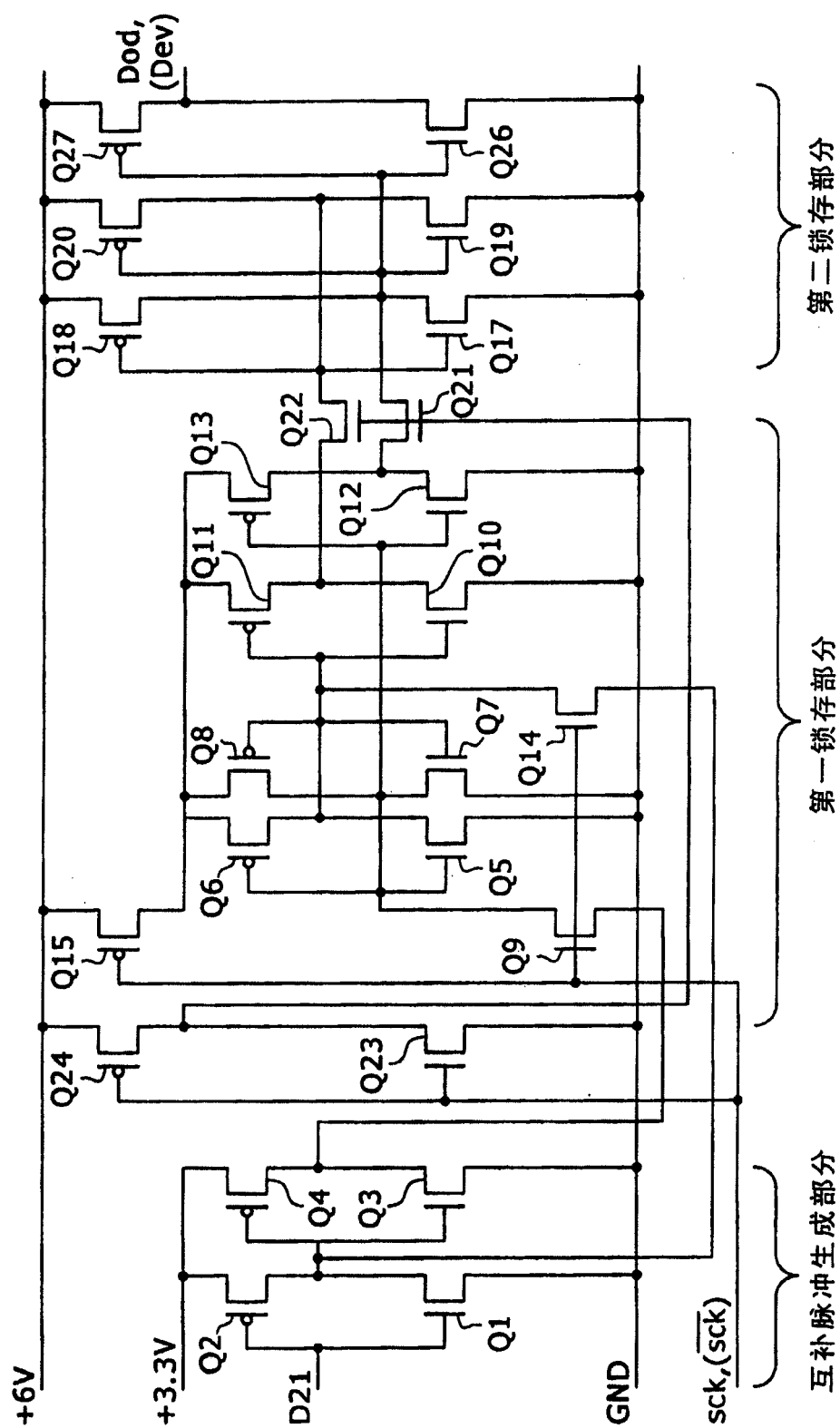


图8



9
[X]

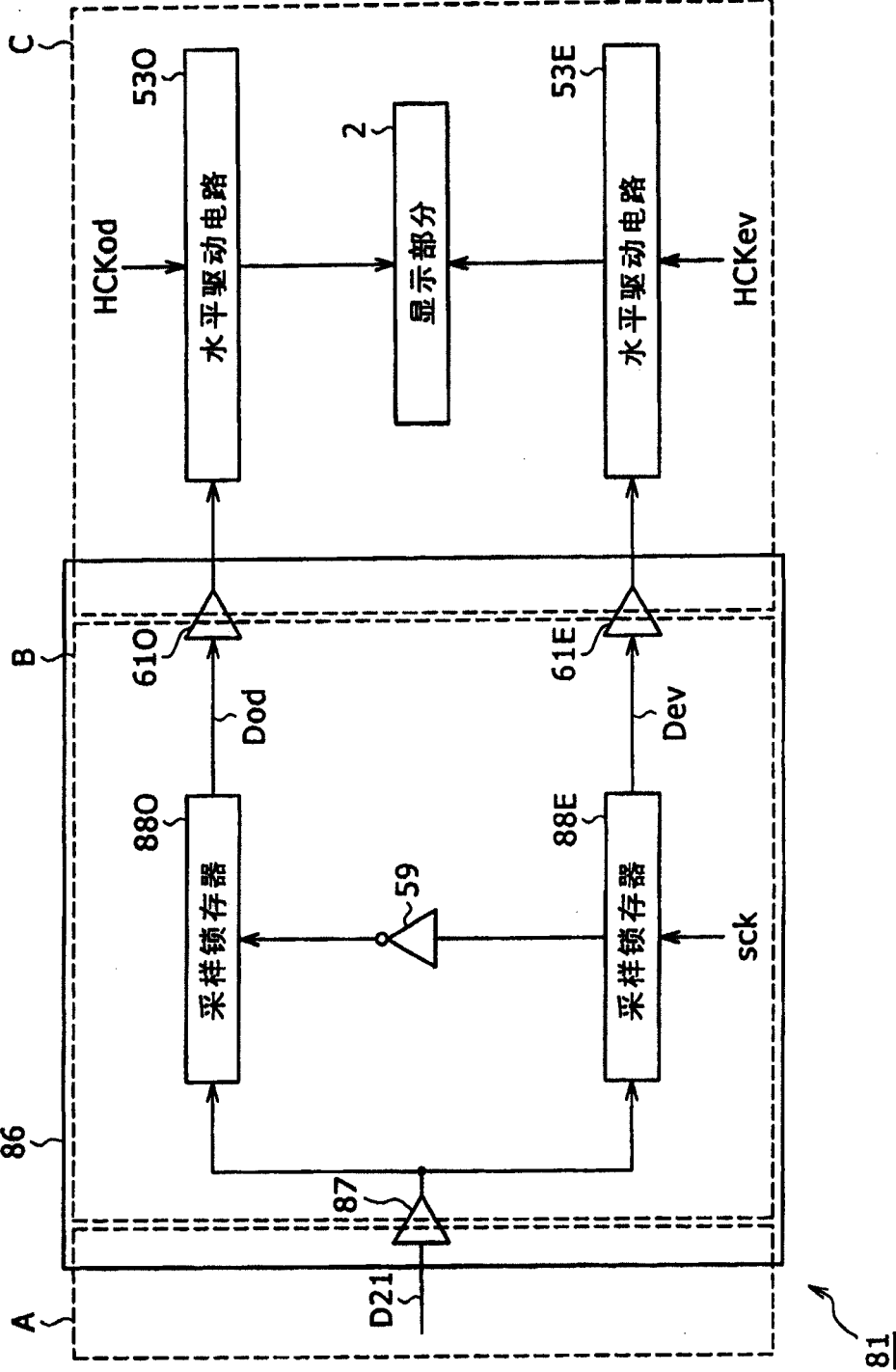


图10

专利名称(译)	平面显示装置		
公开(公告)号	CN100505016C	公开(公告)日	2009-06-24
申请号	CN200480018395.2	申请日	2004-06-23
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼株式会社		
当前申请(专利权)人(译)	索尼株式会社		
[标]发明人	村濑正树 仲岛义晴 木田芳利		
发明人	村濑正树 仲岛义晴 木田芳利		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G09G3/30 H01L51/50 H05B33/14		
CPC分类号	G09G2310/0281 G09G2310/027 G09G2300/0408 G09G2310/0294 G09G2310/0289 G09G3/3685 G09G2310/08 G09G2352/00		
代理人(译)	董方源		
审查员(译)	顾洪		
优先权	2003186428 2003-06-30 JP		
其他公开文献	CN1813282A		
外部链接	Espacenet SIPO		

摘要(译)

本发明例如应用于其中的驱动电路被彼此集成地形成在绝缘基板上的液晶显示装置。多个系统的浓淡度数据Dod和Dev以与在浓淡度数据D11被分类到多个系统时的采样相对应的时序分别被水平驱动电路23O和23E所采样。

